

# バンドギャップ基準電源回路を対象とした BIST 手法の検討

猪岡 柚香<sup>†1</sup> 橘 昌良<sup>†1</sup>

本論文では、ミックスドシグナル LSI でよく用いられる参照電源電圧一つである BGR (Band-Gap Reference) 回路に対する MOSFET のオープンやショートなどの致命的な故障を検出する BIST 手法について述べる。提案 BIST では BGR 回路内から 3 つのテストポイントを取り、期待される正常値と比較することで故障を検出している。また、スタートアップ回路内にテスト入力発生器を組み込むことで高密度集積を可能としている。シミュレーションでは、8.8% の低い面積オーバーヘッドで 91.4% の高い故障検出率が得られた。

## A BIST Scheme for Band Gap Reference Circuit

YUKA INOOKA<sup>†1</sup> MASAYOSHI TACHIBANA<sup>†1</sup>

This paper presents a Built-In Self-Test (BIST) scheme for detecting catastrophic faults such as opening and shorting of a MOSFET in the Bandgap reference which is one of reference voltages often used in mixed-signal LSI. The proposed BIST technique detects catastrophic faults by comparing expected voltages and observed voltages on three test-points in bandgap reference which is improved for test operation. Furthermore, since test stimulus generator is incorporated into a startup circuit, the high-density integration becomes possible. The demonstrations show that fault coverage and area overhead are 91.4% and 8.8%, respectively.

### 1. はじめに

LSI (Large Scale Integration) の集積度は、近年の製造技術の向上に伴い増加している。LSI の製造コストは減少している一方、LSI の微細化が進むことによりテストコストは上昇傾向にある。そのため、テストコストの削減が大きな課題となっている。一般に、テストコスト上昇の原因としては、チップ内の回路規模が増加することにより、LSI の可制御性や可観測性が悪くなることが挙げられる。そこで、可制御性や可観測性の改善するためにテスト容易化設計 (DFT : Design For Testability) を用いる。その DFT の代表的な手法の一つが組み込み自己テスト (BIST : Built-In Self-Test) である。しかし、アナログ LSI を対象とした BIST では様々な課題が残っており、実用化には至っていない。

そこで本研究では、ミックスドシグナル LSI でよく用いられる参照電源電圧一つである BGR (Band-Gap Reference) 回路をテスト対象回路 (CUT : Circuit Under Test) とし、BGR 回路内の MOSFET のカタストロフィック故障の検出をおこなう BIST の設計を目的とした。パラメトリック故障の検出はできないが、パラメトリック故障を検出するオフチップテスト工程の前に提案 BIST によりカタストロフィック故障が検出されたチップを排除し、オフチップテスト工程に回されるチップ数を減少させることで、テストコストの削減を狙った。なお、先行研究[1]では 1 段構成のセルフバイアスオペアンプを用いた BGR 回路を CUT としていたが、本研究では 2 段構成のセルフバイアスオペアンプを用いた BGR 回路とした。

### 2. バンドギャップ基準電源回路

本研究で設計した BGR 回路を図 1 に示す。BGR 回路は、バンドギャップ基準電源回路とも呼ばれ、A-D コンバータ等の集積回路に用いられている。基準電源回路とは、温度環境の変化や製造プロセス、電源電圧の変動によらず、一定の電圧が出力される回路である[2]。一般的に BGR 回路はダイオードの温度特性を利用して温度変化に依存しない基準電圧を生成している。

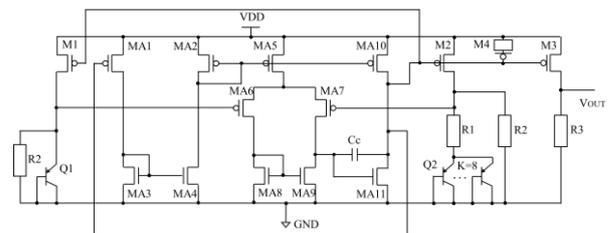


図 1 提案 BGR 回路

設計した BGR 回路はスタートアップ回路と BGR コアによって構成されている。BGR コアにおいては、BJT (Bipolar Junction Transistor) をダイオード接続することで温度変化に依存しない基準電圧の生成を実現している。また、オペアンプ (MA1-MA11, Cc) を接続することで M1, M2, M3 のカレントミラーをレギュレーテッド・カスコード構成とし、低電圧で動作し高い利得を得られるようにした。M2 と M3 のゲートに挿入した M4 はソース、ドレインおよびボディを電源電圧 VDD に接続している。これは、参照電圧

<sup>†1</sup> 高知工科大学  
Kochi University of Technology.

の安定を保証するために使用され[3], 素子ばらつき等の影響を抑える効果がある. オペアンプについては, 1 段目を差動増幅回路, 2 段目をソース接地増幅回路とし, 組み合わせることで利得を高くしている. しかし, 増幅回路の周波数特性はローパスフィルタの特徴を示すため, 位相が  $180^\circ$  以上遅れたときにオペアンプが発振する可能性がある. それゆえに, 1 段目の差動増幅回路と 2 段目のソース接地増幅回路の間に  $3\text{pF}$  の位相補償用キャパシタ  $C_c$  を接続している. また, バイアス回路の入力である MA1 のゲートをオペアンプの出力に接続することで自己バイアスとし, 電源電圧の変動の影響を受けにくくしている.

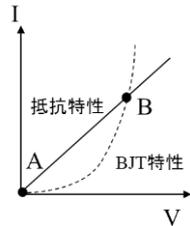


図 2 BGR の動作点

本研究で設計した BGR 回路には BJT と抵抗が含まれている. 図 2 に示すように BJT の電流は指数関数的に, 抵抗は直線的に増加するために, A と B の 2 つの動作点が存在する. 動作点 A で動作をした場合には, 電流がほとんど流れず, 所望の出力電圧は得られない. したがって, 動作点 B で動作させるため, スタートアップ回路 (MS1-MS4, RS) を付加した. スタートアップ回路は図 1 に示す BGR 回路内の MS1-MS4 および RS で構成されており, 先行研究[1]で採用されている方式を用い設計をおこなった. スタートアップ回路の動作としては, VDD の立ち上がりでは MS1 と MS2 に電流が流れていないため, MS3 のみがオンになる. これにより Q1 に電流が流れ込み, オペアンプを起動させる. さらに電源電圧 VDD が上昇するとカレントミラー M1, M2 に電流が流れ, 抵抗 RS に電流が流れる. このときに抵抗 RS に電圧がかかることにより, MS3 がオフになりスタートアップが終了する.

### 3. 故障検出手法の検討

#### 3.1 故障付加シミュレーション

##### 3.1.1 MOSFET の故障付加モデル

BIST 手法の検討および検証には, 故障モデルが必要である. そこで, 図 3 に示す故障モデル[4]を用いた.

ショート故障は, MOSFET のゲート, ドレイン, ソースのそれぞれの端子間に  $10\Omega$  の小さい値の抵抗を接続することでモデリングしており, それぞれ (a) GDS (Gate-Drain Short), (b) GSS (Gate-Source Short), (c) DSS (Drain-Source Short) である. オープン故障は,  $100\text{M}\Omega$  の大きい値の抵抗と  $100\text{fF}$  の小さい容量のキャパシタを並列接続したセット

をゲート, ドレイン, ソースのそれぞれの端子に挿入することでモデリングしており, それぞれ (d) DO (Drain Open), (e) SO (Source Open), (f) GO (Gate Open) である. この 6 通りの故障モデルを, スタートアップ回路も含む BGR 回路の 19 個の MOSFET にそれぞれ付加してシミュレーションをおこなった.

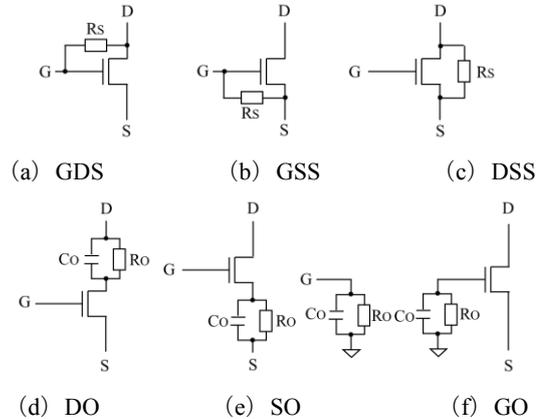


図 3 故障付加モデル

##### 3.1.2 故障付加スクリプト

BIST 回路の故障検出を検証するには, それぞれの MOSFET に故障を付加する必要がある. 故障の付加には CAD ツールで設計した回路データから生成されたネットリストおよび SPICE シミュレータが参照する spice ファイルの編集が必要となる. しかし, 今回は 19 個の MOSFET それぞれに図 3 に示した 6 通りの故障モデルを付加するため, 合計 114 回ネットリストを編集しなければならず, この編集作業を手動でおこなった場合大変効率が悪い. そのため, ネットリストへの故障の付加および spice ファイルの編集をおこなうスクリプトをプログラム言語 perl で作製した. 図 4 にスクリプトを導入した場合の回路データからシミュレーションをおこなうまでのフローチャートを示す.

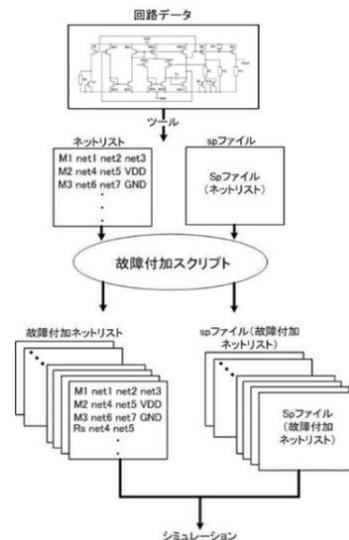


図 4 スクリプト導入によるネットリスト編集の自動化

### 3.1.3 故障付加シミュレーション結果

テスト信号を入力するポイントの検討のため、図 1 の提案 BGR 回路に図 3 に示した 6 通りの故障を付加し、シミュレーションをおこなった。得られた出力電圧  $V_{OUT}$  は図 5 に示す通りである。25 $\mu$ s~75 $\mu$ s の間が BGR の立ち上がり時間である。 $V_{OUT}$  の安定する立ち上がり時間以降の  $V_{OUT}$  を見ると、故障を付加した多くの  $V_{OUT}$  が 0V もしくは 1.8V の電源電圧付近の出力となっていた。一方、一部の出力においては故障なしの場合の正常値 1.0V に近い値が得られた。それらの故障は表 1 に示した通りであり、スタートアップ回路とオペアンプ内の MOSFET の多くが正常値に近い値を出力することが分かった。なお、もとからゲートとソースが接続されている MOSFET (MS1, MS4, MA2, MA3, MA8) の GDS および出力電圧を安定させるために挿入した M4 の DSS, DO, SO, GO については故障を付加しても故障なしの場合と変化がないため今回のシミュレーションでは例外とした。

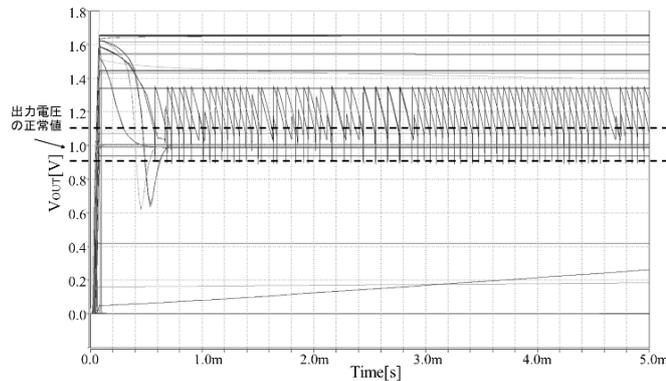


図 5 故障付加シミュレーション結果

表 1 1.0V 付近を出力した故障

MOSFET	故障
MS1	DO SO GO
MS2	DSS GO
MS3	GDS DO SO GO
MS4	DSS GSS GO
M3	GSS GO
MA1	GSS DSS DO SO GO
MA2	DO SO GO
MA3	DO SO GO
MA4	GSS DSS DO SO GO
MA5	DSS DO SO GO
MA10	GSS GO
MA11	GO

### 3.2 故障検出手順の検討

#### 3.2.1 ウィンドウコンパレータ

故障シミュレーション結果から故障検出手法の検討をおこなった。ウィンドウコンパレータは、入力電圧があらかじめ設定した電圧範囲内に入っている場合に High, 入っていない場合には Low を出力する回路である。図 6 に回路構成、図 7 に入出力特性を示す。

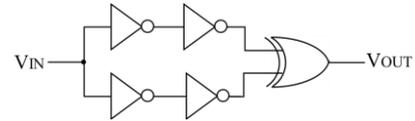


図 6 ウィンドウコンパレータの回路構成

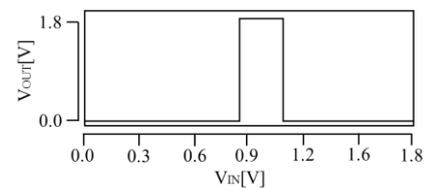


図 7 ウィンドウコンパレータの入出力特性

入力電圧範囲は 4 つのインバータのパラメータ (W/L) を調整することで変更可能である。つまり、ウィンドウコンパレータの High を出力する入力電圧範囲を正常値 1.0V 付近に設定することで、多くの故障で見られた 0V や 1.8V 付近の正常値 1.0V から大きく外れた出力となる故障の検出が可能となる[5]。しかし、故障していても正常値を出力する場合の故障は、このウィンドウコンパレータを用いた方法で検出できないため、別の手法を用いて検出する必要がある。

#### 3.2.2 故障検出手順

BGR 回路内で故障がある場合でも正常値を出力する箇所としては、オペアンプ内でのバイアス回路および MA2 とゲートが接続されている MA5 と MA10, BGR の出力段の M3 であった。この結果よりオペアンプの回路内でバイアスの役割をする MOSFET の故障検出方法が必要とわかった。先行研究[6]では、この解決法としてバイアス回路の MA3 および MA4 のゲート接続を切断し、テスト信号を入力する仕様としていたが、ほかの故障が検出できたもののバイアス回路の GO が検出できないという課題があった。また、先行研究[1][6]ではスタートアップ回路をテスト対象とはしていなかったが実用上はスタートアップ回路の故障検出も必要となるため、スタートアップ回路の MOSFET もテスト対象とした。そこで、オペアンプの入力  $V_{in-}$  である MOSFET のゲートとスタートアップ回路が接続されている箇所を切断し、オペアンプのバイアス回路と差動増幅段とを分離してテストをおこなう、以下に示すような手法を提案する。

1. オペアンプの入力  $V_{in}$ -である MOSFET のゲートとスタートアップ回路が接続されている箇所を切断する。
2. その MOSFET のゲートに切断する前の同じ値の電圧をテスト入力発生器から入力する。
3. その際の BGR 回路の出力と CUT の故障に敏感な 2 箇所のノードを正常値と比較する。
4. それらの比較により CUT の故障の有無を判断する。

## 4. 提案 BIST

### 4.1 BIST 回路の構成

図 8 に提案 BIST 回路の回路構成を示す。外部の信号で制御できるスイッチ  $S1$  と  $S2$  を作動させることにより通常動作モードとテストモードを切り替える仕様とした。 $S1$  と  $S2$  は同時に ON, OFF とすることはなく、 $S1$  が ON の時に通常動作モードに、 $S2$  が ON のときにテストモードとなる。テストモードの際には、テスト入力発生器が組み込まれたスタートアップ回路からテスト信号がオペアンプの入力  $V_{in}$ -である MOSFET のゲートに入力される。テスト信号は  $0.7V$  から  $0V$  へ、外部信号によって切り替えられる。なお、提案 BIST 回路内で用いたすべてのスイッチは図 9 に示すトランスマッションゲートを用いた。一方、テスト応答解析器では、テストモード時に  $V_{OUT}$  と  $V_A$  と  $V_B$  の 3 つの信号が入力され、それぞれを正常値と比較することにより故障の有無を判断する仕様とした。テスト結果はデジタル信号の High/Low で出力されるようにした。サンプリング信号は、テスト信号が  $0V$  になる前に  $0.7V$  のときの  $V_{OUT}$  のテスト結果を DFF にホールドするために入力している。また、テスト信号を入力するために CUT である BGR は改良をおこなった。

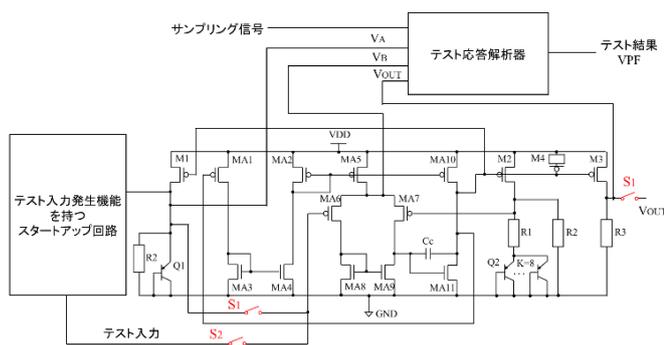


図 8 提案 BIST

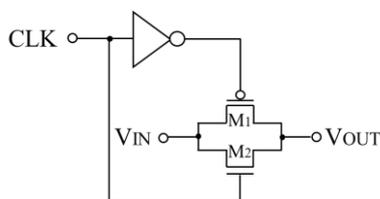


図 9 トランスマッションゲート

### 4.2 テスト入力発生機能を持つスタートアップ回路

本研究で設計したテスト入力発生機能を持つスタートアップ回路の回路構成を図 10 に、回路パラメータを表 2 に示す。前述の通り、スタートアップ回路は電源電圧  $V_{DD}$  が立ち上がる時にのみ動作し、 $V_{DD}$  が安定したときには BGR から独立した状態となる。そのため、スタートアップ回路内にテスト入力発生器を組み込むことができるのである。これにより高密度集積が可能となり、スタートアップ回路とテスト入力発生器を分けて実装したときよりも占有面積を減らすことができる。

通常動作モードではテスト入力制御信号  $V_{TSC}$  を Low にすることでスイッチを ON とし、 $MS5$  を OFF とする。その後、 $V_{TS}$  は BGR と切り離されているため、スタートアップ回路は通常動作をする。一方、テストモードでは  $V_{TSC}$  を High に切りかえると  $MS5$  が ON となり、グラウンドと接続するため  $V_{TS}$  を  $0V$  に設定できるのである。

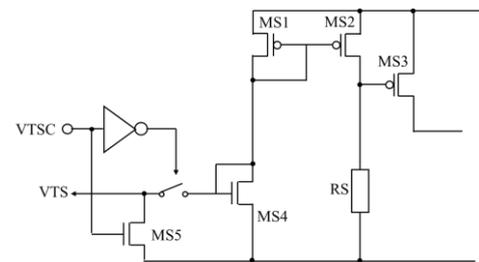


図 10 テスト入力発生機能を持つスタートアップ回路

表 2 提案 CUT の回路パラメータ

回路パラメータ	値	並列数	
スタートアップ回路	MS1, MS3	2.7 $\mu$ m/540nm	1
	MS2	2.7 $\mu$ m/540nm	2
	MS4	2.7 $\mu$ m/1.08 $\mu$ m	2
	MS5	2 $\mu$ m/180nm	
	RS	180k $\Omega$	
BGR 回路	M1, M2, M3	2 $\mu$ m/2 $\mu$ m	1
	M4	5 $\mu$ m/10 $\mu$ m	2
	R1	11k $\Omega$	
	R2	112k $\Omega$	
オペアンプ	R3	90k $\Omega$	
	MA1, MA2	2.7 $\mu$ m/2 $\mu$ m	2
	MA3, MA4	2.7 $\mu$ m/2 $\mu$ m	1
	MA5, MA8, MA9	3.6 $\mu$ m/2 $\mu$ m	1
	MA6, MA7	5.4 $\mu$ m/2 $\mu$ m	1
MA10	5.4 $\mu$ m/2 $\mu$ m	2	
MA11	10.8 $\mu$ m/2 $\mu$ m	2	
Cc	3pF		

### 4.3 テスト応答解析器

図 11 に本研究で設計したテスト応答解析器の回路構成を示す。回路パラメータは表 3 に示す。このテスト応答解析器では、テストモードにおいて  $V_A$  の電圧が正常値 0.7V 付近で入力されると High を出力するウィンドウコンパレータ 1 (WC1), 同様に  $V_B$  の電圧が正常値 1.4V 付近で High を出力するウィンドウコンパレータ 2 (WC2),  $V_{OUT}$  の電圧が正常値 1.0V 付近で High を出力するウィンドウコンパレータ 3 (WC3) を用いて、出力電圧と  $V_A$  と  $V_B$ ,  $V_{OUT}$  が正常値と合っているかを判断する。WC1, WC2, WC3 が High を出力する入力電圧の範囲はそれぞれ 0.63~0.81V, 1.26~1.45V, 0.89~1.10V と設定した。

故障検出の手順としては、まず  $V_{TS}$  が 0V となる前に  $V_A$  と  $V_B$  それぞれの判別結果の AND およびその結果と  $V_{OUT}$  との判別結果の AND をとり、その結果をサンプリング信号  $V_{SAM}$  で DFF にホールドしておく。そして、INV 構成のシンプルコンパレータにより、 $V_{TS}$  が 0V となった後の  $V_{OUT}$  を正常値と比較する。なお、シンプルコンパレータは図 12 に示すような入出力特性である。最終に、シンプルコンパレータによる判別結果と DFF によりホールドされていた判別結果を NAND ゲートに入力することでテスト結果  $V_{PF}$  が出力される。CUT の故障の有無は、 $V_{TS}$  を 0V にしたときの出力  $V_{PF}$  を観測することで判断でき、故障がある場合は  $V_{PF}$  が High, ない場合は Low となる。

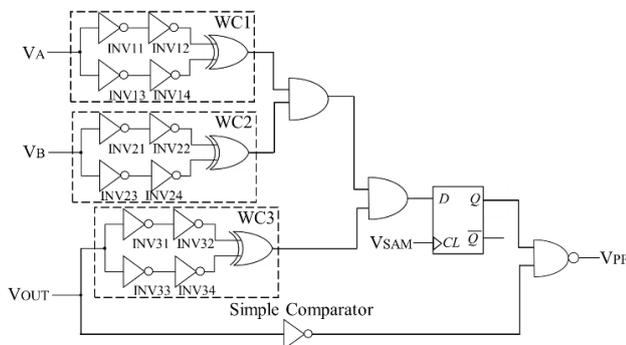


図 11 テスト応答解析器

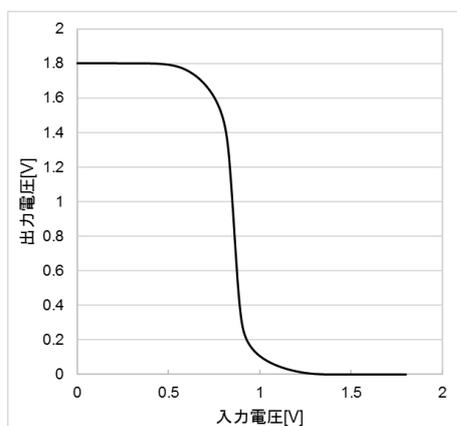


図 12 シンプルコンパレータの入出力特性

表 3 テスト応答解析器の回路パラメータ

回路パラメータ		値	並列数
テスト応答解析器	INV11,	pMOS 8 $\mu$ m/300nm	6
	INV12	nMOS 1 $\mu$ m/1.3 $\mu$ m	1
	INV13,	pMOS 10 $\mu$ m/180nm	10
	INV14	nMOS 250nm/6 $\mu$ m	1
	INV21,	pMOS 4 $\mu$ m/200nm	5
	INV22	nMOS 7 $\mu$ m/200nm	10
	INV23,	pMOS 3.34 $\mu$ m/200nm	5
	INV24	nMOS 4 $\mu$ m/200nm	2
	INV31,	pMOS 4 $\mu$ m/300nm	4
	INV32	nMOS 2.3 $\mu$ m/400nm	2
	INV33,	pMOS 6 $\mu$ m/300nm	10
	INV34	nMOS 3 $\mu$ m/400nm	1
	Simple Comparator	pMOS 6 $\mu$ m/180nm	1
		nMOS 2 $\mu$ m/180nm	1
スイッチ	all pMOS	4 $\mu$ m/180nm	1
	all nMOS	2 $\mu$ m/180nm	1

### 5. 提案 BIST 回路の評価

提案 BIST 回路のレイアウトパターンを図 13 に示す。面積は 181.28 $\mu$ m $\times$ 241.16 $\mu$ m, 面積オーバーヘッドは 8.8% となった。

表 4 に BIST 回路を付加した場合と付加していない場合の出力電圧と出力電圧変動, 温度係数を示す。いずれの値も BIST 回路の有無による変化はなく, BIST 回路が BGR 回路への負荷になっていないことがわかった。

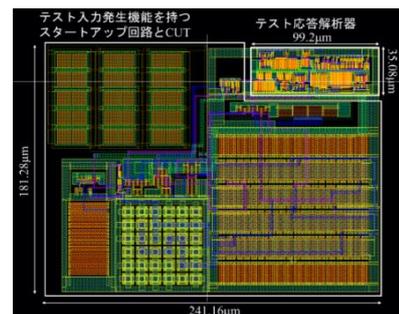
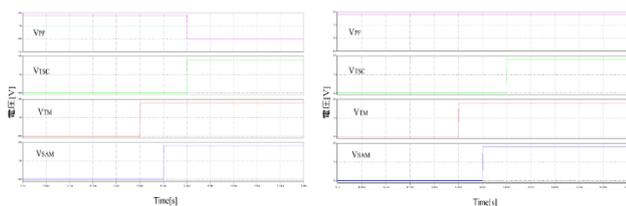


図 13 提案 BIST 回路のレイアウト

表 4 BIST 回路の有無による BGR の性能

性能	シミュレーション値	
	オリジナル BGR	BIST 回路付加 BGR
出力電圧(@VDD=1.8V)	1.0055V	1.0055V
出力電圧変動 (@VDD=1.6V-2.0V)	5.5mV	5.5mV
温度係数(0°C-100°C)	6.8ppm/°C	6.8ppm/°C

提案 BIST 回路の故障検出率の検証のため、故障付加スキームを用い BGR に故障を付加し HSPICE でシミュレーションをおこなった。故障の有無による出力信号  $V_{PF}$  の変化および外部制御信号を図 14 に示す。(a) が故障なしの場合、(b) が故障あり (MA11 の DSS) の場合である。 $V_{PF}$  は、故障なしの場合は  $V_{TS}$  が High になった時点で Low に、故障ありの場合は  $V_{TS}$  が High になった時点で High となっている。この故障検出動作で検証をおこなった結果を図 15 に示す。なお、M4 の DSS, DO, SO, GO および MA2, MA3, MA8, MS1, MS4 の GDS は前述の通りの故障なしの場合で変わらないため、故障検出の対象外とした。6 通りのどの故障も故障検出ができない MOSFET が少なからず 1 個あり、特にスタートアップ回路内のいずれかの MOSFET がすべての故障パターンで検出できていないことがわかった。これは、テスト入力発生器をスタートアップ回路に組み込んだことによる影響が考えられる。これより、WC に入力される電圧は電圧範囲が広く、安定した故障検出をおこなえるノードを選択する必要があるだろう。



(a) 故障あり (b) 故障なし  
図 14 故障検出における動作タイミング

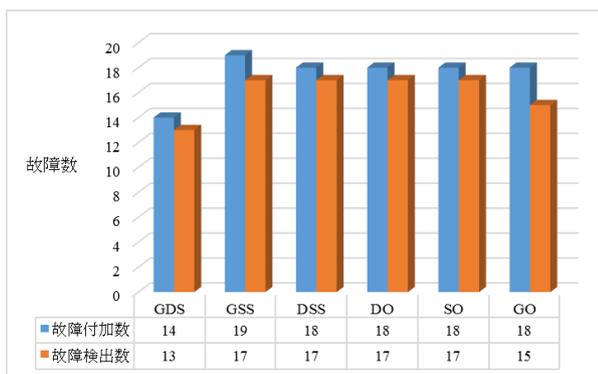


図 15 動作検証結果

また、この提案 BIST を先行研究[1][6]と比較した結果を表 5 に示す。なお、先行研究ではそれぞれ 1 段オペアンプを用いた BGR と 2 段オペアンプを用いた BGR を CUT とし、どちらもスタートアップ回路を故障検出の対象外としていた。まず本研究の提案 BIST 回路においてスタートアップ回路を CUT に含めた場合は 91.4% の高い故障検出率を得られたが、先行研究よりは低くなった。一方、スタートアップ回路を CUT に含めない場合では 97.6% となり、先

行研究[6]よりも高い故障検出率が得られた。ただし、本研究での提案 BIST においてスイッチの故障は考慮していないため、今後検討が必要である。

表 5 提案 BIST と先行研究の比較

研究報告	CUT	故障検出率	面積オーバーヘッド
先行研究[1]	1 段 OP BGR	100%	5.5%
先行研究[6]	2 段 OP BGR	92.6%	8.8%
本研究	2 段 OP BGR (STU 有)	91.4%	8.8%
	2 段 OP BGR (STU 無)	97.6%	

## 6. まとめ

本研究の提案 BIST 回路は、シミュレーションにおいて故障検出率 91.4%、面積オーバーヘッド 8.8% という BGR 回路の負荷のない設計となっていることがわかった。しかし、スタートアップ回路の故障検出方法が確立していない。また実用上ではスイッチの故障も含めた故障検出方法が必要となってくる。そのため、今後は試作チップが届いた後、実測の評価も含め、スイッチも CUT とする等の再検討をおこなっていく予定である。

## 謝辞

本研究は J S P S 科研費 18K11222 の補助を受け、東京大学大規模集積システム設計教育研究センターを通し、日本ケイデンス株式会社、シノプシス株式会社およびメンター株式会社との協力で行われたものである。

## 参考文献

- 1) Takuya Bando, Masayoshi Tachibana: A BIST Scheme Detecting Catastrophic Faults of MOSFETs in Bandgap Reference with Self-Biased Operational Amplifier, 19th Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI), Yilan, RAIWAN (2015)
- 2) 谷口研二: CMOS アナログ回路入門, CQ 出版, pp.117 (2005)
- 3) R. Jacob Baker: CMOS Circuit Design, Layout, and Simulation 3rd Edition, IEEE Press, pp.750-751, (2010)
- 4) Wimol San-Um, Tachibana Masayoshi: A Compact On-Chip Testing Scheme for Analog-Mixed Signal Systems Using Two-Step AC and DC Fault Signature Characterization, 15th Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI), Okinawa, JAPAN (2009)
- 5) Yuan Jun, Tachibana Masayoshi: A BIST scheme for operational amplifier by checking the stable output of transient response, 20th European Conference on Circuit Theory and Design (ECCTD), Linköping, SWEDEN (2011)
- 6) 窪添諒, 橘昌良: 2 段オペアンプを用いた BGR に対する BIST 手法の検討, 高知工科大学システム工学群電子工学専攻卒業論文 (2016)