DLLとILVCOを用いた低ジッタクロック生成回路の提案

保坂 啓介^{†1,a)} 小松 聡^{†1,b)}

概要:本稿では,Delay-Locked-Loop(DLL)回路と注入同期型の電圧制御発振器 (ILVCO)を用いてクロック生成を行うDLL based injection-locked Clock Multiplier(DICM)を提案する. 位相特性に優れるDLL回路を用いて低ジッタな特性を持つ高周波クロック生成を行うことで演算や通信を行う際に生じてしまうエラー数の削減やマージンの削減,より正確な信号処理といったことが期待できる. 従来の高周波生成にはクロック逓倍回路等が用いられていたが,ILVCOを用いることでより容易な設計で高周波生成が可能になる. 本研究では,Rohm CMOS 0.18um プロセス,電源電圧 1.8Vを使用して回路設計を行い,HSPICEによってシミュレーションを行った. 異なる遅延セルを2種類設計し,それらを遅延セル 1,遅延セル 2 とし,遅延セル 1を使用して構成した DLL回路をDLL1とする. また,遅延セル 2を使用して構成した DLL回路をDLL1とする. DLL1を用いた DICM(DICM1)では入力クロック周波数 50MHz に対し出力の周波数が 300MHz になるように,DLL2を用いた DICM(DICM2)では入力周波数 50MHz に対して出力周波数 150MHz になるように設計を行った. 周期ジッタを計測した結果 DICM1 は 405fs@300MHz,DCIM2 は 4.35ps@150MHz の標準偏差を示した.

キーワード:遅延同期ループ,注入同期,高周波生成

DLL and ILVCO based low jitter clock generator

Keisuke Hosaka^{†1,a)} Satoshi Komatsu^{†1,b)}

Abstract: In this study, delay-locked-loop based injection lock multiplier(DICM) is proposed. DICM is Delay-locked-loop(DLL) and injection-locked-voltage-controlled-oscillator(ILVCO) based low-jitter clock generator. DLL has better phase characteristics than other clock generator such as phase locked loop. So, using DLL based clock multiplier brings error reduction during data processing and communication. Though the past clock multipliers use frequency muliplier, we use ILVCO in this study. ILVCO based clock mulplier design is very simple. Proposed circuit can generate high frequency clocks in very simple design. Proposed circuits are designed by Rohm 180nm technology, with 1.8V supply voltage. DLL1 based clock generator(DICM1) has 50MHz input frequency and 300MHz output frequency. DLL2 based clock generator(DICM2) has 50MHz input frequency and 150MHz output frequency. Acording to simulation results, period jitter of DICM1 and DICM2 show standard deviation are 405fs@300MHz and 4.35ps@150MHz respectively.

Keywords: Delay Locked Loop, DLL, ILVCO, ILCM, Clock Multiplier, DICM, injection-locked

1. はじめに

近年では、オンチップでの波形観測や Analog-to-Digital-Converter(ADC) 等といった高速な信号処理を必要とする

^{b)} komatsu@mail.dendai.ac.jp

システムが増加してきており, そのようなシステムでは回 路動作の信頼性や正確な信号処理を確保するために, より 低ジッタな特性を持つクロック生成が求められている. 集 積回路の内部で使用する高周波クロックの生成や, 正確な タイミングでクロックを各モジュールの回路に送るため のクロック分配等の用途では Delay locked loop(DLL) 回 路や Phase Locked Loop(PLL) 回路が使用されている. そ

 ^{†1} 現在,東京電機大学 大学院 電気電子工学専攻
 Presently with Electrical and Electronic Engineering Graduate School of Engineering Tokyo Denki University

^{a)} 17kmh17@ms.dendai.ac.jp



図 1 DLL 回路ブロック図 Fig. 1 Block diagram of DLL

れらの回路はより正確なデータ伝送を行うために重要な 役割を果たしており,今日も様々な研究が為されている. 本稿では,DLL 回路と Injection locked voltage controlled oscillator(ILVCO) 回路を用いた高周波クロック生成回路 をを設計し,その位相特性を評価した.また,DLL 回路には 特性が異なる2種類の遅延セルを使用することにより DLL の特性が回路にどのように影響するのかについての検討を 行った.

DLL 回路のブロック図を図1に示す. DLL 回路は電圧 制御型遅延線 (VCDL) と位相周波数比較器 (PFD), チャー ジポンプ (CP), ローパスフィルタ (LPF) によって構成さ れる. PFD が入力 (Ref_Clk) と出力 (Out_Clk) の位相差に 応じたパルスを出力し、CP,LPF を通して VCDL の制御 信号に変換する.入力と出力の位相差がゼロになったと き,DLL はロックしたという [1]. DLL 回路は VCDL を用 いるので, リングオシレータベースの PLL よりもジッタ の蓄積が少ない. また,PLL は 2 次応答システムであるが DLL は1次応答システムなので安定した動作が期待でき る [2]. DLL 回路は発振器を使用しないために複数クロッ ク生成など周波数逓倍以外の用途で使用されることが多 かったが、最近では高周波生成の用途でも DLL 回路が使用 されつつある. これまでに報告されてきた,DLL 回路ベー スの高周波生成回路は DLL 回路の出力を Edge-Combiner や Frequency-Multiplier を使用したものがほとんどであっ た。それらの回路では,DLL 回路の各出力のエッジによっ てクロック信号の High や Low と言った状態を決めるが、 DLL 回路の各出力は必ずしも均等な遅延差を持つとは限 らない. 従って, 出力に不安定なクロック信号を与える可能 性があるため、各出力の遅延さを正確に合わせるための校 正回路が必要となる.

2. 提案するクロック生成回路

2.1 従来手法

[3] で提案された回路は DLL 回路と Frequency Multiplier を用いて周波数の逓倍が可能である.しかしこの回路は DLL 回路の格段の出力の位相差によって出力の周波数成分 が変化してしまい,出力が歪んでしまう恐れがあり,低ジッ タな高周波信号を得るためには補正回路が必要となる.[4] では ILVCO と DLL 回路を使用した高周波生成回路が提案 されており,DLL 回路を使用することによって PVT ばら つきに耐性のある発振器になることが証明されている. [5] では Injection-Locked-PLL(ILPLL) が提案されている. リ ングオシレータにインジェクションパルスを与えて発振器 に補正をかけることによって位相ノイズを削減することが できる.本研究では,DLL 回路と ILVCO を用いて低ジッタ なクロック生成回路を提案する.

2.2 提案手法のアーキテクチャ

提案するクロック生成回路のブロック図を図 2 に示す. 提案回路は,DLL 回路とパルス生成回路,VCO によって構成され,各回路を構成する遅延セルは DLL 回路の VCDL に使用しているものと同じものを使用し,DLL1 の VCDL は遅延セル 60 段,DLL2 の VCDL は遅延セル 30 段で構成 した.また,各遅延セルの遅延制御信号には,VCDL の遅延 制御に用いられる制御電圧 Vctrl を用いる.DLL 回路が外 部の信号によってロックして VCDL を構成する遅延セル の遅延が一定になると VCO を構成する遅延セルの遅延も 一定になるので,安定した出力周波数を得ることができる. しかし,VCO が外部の入力との同期をとらないまま発振を 続けると,時間が経過するごとに VCO にはジッタが蓄積 されていくため,図3に示すようなパルス生成回路を使用 して外部の入力信号からインジェクションパルスを生成し て入力信号との同期をとる必要がある.

遅延セルの段数を N_{VCO} とし,1 段あたりの遅延を T_{delay} とすると VCO の出力周波数 f_{VCO} は

$$f_{vco} = \frac{1}{2 \cdot N_{VCO} \cdot T_{delay}} \tag{1}$$

となる. さらに, 遅延セル 1 段あたりの遅延は,DLL 回路の 遅延セル 1 段あたりの遅延なので参照クロックの周波数を f_{ref} ,VCDL に用いる遅延セルの段数を N_{VCDL} とすると

$$T_{delay} = \frac{1}{f_{ref}} \cdot \frac{1}{N_{VCDL}} \tag{2}$$

となるので,(1) 式,(2) 式より f_{VCO} は

$$f_{vco} = \frac{N_{VCDL}}{2 \cdot N_{VCO}} f_{ref} \tag{3}$$

となる. このことから,DLL 回路の VCDL の段数 N_{VCDL} と VCO の段数 N_{VCO} を変化させることで様々な周波数を 出力可能なことが分かる. 出力周波数 f_{VCO} をより高速に したい場合は,遅延時間 T_{delay} が短い遅延セルを使用して VCDL の段数 N_{VCDL} を増加させることによってより高周 波なクロック生成が可能である.

2.3 使用した遅延セル

本研究では2種類の遅延セルを設計し,それぞれの回路 で異なる2種類のDLL回路を構成した.DLL1を構成する 遅延セルを遅延セル1,DLL2を構成する遅延セルを遅延セ



図2 提案するクロック生成回路 Fig.2 Proposed clock generator



図 3 提案するパルス生成回路 Fig. 3 Proposed pulse generator



Fig. 4 Delay cell1

ル2とし,図4,図5に示す.遅延セル1は[6]で提案され, PMOSとNMOSがクロスカップル接続された差動型の回 路となっている.PMOSに制御信号Vbpを入力することで 流れる電流量を制御し,それに応じてクロックの伝搬遅延 が変化する.また,クロスカップルされたPMOSは抵抗の 役割を担い,動作範囲の拡大と+側の出力と-側の出力の極 性を保っている.同様にクロスカップルされたNMOSも, 両極の極性を保つ役割を担い,どちらかの信号が変化する ともう片方の信号の信号遷移時間を加速する.この回路は テールトランジスタの電流源を用いないため,フリッカノ イズの削減や出力のフルスイングを助けるといった点に恩 恵を与えるが,電流の制限が無くなるために消費電力が大 きくなる[7].

図 5 に示す遅延セル 2 は,以前我々が [8] で提案したワ イドレンジな低消費電力型遅延セルである.この回路は



図 5 建建セル 2 Fig. 5 Delay cell2

トランスミッションゲートを用いた差動型の遅延セルで, PMOS と NMOS がクロスカップル接続されており, 両極 が信号の遷移を助け合う回路となっている.トランスミッ ションゲートとテールトランジスタに制御信号を入力す ることで遅延の制御を行う.トランスミッションゲートに よって遅延セルは広い遅延変化幅を得ることができるが, 入力から与えられる電流量を抑えてしまう.それにより回 路の動作範囲が限られてしまうのを, テールトランジスタ で回路全体の駆動力を減らすことで動作範囲を確保し, 出 力にインバータを接続することで信号を充分回復させてい る.また,PMOS と NMOS にそれぞれ制御信号が必要にな るのでバイアス生成回路が必要である.

2.4 設計に対する優位性

提案した DICM は,DLL 回路とパルス生成回路,VCO を 接続することで設計が可能である. PLL 回路を使用した高 周波生成では,インダクタを必要としたり二重ループ機構 を必要とするため,設計に時間を要する.DLL 回路は PLL 回路よりも設計が容易であり,位相特性に優れるため比較 的容易に低ジッタな同期式の高周波生成回路が設計できる. DLL 回路は,遅延セルの特性が既知であるならば機械的な 設計が可能なため,設計の自動化や簡略化といった恩恵を 受けることができ,設計コストの削減が期待できる.また, 出力の周波数を入力の周波数を基準にして何倍にするかは, (3) 式より,VCO と VCDL に使用している遅延セルの段数 で決定されるのでフラクショナルな高周波生成が可能なた め,汎用性にも優れる.

3. 実験結果

本稿では、CMOS0.18um プロセス、電源電圧 1.8V を用い て設計を行い、HSPICE によってシミュレーションを行っ た.本章では、設計を行った 2 種類の DLL 回路の位相特性 評価の実験結果を示した後、DICM の位相特性評価を示す. また、DLL 回路の位相特性と DICM の位相特性の関係性を



図 6 DLL1の出力のジッタヒストグラム Fig. 6 Jitter histogram of DLL1 output



図 7 DLL2の出力のジッタヒストグラム Fig. 7 Jitter histogram of DLL2 output

評価した.

3.1 DLL 回路の位相特性評価

設計したそれぞれの DICM について出力信号の周期ジッ タを回路シミュレーションによって求めた.前提条件とし て,DLL1 と DLL2 の入力には 50MHz のクロック信号を入 力し,それぞれの入力のジッタの標準偏差は 7.78fs,24.3fs を示した. DLL1 における出力の周期ジッタの回路シミュ レーション結果を図 6 に, DLL2 における出力の周期ジッ タの回路シミュレーション結果を図 7 に示す. DLL1 にお けるシミュレーション結果はジッタの標準偏差 228fs,peakto-peak 値 1.74ps を示した. DLL2 におけるシミュレーショ ン結果はジッタの標準偏差 8.62ps,peak-to-peak 値 30.3ps を示した.

図 8 は,時間経過に対する DLL1 の制御電圧 V_{ctrl} の変 化を示す.初めに 20ns のリセット信号で 1.8V に引き上 げられた後,PFD と CP の出力によってロック状態に近づ いていく.図 8 より,DLL1 の制御電圧 V_{ctrl} は 0.7us から 0.8us で 0.7V あたりで一定になっていることが分かる.つ



図 8 時間変化に対する DLL の制御電圧 (DLL1) Fig. 8 Time vs Controlled voltage of DLL1



図 9 時間変化に対する DLL の制御電圧 (DLL2) Fig. 9 Time vs Controlled voltage of DLL2

まり,DLL1 のロック時間は約 800ns でその時 $V_{ctrl} = 0.7$ V という結果となった.

図 9 は,DLL2 のロック時間を示している. この結果から,DLL2 のロック時間は 0.3us でその時 *V_{ctrl}* = 1.2 V ということが分かる.

3.2 提案回路の位相特性評価

DICM1 は DLL に用いられている VCDL の段数 $N_{VCDL} = 60$, VCO の段数 $N_{VCO} = 5$ となっており, 参照クロックの周波数 $f_{REF} = 50$ MHz である. よって (3) 式より,ILVCO の発振周波数 f_{DICM1} は

$$f_{DICM1} = \frac{N_{VCDL}}{2 \cdot N_{VCO}} f_{ref} = \frac{60}{2 \cdot 5} 50 \,\mathrm{MHz} = 300 \,\mathrm{MHz}(4)$$

同様に DICM2 の出力周波数 f_{DICM2} は $N_{VCDL} = 30, N_{VCO} = 5, f_{REF} = 50$ MHz なので

$$f_{DICM1} = \frac{N_{VCDL}}{2 \cdot N_{VCO}} f_{ref} = \frac{30}{2 \cdot 5} 50 \text{ MHz} = 150 \text{ MHz}(5)$$

となる.

DICMの出力の周期ジッタを測定した結果を図 10,図 11

表 1 周期ジッタシミュレーション結果 (DICM1) Table 1 Simulation results of period-Jitter(DICM1).

	平均	標準偏差	Pk-to-Pk
Ref_Clk	20.0ns	$7.78 \mathrm{fs}$	$88.5 \mathrm{fs}$
Out_Clk	$20.0 \mathrm{ns}$	$220 \mathrm{fs}$	$1.74 \mathrm{ps}$
fout	3.33 ns	$405 \mathrm{fs}$	1.83 ps

表 2 周期ジッタシミュレーション結果 (DICM2) Table 2 Measurement results of period-Jitter(DICM2).

	平均	標準偏差	Pk-to-Pk
Ref_Clk	20.0ns	24.3fs	177fs
Out_Clk	20.0ns	8.62 ps	$30.3 \mathrm{ps}$
fout	6.70ns	4.35 ps	32.4 ps

表3 各回路の消費電力

 Table 3 Measurement results of power consumption.

	DICM1	DICM2
回路全体	$49.68 \mathrm{mV}$	$3.24 \mathrm{mV}$
DLL 回路単体	$42.34 \mathrm{mV}$	$2.67 \mathrm{mV}$

に示す. DICM に使用している DLL のジッタは 3.1 に示 した通りである. DCIM1の出力は周期ジッタの平均値が 3.33ns, 標準偏差 405fs, pk-to-pk 値 1.83ps を示し, DCIM2 の出力は周期ジッタの平均値 6.7ns, 標準偏差 4.35ps, pkto-pk 値 32.4ps となった. 各信号の周期ジッタ測定結果を 表1,表2に示し、その時の回路の消費電力を表3に示す. この結果から,DICM1の出力周波数は理論値と一致してい るが、DICM2の出力周波数は正確には一致していないこ とが確認できる. DICM1 はジッタが小さいが消費電力が 大きい. この理由としては DICM1 を構成している図 4 の 遅延セル1はテールトランジスタが無いために貫通電流 が常に流れてしまう回路となっているために消費電力が DICM2と比較して大きくなっている. DICM2 は消費電力 が低いがジッタが大きい. この理由としては,DLL 回路の 出力 Out_Clk の周波数と fvco の出力周波数が理論値どお りになっていないためだと考察できる. DICM2 の出力で ある f_{VCO}の周波数のヒストグラムを図 12 に示す.周波 数の平均が 149MHz になっているのが分かる.所望の周波 数より低い周波数のところでピークが出ており、この要因 としては Injection pulse が入力される VCO が考えられる. 図5に示したDICM2の構成回路である遅延セル2は,駆 動力が弱いためインジェクションを行うために接続してい るトランジスタが負荷となり, 発振周波数を遅くしている. この対策としては遅延セルの駆動力を上げることによって, インジェクションのために接続するトランジスタの容量を 遅延セルから見て小さくする必要がある.

4. 結論

本稿では,DLL と ILVCO を用いて高周波クロックを



図 10 DICM1 出力の周期ジッタヒストグラム Fig. 10 Jitter histogram of ILCM1 output



図 11 DICM2 出力の周期ジッタヒストグラム Fig. 11 Jitter histogram of DICM2 output



図 12 DICM2 の出力周波数ヒストグラム Fig. 12 freqency histogram of DICM2 output

生成する DLL based injection-clock multiplier(DICM) を 提案し, そのジッタ特性を評価した. 提案した回路は CMOS0.18um プロセスで設計し,HSPICE を用いてシミュ レーションを行った. 回路の入力に 50MHz を入力した とき DLL1 は周期ジッタの標準偏差 220fs,p-p1.74ps, 消費

	[9]	[3]	DLL1*	DLL2*
Process	0.18um	0.18um	0.18um	0.18um
Supply Voltage	1.8V	1.8V	1.8V	1.8V
Jitter(p-p)	30.67@125 MHz	70 ps@80 MHz	1.74 ps@50 MHz	30.3ps@50MHz
		22.2 ps@125 MHz		
Power consumption	32mW@125MHz	52.2mW@125MHz	42.34mW@50MHz	2.67mW@50MHz

表 4 DLL 回路単体での性能比較 Table 4 DLL core performance comparison

*Simulation results

表 5 DICM の性能比較 Table 5 DICM performance comparison

	[10]	[11]	DICM1*	DLL2*
Process	0.18um	0.18um	0.18um	0.18um
Supply Voltage	1.8V	1.8V	1.8V	1.8V
Jitter(p-p)	32.7 ps@2GHz	8.29 ps@400 MHz	1.83 ps@300 MHz	32.4 ps@150 MHz
Power consumption	$6.6 \mathrm{mW}@2\mathrm{GHz}$	$3.92 \mathrm{mW}@330 \mathrm{MHz}$	$49.68 \mathrm{mW}@300 \mathrm{MHz}$	$3.24 \mathrm{mW}@150 \mathrm{MHz}$

*Simulation results

電力 42.34mW を示した. DLL1 を用いた DICM1 は周期 3.33ns を示し, その時の周期ジッタの標準偏差は 405fs,p-p は 1.83ps, 消費電力は 49.68mW であった. DLL2 は回路 単体で周期ジッタの標準偏差 8.62ps,p-p30.3ps, 消費電力 2.67mW を示し, DICM2 は出力の周期が 6.7ns を示し, 周 期ジッタの標準偏差 4.35ps,p-p32.4ps,3.24mW を示した. DICM1 のジッタは DICM2 や関連研究と比較して非常に低 い値を示したが, 消費電力が大きい結果となった. DICM2 のジッタが大きくなってしまう要因として,Injection のた めに接続している回路が負荷となり出力周波数を下げてし まっていることが考えられる. 今後は, さらなるジッタの 低減を目指し, 消費電力と位相特性のトレードオフを探る.

謝辞 本研究は東京大学大規模集積システム設計教育センターを通じ、シノプシス株式会社、日本ケイデンス株式会社、 社、ローム株式会社の協力で行われたものである.

参考文献

- Mohammad Gholami, Gholamreza Ardeshir, "Dual Phase Detector Based Delay Locked Loop for High Speed Applications", International Journal of Engineering, 27(4), 517-522, (2014).
- [2] Mohammad Gholami, "Total Jitter of Delay-Locked Loops Due to Four Main Jitter Sources", IEEE Transactions on Vert Large Scale Integration(VLSI) Systems, vol.24, (2016).
- [3] Chih-Hsing Lin, Ching-Te Chiu, "A 2.64GHz wide range low power DLL-based frequency multiplier with CML circuits using adaptive body bias", IEEE International Conference on Electronics, Circuits and Systems, (2008).
- [4] Mina Kim, Seojin Choi, Taeho Seong, and Jaehyouk Choi, Member, IEEE, "A Low-Jitter and Fractional-Resolution Injection-Locked Clock Multiplier Using a DLL-Based Real-Time PVT Calibrator With Replica-Delay Cells", IEEE J. Solid-State Circuits, vol.51, (2016).

- [5] Sungwoo Kim, Sungchun Jang, Sung-Yong Cho, Min-Seong Choo, Gyu-Seob Jeong, Woorham Bae, and Deog-Kyoon Jeong, "A $285 f_{s_{RMS}}$ Integrated Jitter Injection-Locked Ring PLL with Charge-Stored Complementary Switch Injection Technique", Journal of semi-conductor technology and science, (2016).
- [6] L.Hai Qi, G.Wang Ling, and S.Liter, "1.8-V 10-GHz ring VCO design using 0.18um CMOS technology", Proceedings 2005 IEEE International SOC Conference, (2005)
- [7] Mahmoud Moghavvemi, Aliyar Attaran, "Recent Advances in Delay Cell VCOs", IEEE Microwave Magazine, vol12, (2011).
- [8] 保坂啓介,小松聡,"低消費電力 DLL 向け遅延セルの検 討",電子情報通信学会 総合大会,(2018).
- [9] Liu, T. and C. Wang, "A 1-4GHz DLL Based low-jitter multi-phase clock generator for low-band ultra-wideband application", IEEE Asia-Pacific Conf. on Adv. Sys. Integrated Circuits, (2004).
- [10] K.H. Cheng, S.M. Chang, Y.L. Lo, and S.Y. Jiang, "A 2.2GHz Programmable DLL-Based Frequency Multiplier for SOC Applications", IEEE AP-ASIC, (2004).
- [11] R.M. Weng, T.H. Su, and C.Y. Liu, "A CMOS 2.4GHz delay-locked-loop based programmable frewuency multiplier", IEEE ICCE, (2006).