

ThruChip Interface の設計自動化

柴 康太† 宮田 知輝‡ 門本 淳一郎‡ 天野 英晴‡ 黒田 忠広‡
 †慶應義塾大学理工学部 ‡慶應義塾大学大学院理工学研究科

1. 背景

集積回路(IC: Integrated Circuit)のトランジスタの微細化により、コンピュータの高速化および小型化が進んできた。しかし、ムーアの法則に従ったトランジスタのスケールリング則は、微細化による低消費電力化の鈍化や製造コストの上昇といった問題に直面している。

半導体産業がスケールリング問題に直面している中、2次元的なスケール制約を打破する解決策が模索されている。その解決策の1つが、チップを垂直方向に積層する3次元積層技術である。そのチップ間の接続技術として、ThruChip Interface(TCI)が注目を集めている。TSVに匹敵するデータレート、バンド幅、消費電力、信頼性を持ち、オンチップのコイル間の誘導結合による無線通信技術であるため、低コストで実現できる。図1に概念図を示す。

TCIの研究は、通信におけるバンド幅や消費電力の改善のために、送受信機の性能向上に重点を置いてきた。一方で、TCIの通信において重要な役割を担うコイル間の誘導結合チャネルの研究はほとんどおこなわれておらず、従来のコイル設計フローではコイルのレイアウト調整、3次元電磁界シミュレーション、回路シミュレーションという操作を繰り返し行う必要があるため、多大な時間を消費していた。従って、最適なコイルの設計を効率的に行う手法が必要とされている。

本稿では、解析的なTCIの誘導結合チャネルの設計手法を提案する。実験結果では、設計時間の短縮と平均で16.8%の消費電力削減を示す。

Analytical ThruChip Inductive Coupling Channel Design Optimization

Kota Shiba†, Tomoki Miyata‡, Junichiro Kadomoto‡, Hideharu Amano‡, and Tadahiro Kuroda‡

† Faculty of Science and Technology, Keio University

‡ Graduate School of Science and Technology, Keio University

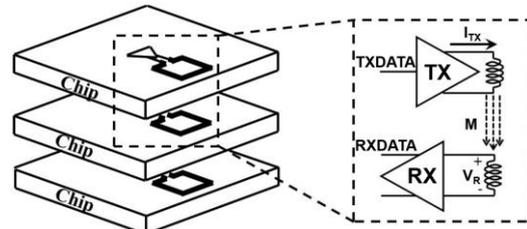


図1 ThruChip Interface(TCI)

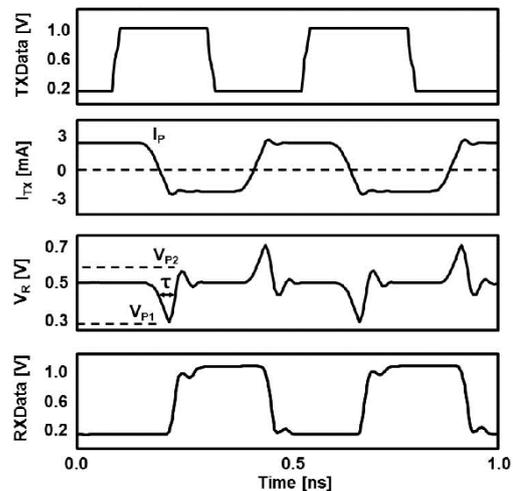


図2 TCIの動作波形

2. ThruChip Interface の概念

本章では、TCIの基本的な動作原理について述べる。ファラデーの電磁誘導の法則により、送信コイルが発生する磁界の変化に応じて、受信コイルでは誘起電圧が発生する。この誘起電圧を用いて通信を行う。このとき受信コイルの誘起電圧 $V_R(t)$ は、送信電流 $I_{TX}(t)$ 、送受信コイル間の結合係数 k 、各インダクタンス L_{TX} 、 L_{RX} を用いて

$$V_R(t) = k\sqrt{L_{TX}L_{RX}} \frac{dI_{TX}(t)}{dt} \quad (1)$$

と表される。結合係数 k はコイルの位置関係によって決定されるので、式(1)より、送信電流の低減には送受信コイルのインダクタンス L_{TX} 、 L_{RX} の最大化が必要である。

次に、コイルのレイアウトについて説明を行う。双方向の通信を行うために、図3のように各チップの同一メタル層に送受信コイルを配置する。また、渦電流による損失を防ぐために、 s_{PGS} の隙間を空けグラウンドシールドを置く。

最後に、送受信コイルの等価回路について説明する。送受信コイルの等価回路は図4のように与えられ、このとき、

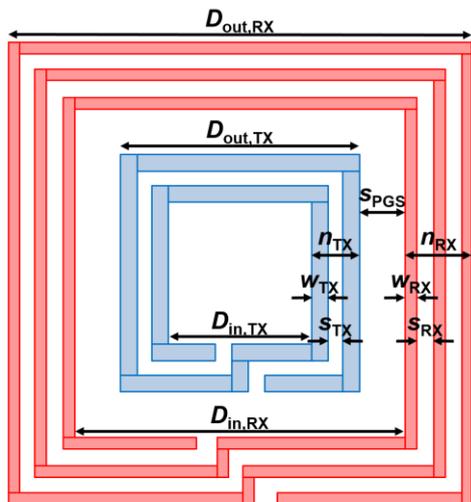


図3 送受信コイルの配置とパラメータ
送信コイル 受信コイル

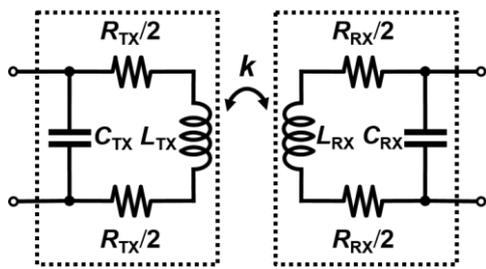


図4 送受信コイルの等価回路

RLC パラメータは、次のように計算される。

$$R = \frac{4nR_0(D_{out} - (n-1)(w+s))}{w} \quad (2)$$

$$L = 1.62 \times 10^{-3} D_{out}^{-1.21} w^{-0.147} D_{avg}^{2.4} n^{1.78} s^{-0.03} \quad (3)$$

$$C = C_G(D_{out}^2 - D_{in}^2) + \frac{4D_{out}nC_G}{s} \quad (4)$$

ここで、 R_0 、 C_G 、 C_C はプロセスによって決まる値であり、 D_{avg} は $(D_{out} + D_{in})/2$ と計算される。

3. 提案手法

本章では、提案する図5の設計フローについて説明する。従来の設計フローよりも工程が増えるが、反復作業が減るため、作業時間の短縮に繋がる。

まず、受信コイルのコイル径を決定する。プロセスや実装方法によって送受信コイルの通信距離 z が決定される。TCIでは $D_{RX}/z = 3$ で最適な電力効率になるので、これにより、 D_{RX} が決定される。

次に、受信コイルの最適化を行う。 w_{RX} 、 s_{RX} 、 n_{RX} を変化させ、表1の制約条件を満たした上でインダクタンス L_{RX} が最大となる組み合わせを見つける。

最後に、送信コイルの設計を行う。送受信コイル間のグラウンドシールドを置くための領域幅 s_{PGS} を決定すると、送信コイル径 D_{TX} が決定される。そこで、同様に表1

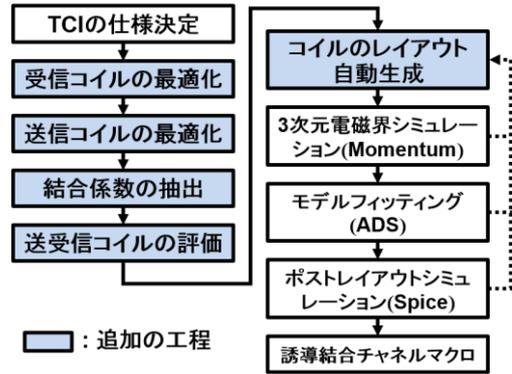


図5 提案する設計フロー

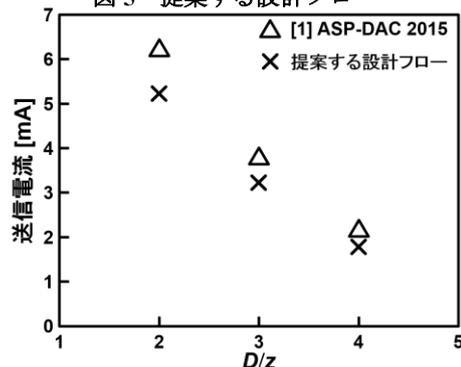


図6 先行研究との送信電流の比較
表1 送受信コイルの設計制約条件

受信コイル	送信コイル
$f_{SR} > f_R$ $Q_{MIN} < Q_{RX} < Q_{MAX}$ $R_{RX} < R_{MAX}$	$R_{TX} < R_{target}$ $R_{TX} C_{TX} < \tau$

の制約条件の元、 w_{TX} 、 s_{TX} 、 n_{TX} を決定する。

n は整数値で、 w 、 s はグリッド上で変化させるため、最適な組み合わせの解析は短時間で終わる。

4. 実験結果

提案する最適設計フローの優位性を示すために、先行研究との比較を行う。図6に従来設計フロー[1]と提案設計フローのそれぞれで設計したコイルによるSPICEシミュレーションの比較を示す。送信電流を平均で16.8%低減することができた。

5. 結論

本稿では、TCIの誘導結合チャネルの設計方法を提案した。提案する設計手法により、設計者は短時間で最適なコイルの設計を行うことができる。SPICEシミュレーションにより先行研究との比較をおこなったところ、平均で16.8%の消費電力削減を示した。

参考文献

[1] L.C. Hsu, et al., "Design and analysis for ThruChip design for manufacturing (DFM)," IEEE ASP-DAC, pp. 46-47, 2015.