

スタンダードセル・メモリの設計技術とビルディングブロック型計算システムへの応用

宇佐美 公良[†] 吉田 有佑[†] 天野 英晴[‡]
 芝浦工業大学[†] 慶應義塾大学[‡]

1. はじめに

ビルディングブロック型計算システムでは、積層されるチップは個々に最適な電源電圧を選べるため、超低電圧で動作するプロセッサチップと比較的高電圧で動作する他のチップを自由に選択して積層できる。一方、超低電圧プロセッサ内部でメモリマクロを使用する場合、既存の超低電圧 SRAM (8T/10T-SRAM) は、通常はライブラリベンダから供給されないため、超低電圧プロセッサを設計する上で課題となっていた。本稿では、スタンダードセルとデジタル設計フローを用いて超低電圧メモリマクロを実現するスタンダードセル・メモリ (SCM) 技術について述べ、SCM と Silicon-on-Thin-BOX (SOTB) デバイスを組合せた新しい超低消費エネルギーのメモリマクロ設計技術と、ビルディングブロック型計算システムへの応用例について述べる。

2. スタンダードセル・メモリ (SCM)

SRAM のメモリセルの代わりにスタンダードセルのラッチまたはフリップフロップを用い、SRAM の読み出しや書き込み等の周辺回路をスタンダードセルで自動設計する方式が、SCM である[1]。SCM の構造を図 1 に示す。ラッチセルが横に C 個、縦に R 個並んだ構造になっており、R ワード×C ビットのメモリを構成する。ラッチセルの Q 出力はマルチプレクサ (MUX) に接続され、読み出し時には、マルチプレクサの制御入力に接続されたアドレスによって、所望のワードが選択されデータが読み出される。書き込み時には、データ入力 DataIn からデータが供給され、書込むべきワードのデータがラッチに書込まれる。SCM は、SRAM と異なりビット線に数多くのメモリセルが接続する構造が無いので、超低電圧で Ion/Ioff 比が低下しても読み出し動作の安定性は損なわれず、低電圧まで動作が可能という利点がある。一方、1 ビットの記憶セルサイズは SRAM の方が

小さいため、4Kb~6Kb を超える大容量メモリを構成する場合には SCM は面積的に不利との指摘がある [2]。SCM に対してはこれまで、MUX の制御構造改良によるエネルギー低減 [3] や、SCM/SRAM のハイブリッド構造を使った 0.5V 動作のマルチコアプロセッサ [4] 等が報告されている。

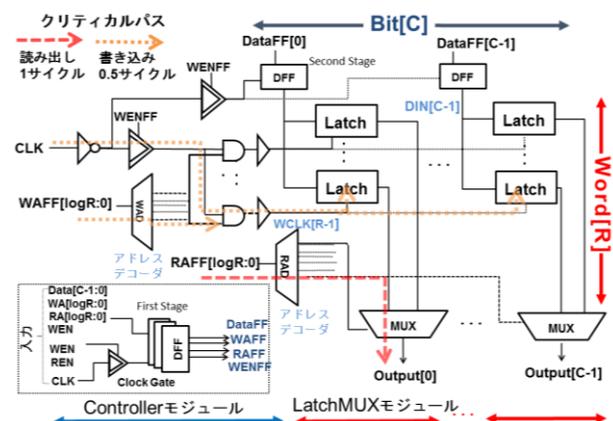


図 1. SCM の構造

3. SCM への基板バイアス分離方式

超低電圧での動作では、ダイナミックエネルギーが小さくなるためリークエネルギーの寄与が増大する。とくに SCM では、メモリのコアを形成するラッチセル部分のリークが大きい。このため、筆者らはリークの大きいラッチセル部分と、読み出し時にクリティカルパスとなるマルチプレクサセル群に対して、それぞれ別々の基板バイアスを印加できるように基板分離を施す BBS (Body Bias Separation) 方式を考案した [5]。通常動作時にも、ラッチセルには強い逆バイアスを印加する一方、マルチプレクサセルには弱い逆バイアスを印加することによって、動作速度を維持しつつリークを低減する。この方式は、SOTB と呼ばれる FD-SOI (Fully-Depleted Silicon On Insulator) デバイスと組み合わせることで、さらに効果が増大する。SOTB は通常のバルクデバイスに比べ基板効果係数が大きいことに加え、基板電圧を埋込み酸化膜 (BOX) 層の下から印加できるため、接合リークを増大させずに大きな基板電圧を印加できるためである。

Design techniques of the standard-cell memory and application to building block computing systems

Usami Kimiyoshi[†] Yoshida Yusuke[†] Amano Hideharu[‡]
 Shibaura Institute of Technology[†]
 Keio University[‡]

4. SCMの自動レイアウト手法

筆者らの提案する BBS 方式を実現する自動設計手法[6]について述べる。図 2(a)に SCM のフロアプランを示す。BBS では、ラッチセルの基板部分とその他のセルの基板部分を電気的に分離する必要がある。SOTB のデザインルール、および基板分離による面積増加を考慮した結果、nMOS の基板は 2 ロウ毎に分ける一方、pMOS の基板は全セル共通にすべきとの結論を得た。図 2(b)に BBS を実現するセル配置を示す。

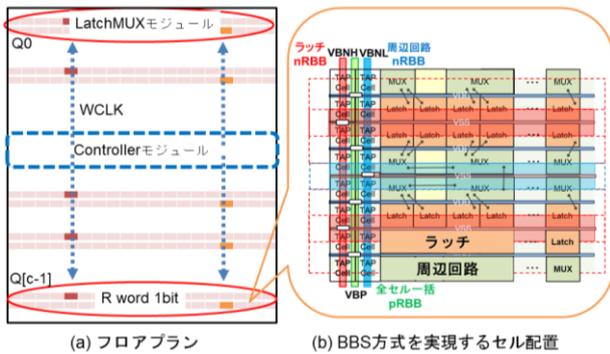


図 2. BBS 方式を用いた SCM のレイアウト構造

SCM への書き込み動作では、クロックの前半でアドレスデコードを行い、後半でラッチへのストアを行うため、半サイクルベースのタイミング制約を扱う必要がある。一方、読み出し動作は 1 クロック全体を使って行う。これに対応するため、自動レイアウトを 2 段階で行う手法を開発した。第 1 ステップでは、アドレスデコーダ等を含むコントローラモジュールだけを、半サイクルベースの書き込み動作に対するタイミング制約付きで自動レイアウトする。第 2 ステップでは、1 サイクルベースの読み出しに対するタイミング制約付きで、SCM 全体を自動レイアウトする。

5. 評価結果

4Kb (128w×32b) の SCM を上述の自動レイアウト手法 (BBS-SCM) と従来手法 (Conv-SCM) で実装し、65nm SOTB プロセスでのシミュレーションを用いて比較評価した。結果を図 3 に示す。

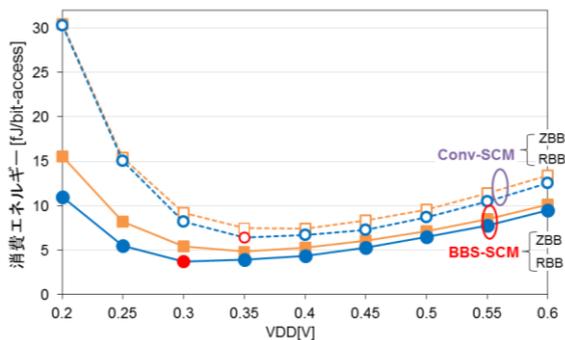


図 3. 消費エネルギーの Sim 結果 (読み出し時)

BBS-SCM では、電源電圧が 0.3V、nMOS への RBB (Reverse Body Biasing) が 1V、pMOS への RBB が 0.4V の時に消費エネルギーが最小になり、従来方式での最小エネルギーより 40%小さくなった。

SCM の有効性を実チップで評価するため、32bit MIPS アーキテクチャの CPU を設計し、4KB のデータキャッシュを SCM で実装して 65nm SOTB プロセスを用いてチップを試作した (図 4)。実測結果を図 5 に示す。SCM は 0.3V まで動作した。また、消費エネルギーが最小になるのは 0.45V で動作周波数が 32MHz の時であった。

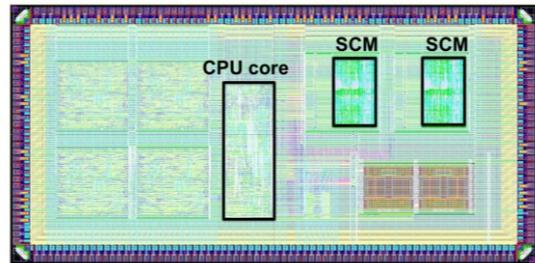


図 4. 試作したチップのレイアウト

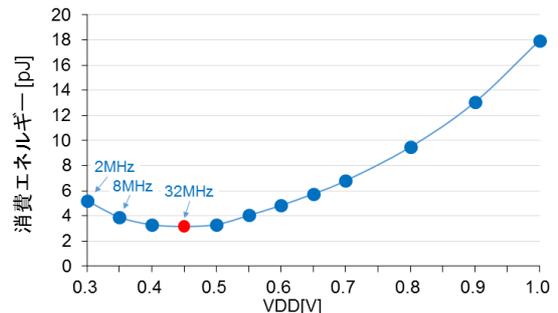


図 5. チップ実測による SCM の評価結果

6. 結論

本稿では、超低電圧動作と超低消費エネルギーを実現する SCM の設計技術と応用について述べた。シミュレーションと試作チップでの実測結果により、提案手法の有効性を明らかにした。

謝辞

本研究の一部は JSPS 科研費 (S) 25220002 の助成を受けたものである。また、本研究は東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社、日本ケイデンス株式会社の協力で行われたものである。

参考文献

[1] P. Meinerzhagen, et al, MWSCAS, 2010.
 [2] O. Andersson, et al, IEEE Trans. on Circuits and Systems, vol.63, no.6, pp.806-817, Jun. 2016.
 [3] J. Shiomi, T. Ishihara, H. Onodera, ISQED, 2015.
 [4] D. Rossi, et al, IEEE Micro, pp.20-31, Sept. 2017.
 [5] Y. Yoshida, K. Usami, EUROSOCI-ULIS, 2017.
 [6] Y. Yoshida, K. Usami, H. Amano, ISOCC, 2017.