Vol.2018-ARC-230 No.21
Vol.2018-SLDM-183 No.21
Vol.2018-EMB-47 No.21
2018/3/7

HSPICEを用いたシリコン回路とカーボンナノチューブ回路の比較評価

松尾　駿[1,a)]　三輪 忍[1]　八巻 隼人[1,]　本多 弘樹[1,]

概要：シリコン半導体の微細化は限界に近づきつつあることから，シリコントランジスタに代わるデバイスが近年注目を集めている．本研究では，そのようなデバイスとして，カーボンナノチューブ (CNT) トランジスタに着目する．CNT トランジスタはトランジスタのチャネルに数ナノメートル級の CNT 材料を使用した LSI であり，シリコントランジスタよりも低消費電力で高速なスイッチング動作が可能と言われている．本稿では，CNT トランジスタを用いたプロセッサのアーキテクチャを検討するため，プロセッサ内の代表的な回路である加算器と SRAM について，それぞれをシリコン・トランジスタと CNT トランジスタによって実装した場合の性能と電力を HSPICE により比較する．

1. はじめに

シリコン (Si) トランジスタによって構成された現在のプロセッサは，トランジスタの微細化と共にその性能を向上させてきた．しかし，Si トランジスタの微細化は技術的，経済的な制約により数年後には限界に達すると予想される [3]．プロセッサの動作速度や消費電力は年々改善されてきたが，Si トランジスタの微細化が止まると，これまでのように動作速度が上がらず，消費電力も下がらなくなると言われている．プロセッサが今後も微細化によるトランジスタ性能の向上の恩恵を受けるためには Si 以外の材料を用いた半導体デバイス (ポストシリコンデバイス) が必要と言われている [11]．

ポストシリコンデバイスの新素材として注目されている材料にカーボンナノチューブ (CNT)，グラフェン，ヒ化ガリウム等がある [2], [9]．これらの素材は Si とは材料特性が大きく異なることから，これらの素材を半導体の材料に用いることで，Si トランジスタを超える性能を有するトランジスタが実現できると期待されている．ポストシリコンデバイスは Si 半導体とは大きく異なるデバイス特性を有していることから，ある性能/電力制約の下でプロセッサを設計する際に使用可能なトランジスタ数が異なる．そのため，新素材を用いた半導体によって実装されるプロセッサの最適なアーキテクチャは，Si トランジスタのそれとは異なることが予想される．

[1] 電気通信大学
The University of Electro-Communications
[a)] matsuo@hpc.is.uec.ac.jp

本研究では，ポストシリコンデバイスの中でも，実用化への期待が高い CNT トランジスタに着目する．CNT トランジスタは MOSFET のチャネル部分にナノメートル級の CNT を材料として使用したものであり，Si トランジスタと比べて数分の 1 の消費電力で数倍高速なスイッチングが可能だと言われている．CNT トランジスタはこのような大きなポテンシャルを有していることから IBM 社が中心となって 2020 年ごろの実用化を目指して開発が進められている [6]．

本稿では，CNT トランジスタを用いて実装されるプロセッサのアーキテクチャを検討するために，プロセッサ内の主要な回路について，Si トランジスタと CNT トランジスタを用いて実装した場合の消費電力と遅延時間を電子回路シミュレータ HSPICE を用いて評価する．また，上記の結果をもとに Si トランジスタのプロセッサと同じ設計制約下で CNT トランジスタのプロセッサを実装する場合の，アーキテクチャを検討する．

2. 背景

2.1 CNT

CNT は炭素のシートであるグラフェンが単層あるいは多層の同軸筒状になった直径 1-3nm の物質であり，その巻き方によって金属か半導体としての電気的特性を有する [8]．なお，本論文では単層 CNT をカーボンナノチューブと呼ぶ．CNT を展開したグラフェンを**図 1** に示す．グラフェンの六角形の向きは CNT の軸に対して任意の方向をとり，この任意の螺旋構造はカイラルベクトル C_h を用いて表すことが出来る．カイラルベクトル C_h は CNT の

© 2018 Information Processing Society of Japan

Vol.2018-ARC-230 No.21
Vol.2018-SLDM-183 No.21
Vol.2018-EMB-47 No.21
2018/3/7

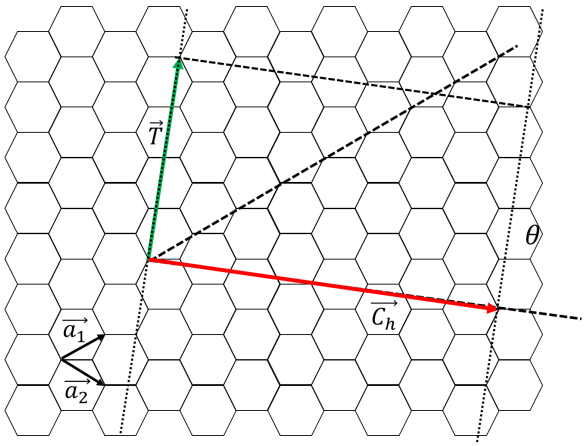


図 1 CNT の展開構造図

軸に垂直な円筒を一周するベクトルであり，2 次元格子の基本並進ベクトル a_1 と a_2 を用いて，式 (1) で表せる．

$$C_h = n * a_1 + m * a_2 = (n, m) \tag{1}$$

カイラル指数 (n, m) はカイラルベクトルを指数化した整数の組み合わせであり，CNT の直径や螺旋の向きによって決定される．CNT の直径 d と螺旋の向きを表すカイラル角 θ は式 (1.2)，(1.3) で表される．

$$d = \frac{a}{\pi}\sqrt{n^2 + nm + m^2} \tag{2}$$

$$\theta = \cos^{-1}\frac{2n + m}{2\sqrt{n^2 + nm + m^2}} \tag{3}$$

単層 CNT の性質はカイラル指数によって変化する．n-m が 3 の倍数である場合には金属的な性質を有し，それ以外のものは半導体的性質を持つことがわかっている．

また，カーボンナノチューブのバンドギャップはチューブの径に依存しており，バンドギャップが可変である．螺旋構造やチューブの径によって物性が変化することから，半導体としてトランジスタのチャネルに使用することで，高速スイッチング素子が実現できる．

2.2 CNT トランジスタ

図 2 に CNT トランジスタの構造を示す．図に示すように，MOSFET のチャネル部分に高い移動度を持つ CNT を用いることで動作速度と消費電力の大幅な改善が期待される．なお，CNT をチャネルとして利用した場合，多くは P 型の挙動を示すが，金属ドープフラーレンを内蔵したピーポッドをチャネルに使った FET 等では P チャネル FET 特性と N チャネル FET 特性の両方をもつ両極性伝導を示す．また，真空中で CNT にアニール処理を加えることで P 型の挙動を示すチャネルの特性を N 型のチャネル特性に変えることが可能である [1].

Si と CNT の電子と正孔の移動度を**表 1** に示す．表 1 から分かるように，Si の移動度は正孔の移動度が電子の移動度に比べて低いため，P 型 MOSFET によって CMOS の動作速度が制限されている．しかし，CNT は電子と正孔が同じ移動度のため，CNT をチャネル部分に用いた場合には P 型 MOSFET によって動作速度が制限されることはない．また，CNT の移動度は電子/正孔ともに Si の移動度と比較して 1-2 桁高い．

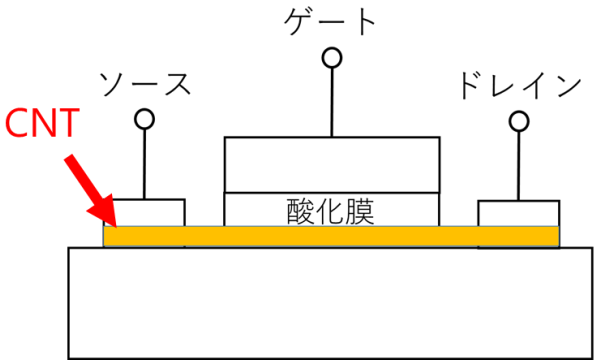


図 2 CNT トランジスタ

表 1 Si と CNT の移動度

	Si	CNT	比 (CNT/Si)
電子の移動度	1,500	30,000	20
正孔の移動度	450	30,000	66.6

CNT トランジスタは 0.1V の電源電圧で駆動できると言われている．現在の最先端 LSI に使われている Si トランジスタの回路の電源電圧は約 1V であるため，CNT トランジスタ回路の電源電圧は約 1/10 である，デジタル回路の消費電力は，おおよそ電源電圧の 2 乗に比例するため，電源電圧が 1/10 になれば，消費電力を 1/100 にまで低減できる．

CNT トランジスタが実装されることで，リーク電流の増加により困難になっていたゲート絶縁膜の薄膜化が可能となると，今後も微細化を継続できる可能性が高まる．CNT トランジスタの厚みは CNT の直径となるので SOI[12] と同じような構造をもち，短チャネル効果が抑制されることが期待される．さらに，CNT は自己形成材料であるため，微細加工技術に頼らないことで，素子間のばらつきを減らすことも期待できる．

このように CNT トランジスタは大きな可能性を秘めているが，CNT トランジスタを用いて実際にプロセッサを設計するためには，トランジスタを CNT 化することによるデジタル回路の動作速度と消費電力への影響を正確に見積もる必要がある．

3. Si トランジスタ回路と CNT トランジスタ回路の比較分析

本章では，プロセッサ内の主要な回路を Si トランジスタと CNT トランジスタを用いて実装した場合の評価を行う．

© 2018 Information Processing Society of Japan

Vol.2018-ARC-230 No.21
Vol.2018-SLDM-183 No.21
Vol.2018-EMB-47 No.21
2018/3/7

表 2　トランジスタモデル

トランジスタ	モデル名
Si	Predictive Technology Model
CNT	Stanford CNFET Model

3.1　実験環境

プロセッサ内の主要な回路として，本稿では，演算器とメモリを評価の対象とする．演算器の中でも加算器はアドレスの計算などの目的で多用されるため，本稿では加算器を評価対象とする．また，プロセッサ内には，キャッシュやレジスタファイル等 SRAM が多く存在しているため，メモリの評価対象として SRAM を選択する．なお，加算器は桁上げの影響を評価するため，様々なビット数の加算器を評価する．複数ビットの加算器は，回路構成がシンプルで回路素子の総数を少なく抑えることが出来るリップルキャリー加算器を用いた．

本実験はシミュレーションにより評価を行う．今回使用するシミュレータである HSPICE は電子回路シミュレータである SPICE (Simulation Program with Integrated Circuit Emphasis) [10] を基に改良，機能付加したもので，テクノロジーノード 100nm 以下のデバイスモデルに対応しており，入力可能なパラメータの値も豊富である．

Si トランジスタと CNT トランジスタのモデルを**表 2** に示す．Si トランジスタを用いて実装される回路の評価を行うために，トランジスタモデルとしてアリゾナ州立大学が提供している Predictive Technology Model (PTM) を用いた．PTM はテクノロジーノード毎に SPICE と互換性のある Si トランジスタの予測モデルを提供している [7]．

また，CNT トランジスタを用いて実装される回路の評価を行うために，CNT トランジスタのモデルとしてスタンフォード大学が提供している Stanford CNFET モデルを用いた [5]．このモデルはカーボンナノチューブをチャネルとして有する MOSFET を記述した SPICE モデルである．上記 2 つのモデルを用いた加算器とメモリのシミュレーションを行う．

3.2　実験方法

Si トランジスタのモデルはテクノロジーノードが 7nm，10nm，14nm，16nm，20nm のモデルを使用する．各モデルのゲート長はそれぞれ 11nm，14nm，18 nm，20nm，24nm である．CNT トランジスタのモデルはゲート長 32nm のモデルを使用した．また，上記の Si トランジスタモデルのシミュレーション結果を外挿することによってゲート長 32nm の時の Si トランジスタの遅延時間と消費電力の値を見積もり，CNT トランジスタモデルのシミュレーション結果と同ゲート長で比較する．

評価項目は遅延時間，動的消費電力，静的消費電力の 3 つとする．遅延時間は，入力を H から L，あるいは L から H に変化させた際，入力電圧が 50 %に達した瞬間から出力電圧が 50 %に達するまでの時間とする．動的消費電力は上記の時間の平均消費電力から静的消費電力を引いた値とする．また，回路が動作していない待機時間の消費電力を静的消費電力とする．

本実験のシミュレーションは，作成したネットリストに対してステップ幅 0.1ps に設定した過渡解析を行う．入力の立ち上がり遅延時間と立ち下り遅延時間は 1ps に設定する．

加算器の入力パターンは，各加算器の入力として取り得る全通りの入力パターンを試すことが理想的だが，入力パターン数が莫大となるため，本実験ではリップルキャリー加算器において最も遅延の長い入力パターンについてのみ評価する．具体的には，2 の補数表現で 1（最下位桁のみ 1．それ以外の桁は 0）と-1（すべての桁が 1）の加算を行う．この入力パターンにおいては，最下位桁で発生した桁上げが最上位桁まで発生するため，リップルキャリー加算器の遅延時間が最も長くなる．SRAM においては書き込み時の動作を評価する．

3.3　実験結果

3.3.1　加算器

加算器において，Si トランジスタモデルと CNT トランジスタモデルを用いて HSPICE を実行した結果を**図 3**〜**図 5** に示す．図 3〜図 5 は，それぞれ遅延時間，動的消費電力，静的消費電力を表している．グラフの横軸はゲート長，縦軸はそれぞれの評価項目である．青い丸で囲んだ箇所は同一テクノロジーノードのトランジスタによって実装された異なるビット数の加算器を表している．また，赤い丸で囲んだ箇所が CNT トランジスタによって実装された異なるビット数の加算器である．

図 3 に示した Si トランジスタの各ゲート長のシミュレーション結果を近似曲線に当てはめることで求めたゲート長 32nm における遅延時間と CNT トランジスタのゲート長 32nm の遅延時間の比較結果を**表 3** に示す．図 3 の緑の線が Si トランジスタと CNT トランジスタを比較したゲート長である．Si トランジスタから CNT トランジスタへ変更することで加算器の遅延時間は 20〜25 %まで低減している．加算器はゲート遅延が支配的なため，Si トランジスタから CNT トランジスタに変更した場合の影響が大きく，遅延時間が大幅に短縮したと考えられる．また，Si トランジスタではテクノロジーノードが大きくなるほど，遅延時間が指数関数的に増加しており，SI トランジスタの微細化による性能向上に陰りが見えていることがわかる．

図 4 の近似曲線から求めたゲート長 32nm における Si トランジスタとゲート長 32nm における CNT トランジスタの動的消費電力の比較結果を**表 4** に示す．動的消費電力のシミュレーション結果はビット数の変更による値の変化

© 2018 Information Processing Society of Japan

Vol.2018-ARC-230 No.21
Vol.2018-SLDM-183 No.21
Vol.2018-EMB-47 No.21
2018/3/7

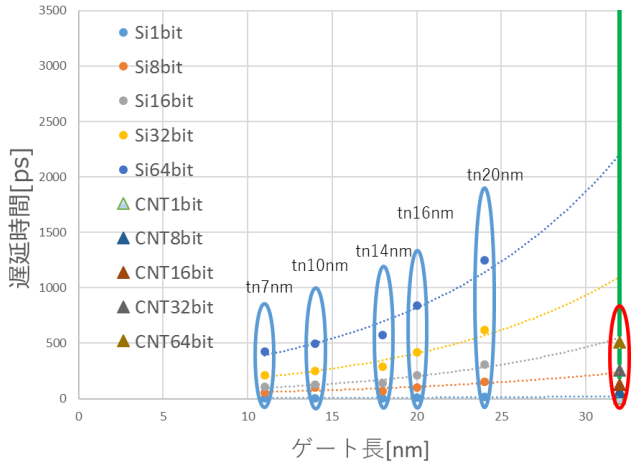


図 3 加算器の遅延時間

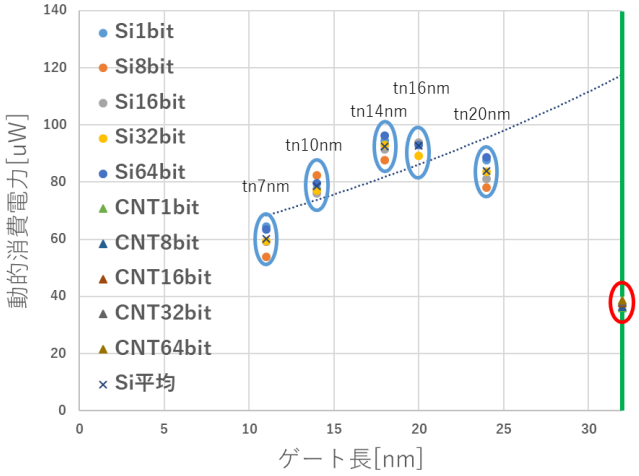


図 4 加算器の動的消費電力

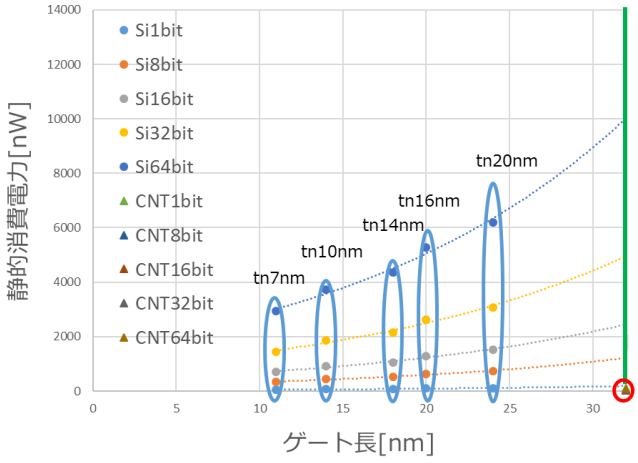


図 5 加算器の静的消費電力

表 3 ゲート長 32nm の加算器の遅延時間

ビット数	Si[ps]	CNT[ps]	比 (CNT/Si)
64	2250	510.9	0.227
32	1100	254.4	0.231
16	550	127.1	0.231
8	260	63.1	0.242
1	32	6.6	0.206

表 4 ゲート長 32nm の加算器の動的消費電力

ビット数	Si[uW]	CNT[uW]	比 (CNT/Si)
平均	118	35.9	0.304

が小さかったため，ゲートごとに全ビット数の動的消費電力を平均化した．Si トランジスタから CNT トランジスタに変更することで動的消費電力が約 30 %まで低減している．なお，ビット数が増加したにもかからず，動的消費電力がほとんど増加しなかった理由は，加算方式としてリップルキャリー方式を採用したためビット数が増えるほど演算器の動作時間が長くなり，ビット数が平均動作電力に与える影響を打ち消したからだと考えられる．

図 5 からゲート長 32nm における Si トランジスタの静的消費電力は CNT トランジスタの消費電力に対して 1 %以下まで低減していた．静的消費電力の主な理由であるリーク電流が大幅に低減できたことを意味している．

3.3.2 SRAM

SRAM において，Si トランジスタモデルと CNT トランジスタモデルを HSPICE で実行した結果を，**図 6**〜**図 8** に示す．図 6〜図 8 は遅延時間，動的消費電力，静的消費電力を表している．グラフの横軸はゲート長，縦軸はそれぞれの評価項目である．

図 6 に示した Si トランジスタの各ゲートのシミュレーション結果を近似曲線に当てはめることで求めたゲート長 32nm における遅延時間と CNT トランジスタのゲート長 32nm の遅延時間の比較結果を**表 5** に示す．Si トランジスタから CNT トランジスタへ変更することで SRAM の遅延時間が約 71 %にまで低減している．SRAM は配線遅延が支配的なため，Si トランジスタを用いて実装した場合から CNT トランジスタを用いて実装した場合に変更した際の影響が加算器より小さくなったと考えられる．

図 7 より，近似曲線から求めたゲート長 32nm における Si トランジスタと CNT トランジスタの動的消費電力の比較結果を**表 6** に示す．Si トランジスタから CNT トランジスタへ変更することで動的消費電力が約 25 %まで低減している．

図 8 からゲート長 32nm における Si トランジスタの静的消費電力は CNT トランジスタの消費電力に対して 1 %以下まで低減していた．加算器と同様にリーク電流の大幅な削減が確認できた．

© 2018 Information Processing Society of Japan

Vol.2018-ARC-230 No.21
Vol.2018-SLDM-183 No.21
Vol.2018-EMB-47 No.21
2018/3/7

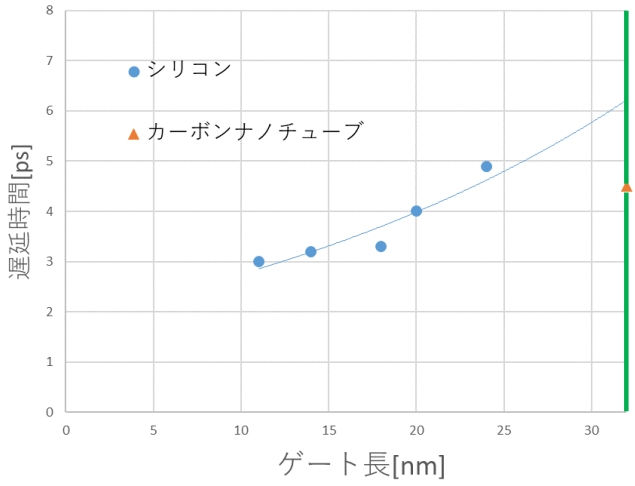


図 6　SRAM の遅延時間

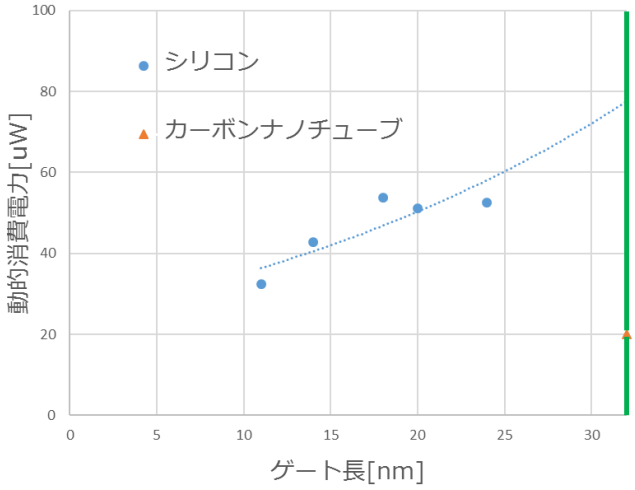


図 7　SRAM の動的消費電力

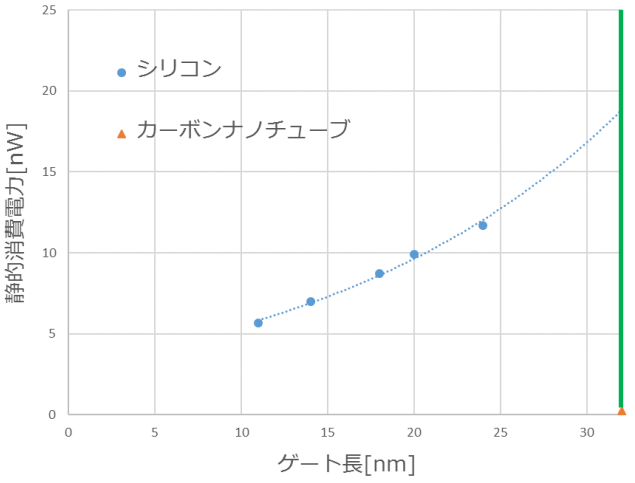


図 8　SRAM の静的消費電力

表 5　ゲート長 32nm の SRAM の遅延時間

ビット数	Si[ps]	CNT[ps]	比 (CNT/Si)
1	6.3	4.5	0.71

表 6　ゲート長 32nm の SRAM の動的消費電力

ビット数	Si[uW]	CNT[uW]	比 (CNT/Si)
1	78	20	0.26

表 7　Si トランジスタ回路に対する CNT トランジスタ回路の遅延時間と消費電力

	加算器	SRAM[uW]
遅延時間	22.8 %	71.4 %
動的消費電力	30.4 %	25.6 %
静的消費電力	1 %以下	1 %以下

3.3.3　実験結果のまとめ

プロセッサ内の主要な回路である加算器と SRAM を Si トランジスタと CNT トランジスタを用いて実装した場合の遅延時間と消費電力の変化を**表 7** にまとめた．表 7 より，遅延時間は SRAM よりも加算器の方が大幅に低減していることが分かる．配線が支配的な SRAM ではトランジスタ速度が向上しても回路の動作速度は向上しにくいことがわかる．また，動的消費電力は加算器，SRAM とも大幅に低減し，静的消費電力は 1 %以下まで低減できた．

4.　アーキテクチャ検討

前章で評価した内容をもとに，本章では，CNT トランジスタを用いたプロセッサのアーキテクチャ検討を行う．具体的には，トランジスタが Si から CNT に変わることで遅延時間と消費電力が大幅に低減された場合に，プロセッサに課せられた同一クロック周波数と同一消費電力の 2 つの設計制約のもとでどのようなアーキテクチャを実装できるのかについてケーススタディを行う．

4.1　ケーススタディ 1：同一クロック周波数の場合

CNT トランジスタを用いて実装された回路の遅延時間は Si トランジスタを用いて実装された回路と比較して，加算器の場合は約 25 %，SRAM の場合は約 71 %に低減できる．周波数は遅延時間の逆数なので，CNT トランジスタを用いて実装された演算器とメモリは，Si トランジスタを用いて実装された演算器とメモリと比較して，それぞれ約 4 倍，約 1.4 倍の速度で動作させることができる．

その結果，加算器では，4 個の演算器が直列に接続された回路を 1 クロックサイクルで動作させることが可能となる．演算器を直列に繋ぐ ALU カスケーティングを用いて，依存関係にある命令を 1 サイクルで処理できるようになる．先行研究によると，演算器を直列に 4 個繋げた際の IPC 向上率は約 15 %であり，CNT 加算器をカスケーティングすることで同程度の性能が期待できる [4]．

1 ビットの SRAM では遅延時間を約 70 %に低減できた

© 2018 Information Processing Society of Japan

が，SRAM は配線遅延が支配的なので，ビット数が増えるほどトランジスタを Si から CNT に置き換えることによる遅延時間の短縮効果は減少する．よって，クロック周波数制約下では，Si トランジスタから CNT トランジスタに変更しても，SRAM の構成はほとんど変わらないと予想される．

4.2 ケーススタディ 2：同一消費電力

CNT トランジスタを用いて実装された回路の動的消費電力は Si トランジスタを用いて実装された回路と比較して，加算器の場合は約 30 %，SRAM の場合は約 25 %に低減できる．

その結果，同一消費電力のもとでは，CNT トランジスタを用いて実装された加算器は Si トランジスタを用いた場合と比較して 3 倍の加算器を配置できるようになる．3 倍の加算器を並列に配置すると，1 クロックで実行可能な命令の数が 3 倍になる．

SRAM において，消費電力が約 25 %になると，キャッシュや命令キューの容量を 4 倍に増やせるようになる．キャッシュの容量が 4 倍になると，容量性ミスを減らすことができる．また，容量が大きくなると，キャッシュ内のキャッシュラインのサイズを大きくすることが出来る．キャッシュラインが大きくなると，空間的局所性を利用することが出来るため，初期参照ミスを減らすことが出来る．キャッシュ容量が十分大きくない場合には，キャッシュラインサイズを大きくするためにはライン数を少なくせざるを得ないが，キャッシュの容量が 4 倍になれば，キャッシュラインサイズを増やしてもライン数を減らさずに済む．しかし，単純にキャッシュの容量を増やすととレイテンシが悪化するため，周波数制約をみたすようなアーキテクチャが必要となる．

5. まとめ

本論文では，ポストシリコンデバイスとして CNT トランジスタに注目し，プロセッサ内で使用される代表的な回路である演算器と SRAM に関して，これらの回路を CNT トランジスタを用いて実装する場合の性能および電力を HSPICE により評価した．また，上記結果をもとに，CNT トランジスタによって実装されるプロセッサのアーキテクチャ検討を行った．

プロセッサ内の主要な回路を CNT トランジスタを用いて実装した場合，Si トランジスタを用いて実装した場合と比較すると消費電力と遅延時間ともに大幅な向上が見られた．特に加算器は，ゲート遅延が支配的なため，遅延時間がメモリよりも大幅に改善した．また，CNT トランジスタを用いて実装した加算器とメモリの遅延時間と消費電力はゲート長 32nm にもかかわらず，Si トランジスタを用いて実装した場合のゲート長 11nm と同等以上の性能を示した．CNT トランジスタが実装され，その微細化が進むことで今後も性能向上が継続すると期待できる．

アーキテクチャ検討では，CNT トランジスタで実装されたプロセッサでは，Si トランジスタで実装されたプロセッサとは異なるアーキテクチャが実現可能であることが分かった．

今回の実験では，評価にリップルキャリー加算器を使用したことで，ビット数の増加に伴う遅延時間の極端な増加がみられた．今後は桁上げ先見加算器を評価に使用する予定である．また，より詳細なアーキテクチャ検討を行うとともに，プロセッサシミュレータを用いた評価を行う予定である．

謝辞 本研究は東京大学大規模集積システム設計教育研究センターを通しシノプシス株式会社の協力で行われたものである．

参考文献

[1] Derycke, V., Martel, R., Appenzeller, J. and Avouris, P.: Carbon Nanotube Inter- and Intramolecular Logic Gates, *NANO LEETER*, Vol. 1, No. 9, pp. 453–456 (2001).
[2] Han, J.-W. and Meyyappan, M.: Introducing the Vacuum Transistor: A Device Made of Nothing, Internet://spectrum.ieee.org/semiconductors/devices/introducing-the-vacuum-transistor-a-device-made-of-nothing (2014 [2018/2/5 アクセス]).
[3] ITRS: ITRS 2011 Edition (2011).
[4] Kobayashi, R., Suzuki, A. and Shimada, H.: Forwarding Path Limitation and Instruction Allocation for In-Order Processor with ALU Cascading, *Journal of Low Power Electronics and Applications*, Vol. 7, No. 4, pp. 32:1–32:15 (2017).
[5] Linetal, A.: Stanford CNFET Model, Internet://nano.stanford.edu/stanford-cnfet-model (2015 [2018/1/20 アクセス]).
[6] Simonite, T.: IBM Commercial Nanotube Transistors Are Coming Soon, Internet://www.technologyreview.com/s/528601/ibm-commercial-nanotube-transistors-are-coming-soon/ (2014).
[7] Zhao, W.: Predictive Technology Mode l(PTM), Internet://ptm.asu.edu/latest.html (2012 [2018/1/20 アクセス]).
[8] 丸山茂夫：カーボンナノチューブ，化学と教育， Vol. 56, No. 12, pp. 602–605 (2008).
[9] 産総研：高移動度ポストシリコン材料の 3 次元積層による CMOS 回路動作に成功，Internet://www.aist.go.jp/aist_j/press_release/pr2014/pr20140609_2/pr20140609_2.html (2014).
[10] 青木均：CMOS モデリング技術—SPICE 用コンパクトモデリングの理論と実践，丸善出版 (2006).
[11] 福田昭：ポストシリコン狙うカーボンデバイス、性能も製造性も着実に向上，Internet://eetimes.jp/ee/articles/1112/13/news041_2.html (2011 [2018/2/5 アクセス]).
[12] 福田保裕，伊藤秀二，伊藤眞宏：SOI-CMOS デバイス技術，沖テクニカルレビュー，Vol. 68, No. 1, p. 103 (2001).

© 2018 Information Processing Society of Japan