

# ① LSI の配線問題と 解法コンテスト

高島康裕 | 北九州市立大学      島村光太郎 | (株) 日立製作所

## LSI の配線問題

現代社会生活の基盤を支える大規模集積回路(LSI)は、多数のトランジスタを配線で接続することで所望の機能を実現する。最先端のLSIでは搭載するトランジスタが数十億個にのぼるものもあり、これらの大量のトランジスタを所定のサイズ内に配置し、それらを配線で接続するレイアウト設計がLSI開発の重要な工程の1つとなっている。

LSI設計では、取り扱う問題規模が非常に大きいため、すべてを同時に最適化することは実際上不可能である。そのため、段階的設計が行われている。ここで、レイアウト設計とは、仕様から設計された回路を入力とし、チップ製造のための素子の位置と素子間の信号線経路を決定する工程である。図-1に段階的設計におけるレイアウト設計の関係を示す。この工程は、チップ製造での物理的な現象による故障を防ぐために、配線経路の幅や各配線経路間の距離等のさまざまな制約が課される。また、チップの

性能向上やチップサイズ最小化のために、周波数向上のボトルネックとなる配線経路の長さ最小化や利用する配線資源量の最小化等のさまざまな目的関数が設定される。以上の仕様により、レイアウト設計での問題は、組合せ最適化問題として定式化される。大規模なLSIでこの最適化問題を解くためには、実用的な時間で解を得るための高速処理が求められる。

図-2にLSIのレイアウトの模式図を示す。素子はトランジスタのことを指すが、トランジスタを個別に扱っていると効率が悪いので、複数のトランジスタを組み合わせてAND、OR、記憶回路等の機能を持たせたセルと呼ばれる部品を素子としてレイアウトを行うことが多い。ネットは素子間を結ぶ配線である。素子には配線を接続する場所があらかじめ定められており、これを端子と呼ぶ。レイアウト設計においては、素子の位置を決定する配置段階とネットの信号線経路を決定する配線段階とに分割して考えられる。配線段階では、配置段階によって決定された素子の端子の位置情報を入力とし、要求されるネットの経路を出力する。ここでも各ネットの概略

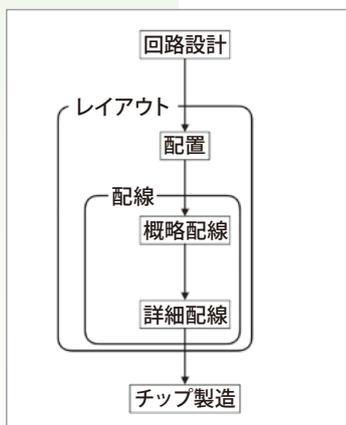


図-1 段階的設計におけるレイアウト設計

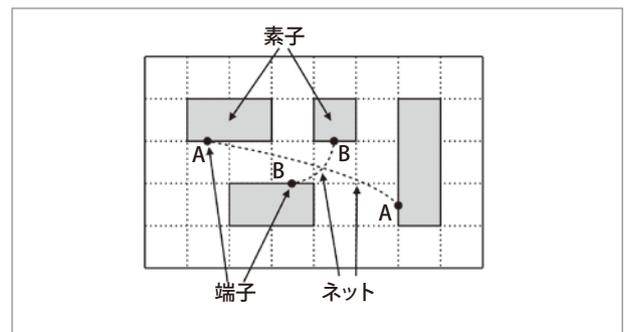


図-2 LSIのレイアウトの模式図

経路を決定する概略配線と詳細経路を確定する詳細配線が存在する。詳細配線では、対象とする設計スタイルによって、端子が配線領域の上下辺だけに存在するチャンネル配線と任意の位置に存在するエリア配線とにクラス分けされる。チャンネル配線に関しては、取り扱う問題の制約により、効率が良く、ほとんどの場合経路が実現できる手法が知られている。一方、エリア配線に対しては、チャンネル配線に対し、より一般的な問題となっている。

このエリア配線に対し、基本となる解法が迷路法<sup>1)</sup>である。迷路法では、各ネットに対し、任意の1個の端子から探索を開始し、幅優先探索を利用して経路を探索する。このアルゴリズムを図-3(a)の点A-B間に対し、適用する例を示す。まず、開始点を点Aとし、点Aの距離を0で初期化する(図-3(b))。その後、点Aの隣接点を距離1で更新

する(図-3(c))。次に、今、距離1で更新された点の隣接点で、まだ距離が確定していない点を距離2で更新する。以下、この処理を次々に繰り返す(図-3(d))、点Bの距離が確定するまで繰り返す(図-3(e))。今、点Bの距離が7と確定したので、今度は距離6→5→...→0と頂点を選択し経路を確定する(図-3(f))。

この手法は、1本のネットにおいては、探索開始点からの最短経路が保証される。しかし、結果の品質が経路決定の順番に依存し、また、利用する配線資源量の最小化の実現も保証されない。なお、これらの問題は、実際には、NP困難と呼ばれる全列挙以外に最適解を保証できる手法がないと考えられている問題となっているため、決定的なアルゴリズムで解く限り、最適解を保証できる効率の良い手法は存在しないと考えられている。そのため、この配線

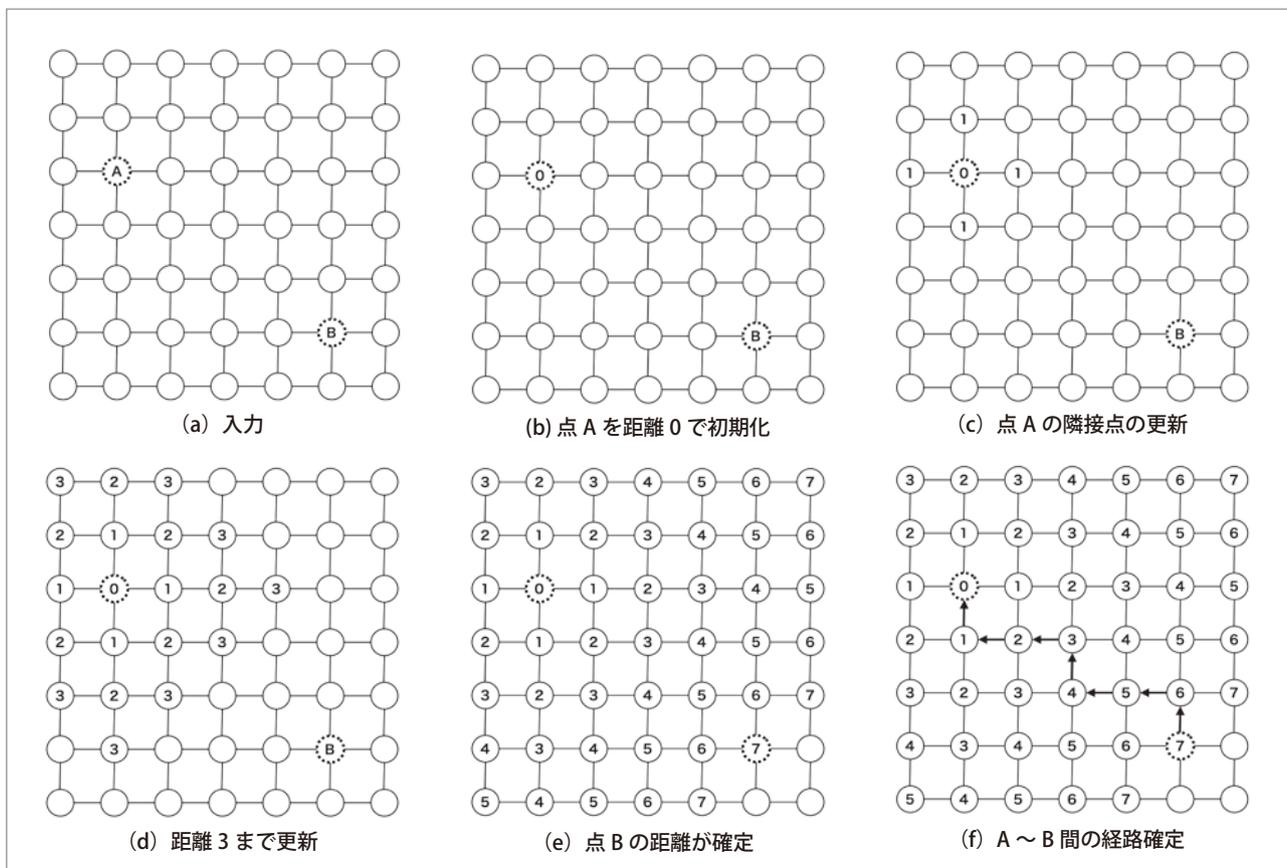


図-3 迷路法の例

問題のアルゴリズムは、最悪計算時間を抑える発見的手法か、最悪の計算時間は問題とせずに最適解を出すような手法のいずれかとなっている。小規模な部品レベルでは最適解を出す手法が採用される場合もあるが、LSI全体の配線問題を解くためには処理時間の制約から発見的手法しか選択肢がなく、多くの場合迷路法を改良した手法が用いられる。

以上より、LSI配線問題は、LSIが製造されるようになってから、常に存在する古典的な問題である。その一方で、製造技術の進歩により、さまざまな制約が次々に課されるため、常に新しい問題として存在している。

その中で、最もシンプルな問題が、2端子ネットだけからなる配線問題である。次章で紹介する解法コンテストは、この2端子ネットに対する配線アルゴリズムを競うコンテストとなっている。このアルゴリズムが高性能化、かつ、高速化できることにより、配線性能の向上と配線実現に必要となる時間の短縮とが期待できる。

## 配線問題解法コンテスト

本会システムとLSIの設計技術研究会が主催するDAシンポジウム(DA: Design Automation)では、2012年から配線問題の解法コンテストを開催している。コンテストを開始するにあたり、配線問題の専門家以外でも参加できるようにするため、ナンバーリンクというパズルを問題として採用する

こととした。ナンバーリンクとは、格子状の盤面内に置かれた同じ数字の間を線で結ぶパズルであり(図-4)、線を引く際に(1)線を交差させたり枝分かれさせたりしてはいけない、(2)数字の置かれたマスを通る線を引いてはいけない、(3)1つのマスに2本以上の線を引いてはいけない、というルールを満たす必要がある。この問題設定は図-3の迷路法の問題設定と同じであり、単純でありながらLSIの配線問題の本質を反映したものとなっている。

ただし、現実の問題は1つの配線層だけで配線が可能であるとは限らない。たとえば、図-4(a)の問題で左端の1と2を入れ替えると、1層では解が得られない。具体的には、図-5(a)のように2と3を線で結ぶことはできるが、1を線で結ぼうとすると2の線と交差してしまい、正しく信号を伝達することができなくなる。一方、図-5(b)のように2層の配線層を使用すると、解を得ることができる。このようなケースも含めた問題設定とするため、2016年からはナンバーリンクを多層に拡張した問題を出題している。

配線問題の専門家以外の参加者ばかりだったこともあり、当初は8×8程度の小規模な問題しか解けない状態であったが、2014年にSAT(充足可能性判定)やZDD(ゼロサプレス型二分決定グラフ)などのそれまでとは違った技術を使用したチームの参加を得て、解ける問題のサイズが大幅に拡大した(図-6)。これらのチームのメンバも配線問題の専

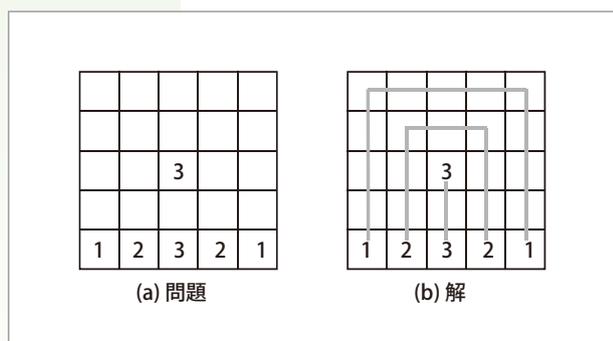


図-4 ナンバーリンクの問題と解の例

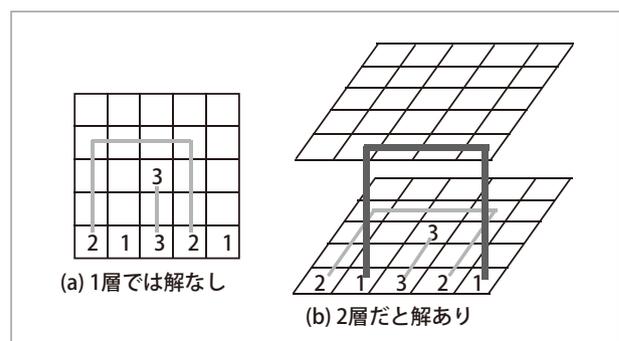


図-5 多層化の効果

門家ではなかったことから、誰にでも親しみやすいパズルを問題に選んだことにより多様な参加者を集める効果があったとすることができる。また、2016年には多層化により問題のサイズが大幅に拡大した。なお、図-6における問題サイズとは、各層の升目の数に層数を乗じたものである。2017年には $72 \times 72 \times 8$ 層まで問題サイズが拡大され、小規模な部品レベルであれば現実のLSIの配線問題にも適用可能なサイズに到達している。

#### 参考文献

- 1) Lee, C. Y. : An Algorithm for Path Connections and Its Applications, IRE Transactions on Electronic Computers, Vol.EC-10, No.2, pp.364-365 (1961).  
(2017年11月29日受付)

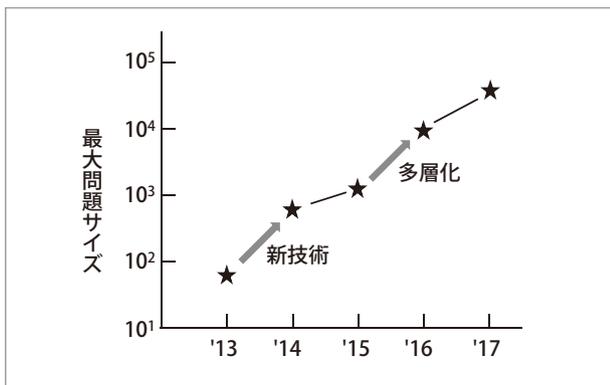


図-6 解法コンテストの問題サイズの推移

■高島康裕（正会員） takasima@kitakyu-u.ac.jp

1998年東京工業大学理工学研究科博士後期課程修了。北陸先端科学技術大学院大学 助手、北九州産業学術推進機構 招聘研究員を経て、2005年から北九州市立大学国際環境工学部 助教授～准教授として、勤務。主にLSI物理設計におけるアルゴリズム開発の研究に従事。

■島村光太郎（正会員） kotaro.shimamura.tx@hitachi.com

1990年東京大学大学院理学系研究科修士課程修了。同年より(株)日立製作所に勤務。高性能プロセッサの開発、制御向けマイクロコントローラの開発、高信頼制御装置の開発などに従事。

