

# クロスバ構造を利用した論理関数参照型 ルックアップテーブルの回路構成法

長岡 悠太<sup>1,a)</sup> 石原 亨<sup>1,b)</sup> 小野寺 秀俊<sup>1,c)</sup>

**概要:** 本稿ではルックアップテーブル (LUT) の回路構成として入力信号の一部を被選択信号の生成に割り当て、生成された論理関数をマルチプレクサ (MUX) により選択して出力する論理関数参照型 LUT の回路構成法を検討する。被選択信号である論理関数の生成に割り当てるビット幅を増やすと回路規模が指数的に大きくなるが、信号を選択する MUX の規模が小さくなる。トランジスタ数、論理構成のためのクロスバスイッチ数、消費エネルギーの最小化を目的とし、それぞれに合わせたビット幅割り当て手法を述べ、これらの間にトレードオフが生じることを示す。商用 65-nm プロセス向けシミュレーションを用いて検証を行い、LUT に実装する論理によって消費エネルギーの最適点が異なることを確認した。

## Design Strategy of a Lookup Table that Refers to Logic Functions Using a Crossbar Structure

YUTA NAGAOKA<sup>1,a)</sup> TOHRU ISHIHARA<sup>1,b)</sup> HIDETOSHI ONODERA<sup>1,c)</sup>

**Abstract:** In this paper, we consider a lookup table that refers to logic functions, which assigns some of input signals to logic gates whose outputs are selected by a multiplexer. Increasing a bit width for the selected-logic gates causes an increase of the circuit scale exponentially, but the scale of the multiplexer decreases. This paper describes design strategy for minimizing the number of transistors, the cost of crossbar-switches for the configuration, or the energy consumption, which has the relation of the trade-off. We confirmed that the Minimum-Energy-Point depends on the logic implementation on the LUT by using the simulation for a 65-nm commercial process.

### 1. 序論

任意の論理関数を表現でき、要求に応じて再構成可能な論理回路が多くの場面で使用されてきた。古くは汎用論理モジュール (Universal Logic Module, 以後 ULM) と呼ばれる IC が、近年では FPGA や高機能な演算器、メモリコントローラなどの要素回路であるルックアップテーブル (Look-Up Table, 以後 LUT) が使われている。これらの回路では論理式を出力の候補となる論理値の生成とマルチプレクサ (MUX) による最終的な出力値の選択に分割する。MUX への値の与え方を組み替えることで任意の論理

を実現する。

ULM が開発されていた 1970 年代はパッケージの小型化や性能向上、回路の単純化等を目的として様々なアプローチが取られた [1–4]。例えば、出力として選択される値の候補に論理関数を与えるような構造を採用することで IC のピン数を削減するなどの工夫である。一方、現代の LUT でそのようなアプローチが取られることは少ない。被選択入力 1 ビットずつに SRAM ビットセルを割り当てて 0 または 1 の定数値を記憶し、それを MUX で読み出す構造が一般的である。SRAM は定数値の記憶しかできないため、Q-ULM のような柔軟な構造を採用することは難しい。

本稿では ULM のように柔軟な構成が可能な LUT の検討を行う。クロスバスイッチを用いて論理関数を被選択入力に与えることができるような LUT を本稿では論理関数参照型 LUT と呼称する。ULM と非常に類似した構造をと

<sup>1</sup> 京都大学  
Kyoto University, Sakyo, Kyoto 606–8501, Japan  
a) yuta-nagaoka@vlsi.kuee.kyoto-u.ac.jp  
b) ishihara@i.kyoto-u.ac.jp  
c) onodera@vlsi.kuee.kyoto-u.ac.jp

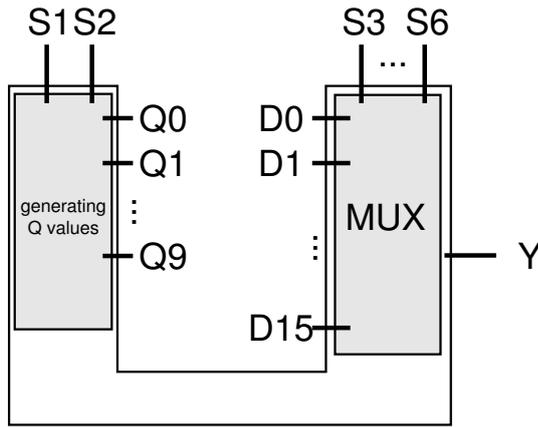


図 1 6 ビット Q-ULM [1] の構造.

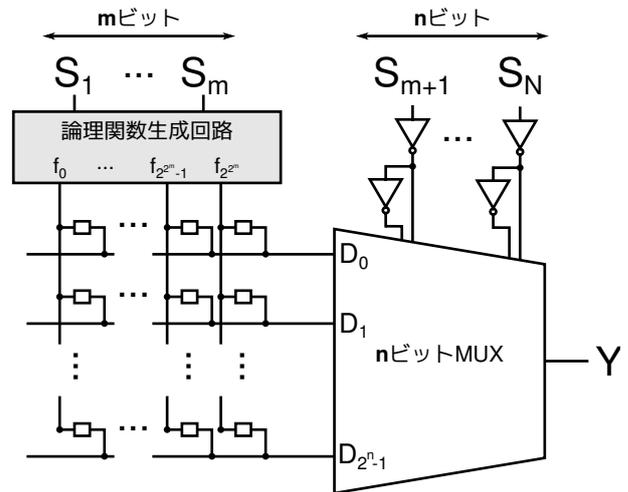


図 2 論理関数参照型 LUT の定義.

ることができる論理関数参照型 LUT だが、要求される性能や製造プロセス・テクノロジー等が当時とは全く異なる。本稿では現代のプロセス・テクノロジーと要求を前提として論理関数参照型 LUT を設計する回路構成法を議論する。LUT の被選択入力生成に割り当てるビット幅によってトランジスタ数、使用されるスイッチ数、消費エネルギーなどのコストにトレードオフ関係があることを示す。

本稿の構成を示す。第 2 節で用語の定義と本稿が示す成果を述べる。第 3 節で論理関数参照型 LUT の入力を割り当てることによるトランジスタコスト、クロスバスイッチのコスト、消費エネルギーの見積りを行う。第 4 節で商用 65-nm プロセスを用いて消費エネルギーについて検証を行う。第 5 節で結論を述べる。

## 2. 用語定義と本稿の成果

文献 [1] では ULM のピン数を最小限に抑えるため、適当なビット幅を被選択論理値の生成に割り当てる Q-ULM が提案された。図 1 に 6 ビット Q-ULM の例を示す。選択入力  $S$  のうち 2 ビットを用いて中間値  $Q$  を生成し、 $Q, S, \bar{S}, 0, 1$  を適切に  $D$  と接続することでより少ないピン数で論理を実現する。

本稿で議論する論理関数参照型 LUT は次のように定める。図 2 に論理関数参照型 LUT の概念図を示す。

- LUT の外から入力される  $N$  ビット信号のうち  $m$  ビットを用いて MUX に参照される論理関数をすべて生成する。
- 残りの  $n$  ビットを用いて MUX の選択信号を生成し、出力値を決定する。

シャノン展開による論理関数の展開に基づき、 $n$  変数の論理関数は

$$f(x_1, x_2, \dots, x_n) \quad (1)$$

$$= \bar{x}_1 \bar{x}_2 \cdots \bar{x}_{n-1} f(0, \dots, 0, x_n) + \cdots \quad (2)$$

$$+ x_1 x_2 \cdots x_{n-1} f(1, \dots, 1, x_n) = \bar{x}_1 \bar{x}_2 \cdots \bar{x}_n f(0, 0, \dots, 0, 0) + \cdots \quad (3)$$

$$+ x_1 x_2 \cdots x_n f(1, 1, \dots, 1, 1).$$

のように書き換えることができる。ここで  $x_i$  もしくは  $\bar{x}_i$  を含む積項部分はルックアップテーブルの選択論理に相当し、 $f$  はルックアップテーブルによって選択される論理関数に相当する。式 (3) は  $f$  はすべての変数に 0 または 1 が代入された定数値を取る一般的な LUT を表現している。この時、 $f$  の取りうる値は 0 または 1 の 2 通りである。

次に 1 変数を被選択入力に割り当てた論理関数参照型 LUT を考える。式 (2) における  $f$  は  $x_n$  を変数に持つ 1 変数関数とみなされる。この場合、 $f$  の候補として挙げられる関数の個数は  $0, 1, x_n, \bar{x}_n$  の計 4 個となる。これを論理関数参照型 LUT で実現した回路図を図 3 に示す。

一般に  $m$  変数（以下の）論理関数の個数は  $2^{2^m}$  個である。2 変数論理関数は合計 16 個、3 変数論理関数は合計 256 個存在する。等価な論理をまとめるなどの処理を行うことで論理関数の数を削減する手法も考えられるが、本稿ではすべての論理関数を用意することを前提に検討を進める。2 ビットを被選択入力の生成に割り当てた論理関数参照型 LUT を図 4 に示す。左側の 2 ビットを用いて参照される論理関数 16 種類を生成し、クロスバスイッチを用いて MUX の被選択入力に分配する。それらを右側の 2 ビットを用いて MUX で 1 つ選択して出力する。

LUT の  $N$  ビット入力信号を論理関数生成回路と MUX に適切なビット幅で分配することで、回路を適切に設計することを目標とする。本稿で設計の指標として取り扱う性

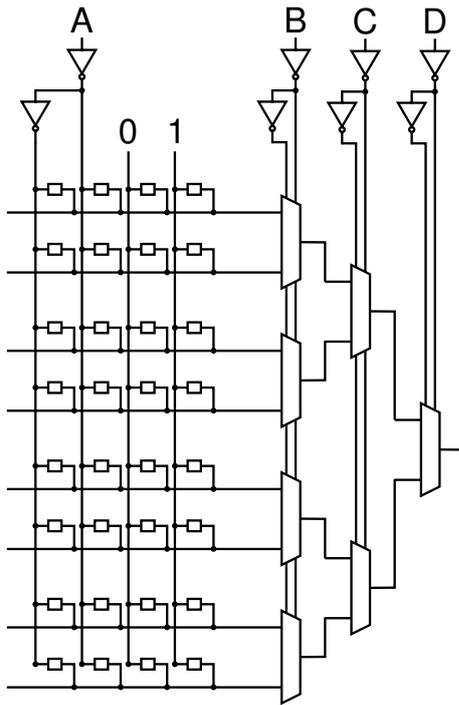


図 3 1 変数を被選択入力生成に割り当てた 4-LUT.

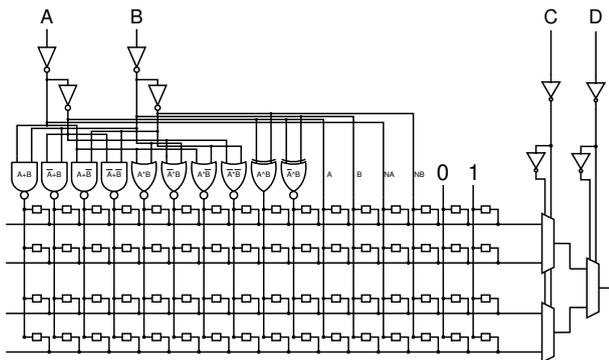


図 4 2 変数を被選択入力生成に割り当てた 4-LUT.

能指標はトランジスタ数、クロスバスイッチ数、消費エネルギーの 3 点とする。

本稿の示す成果を以下に示す。

- クロスバスイッチを利用した論理関数参照型 LUT は、最適化したい指標によって論理関数生成回路に割り当てるべきビット幅が異なることを示した。
- 商用 65-nm プロセスを用いて検証を行い、構成論理によって消費エネルギーに最適な構成が異なることを確認した。

### 3. 目的に応じたルックアップテーブルの最適構成

本節では論理関数参照型 LUT の被選択入力候補として生成される論理関数とそれを選択する LUT, および論理を構成するクロスバスイッチの回路規模について議論し、トランジスタコスト、クロスバスイッチのコスト、エネルギーコストをそれぞれ最小化するような回路設計法を検討

表 1 論理関数の生成に割り当てるビット幅と

すべての論理関数を生成するのに必要な回路規模  $N_L$ .

ビット幅	論理ゲート数	トランジスタ数
0	0	0
1	2	4
2	14	56
3	$254 \geq$	$508 \geq$

表 2 バッファを含めた MUX の回路規模.

ビット幅	論理ゲート数	Tr. 数 (PN 合計)
2	7	32
3	13	68
4	23	136
5	41	268
6	75	528
7	141	1044

する。

#### 3.1 汎用論理実現のための論理関数生成回路

$2^m$  個の  $m$  変数論理関数をそれぞれ 1 論理ゲートで生成することを考える。CMOS 論理で設計する場合、論理ゲートあたり少なくとも 2 個以上のトランジスタ (P/NMOS それぞれ 1 つ以上) が含まれる。表 1 に 1 ビットと 2 ビットの入力を論理関数生成に利用した際に必要となる論理ゲート数、トランジスタ数  $N_L$  を数え上げた結果を示す。ただしインバータは 2 トランジスタ、2 入力 NAND・NOR ゲートは 4 トランジスタ、XOR ゲートは 8 トランジスタで設計した場合の値である。3 ビットの場合は少なくとも 508 トランジスタ以上が必要になると考えられる。被選択入力に与えるための論理関数を生成するための回路はビット数を増加させるに従って  $N_L$  が指数的に増加する。

#### 3.2 ルックアップテーブルのビット幅と実装

今日の LUT における MUX 部分の実装は小規模な MUX を多段接続することによって実現されている。本稿では 2 入力 MUX を基本単位として採用する。2 入力 MUX は AOI22 ゲートを利用する。AOI22 は 8 個のトランジスタで構成される。LUT は選択入力の反転信号と非反転信号の両方を必要とするため入力 1 ビットあたり 2 つのインバータを必要とする。したがって LUT の MUX 部分のトランジスタ数は MUX のビット幅を  $n$  とすると

$$(2^n - 1) \times (\text{MUX あたりのトランジスタ数}) + 2n \times 2 \quad (4)$$

の通り与えられる。具体的に求めた数値を表 2 に示す。LUT の MUX 部分も被選択入力の論理関数生成と同じく、ビット幅の増加に従って指数的に回路規模が増加する。

#### 3.3 トランジスタのコストを最小化する構成

トランジスタのコストを最も小さくする構成を考える。

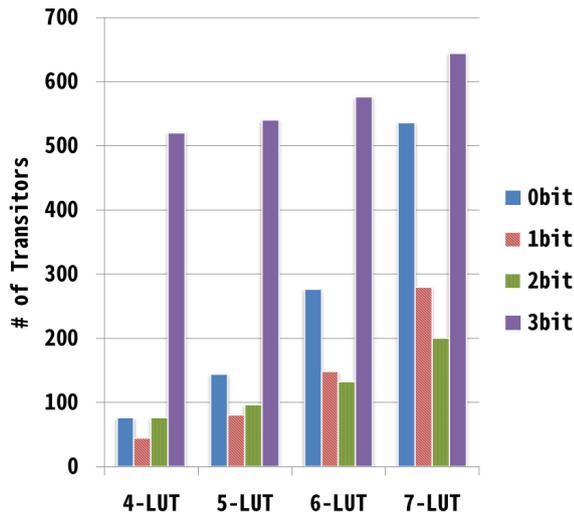


図 5 LUT の入力ビット幅と被選択入力生成割り当てビット幅に応じたトランジスタ数  $N_T$  の比較.

各トランジスタのゲート幅を適切に調整することで面積は一次関数的に変動するが、ビット幅に応じて指数的に変化するトランジスタ数が面積に対して支配的であると考えられる。よって本稿ではトランジスタコストの最も小さい構成はトランジスタ数  $N_T$  の最も少ない構成であると定義する。表 1 の数値を元にして、0 ビットから 3 ビットの被選択入力論理関数の生成に割り当てに対するトランジスタ数の比較を行う。図 5 に示す。ただし 3 ビット論理関数を生成する論理ゲートあたりのトランジスタ数を 2 とした。実際に設計する場合は更にトランジスタ数が増えると考えられる。5 入力より小規模な LUT では 1 ビットだけを論理関数の生成に割り当てるのが最もトランジスタ数が小さく、6 入力以上では 2 ビットを割り当てると  $N_T$  を最小化する。3 ビットを論理関数の生成に割り当てると逆に  $N_T$  が急激に増加し、面積増大につながり不適切である。

### 3.4 クロスバスイッチのコストを最小化する構造

クロスバスイッチのコスト指標の一つであるスイッチ個数を最小化する構成を考える。クロスバスイッチの個数を最小化することは、製品の小型化、スイッチの製造コスト抑制、製品歩留まりの改善などにつながる重要な課題である。LUT におけるクロスバスイッチは、理想的環境下ではすべてのクロスポイントにスイッチが与えられている。つまり、クロスバの列数と行数の積がすなわちスイッチ個数となる。クロスバの列数は被選択入力として参照する論理関数の数であり、 $m$  ビットを論理関数の生成に割り当てた場合の列数は  $2^{2^m}$  である。クロスバの行数は LUT の MUX における被選択入力の数であり、MUX の選択入力ビット幅  $n$  に対して  $2^n$  である。ゆえに、LUT に含まれるクロスバスイッチ個数  $N_X$  は

$$N_X = 2^{2^m} \times 2^n = 2^{(2^m+n)} \quad (5)$$

と表される。ここで、 $m+n=N$  (定数) とすると、 $m=0$  および  $m=1$  のとき  $N_X$  は最小値  $2^{N+1}$  をとる。 $m=2$  の時は  $2^{N+2}$ 、 $m=3$  の時は  $2^{N+5}$  と、論理関数の生成割り当てビット幅を大きくすると指数的にスイッチ個数が増大する。よって、スイッチ個数を抑制する必要がある場合は論理関数の生成割り当てを 1 ビットとするか、論理関数を参照しない一般的な LUT を設計すると良い。

### 3.5 エネルギーコストを最小化する構造

消費エネルギーは集積回路設計で最も注目すべき設計制約の一つである。消費エネルギーは動的成分と静的成分に分類されるが、本稿では動的成分に注目する。動的消費エネルギーは電源電圧、ゲートの容量、トグル回数で決まる。

論理ゲートのトグル回数とは信号が 0 から 1 に立ち上がる回数である。LUT の各論理ゲートのトグル回数 (確率) は LUT に実装する論理式 (真理値表パターン) に大きく依存する。本稿では論理ゲートのトグル確率を 3 つに大別する。LUT 外部からの入力信号やその反転信号が直接与えられるゲートのトグル確率  $\alpha_0$  とその他の領域に含まれるゲートのトグル確率  $\alpha_1$ 、クロスバスイッチアレイのトグル確率  $\alpha_2$  である。

$\alpha_0$  が適用されるトランジスタを列挙する。

- マルチプレクサの選択信号を生成するインバータ・バッファ。
- マルチプレクサの選択入力を受けるトランジスタ。
- 論理関数生成回路のすべてのトランジスタ。

上記したトランジスタの容量の合計  $C_{T0}$  を概算する。 $C_{T0}$  はおよそトランジスタ数に比例するが、ロジカルエフォート理論に基づき、多くのマルチプレクサのゲートを駆動するトランジスタのゲート幅は大きく、その他の駆動力の必要ないトランジスタは小さく作るのが一般的である。ゲート幅に比例してトランジスタの容量も異なり、補正が必要となる。駆動力の必要ない回路としては MUX が挙げられる。MUX に含まれるトランジスタのゲート幅を  $w_0$  とする。バッファ等のその他部分に含まれるトランジスタの平均ゲート幅を  $w_1$  とする。ただしこれらは PMOS と NMOS のゲート幅を平均し、さらに標準インバータのゲート幅で正規化した値を採用する。 $n$  ビットの LUT における、選択信号やその反転信号が直接入力されるトランジスタの容量  $C_{T0}$  は

$$C_{T0} = 4(2^n - 1) \times w_0 + (4n + N_L) \times w_1. \quad (6)$$

で表される。

次に、MUX の残りの部分  $4(2^n - 1)$  個分のトランジスタにおける平均トグル確率  $\alpha_1$  について考える。残りの部分とは被選択入力ノードから出力ノードまでを信号が伝播する経路上のトランジスタのことであり、本稿ではこの経路をデータバスと呼称する。データバス上のトランジスタ

は、LUT が構成する論理や LUT に与えられる入力信号ベクトルの遷移に応じてトグル確率が大きく異なる。本稿ではトグル率の上限と下限を求め、その範囲内で消費エネルギーの評価を行うことにする。

平均トグル確率  $\alpha_1$  の下限は 0 である。恒真式 (tautology) や恒偽式 (inconsistent) を実装した場合はデータパスは選択信号にかかわらず変化することがない。 $\alpha_1$  の上限は、簡単のためランダムな信号列が伝播した時の平均トグル確率と同等の 0.25 に設定した。この範囲で LUT のトランジスタのトグル確率を変動させながらエネルギー消費の大小比較を行う。

エネルギー評価係数  $E_0$  をつぎのように定める。 $E_0$  が小さいほど消費エネルギーが小さいことを意味する。

$$E_0 = C_{T0} \times \alpha_0 + 4(2^n - 1) \times w_0 \times \alpha_1 + C_X N_X \alpha_2. \quad (7)$$

7-LUT を例に  $E_0$  を評価する。図 6 に平均トグル確率  $\alpha_1$  を変化させた際の  $E_0$  の変化を示す。LUT の外部からの信号は完全にランダムな入力であることを想定し  $\alpha_0 = 0.25$  とする。クロスバススイッチとしてピアスイッチ・アーキテクチャ [5-7] を採用する。スイッチ 1 つ当たりの容量  $C_X$  をレイアウト情報や諸元表から求め、標準インバータのゲート容量で正規化し  $C_X = 0.4$  とする。 $\alpha_0 = 0.25$  としてスイッチの平均トグル確率  $\alpha_2$  を求める。1 ビットを被選択入力論理関数生成に割り当てられる場合は  $\alpha_2 = \frac{1}{8}$ 、2 ビットの場合は  $\alpha_2 = \frac{3}{16}$  となる。レイアウト情報からの大まかな見積もりとして  $w_0 = 1, w_1 = 1.5$  とする。

$\alpha_1$  が大きい領域では 2 ビットを論理関数生成に割り当てられる構成が最も消費エネルギーが小さいが、 $\alpha_1$  の小さい領域では優劣が逆転し、1 ビットを論理関数生成回路に割り当てられるのが適切だと考えられる。

## 4. 回路シミュレーションによる遅延時間と消費エネルギーの評価

### 4.1 条件設定

7-LUT を対象とし、被選択入力に与える論理関数生成に 0 ビットから 2 ビットまでを割り当て回路について、それぞれゲートレベルのネットリストを作成した。各論理ゲートは標準セルライブラリに登録されているものを用い、駆動力はファンアウト負荷を考慮して選択した。続いてそれぞれの論理ゲートをポストレイアウトシミュレーション用のトランジスタレベルネットリストで置換し、回路シミュレーション用のトランジスタレベルネットリストを作成した。ピアスイッチは原子スイッチ特性モデル [6] に配線長や配線間隔から導出した抵抗および容量を付け加えて等価的なネットリストを作成し、LUT のネットリストに組み込んだ。このような手順で作成したネットリストに対し、回路シミュレーションによって動作遅延と消費エネルギーを求めた。その他のシミュレーション条件を示す。

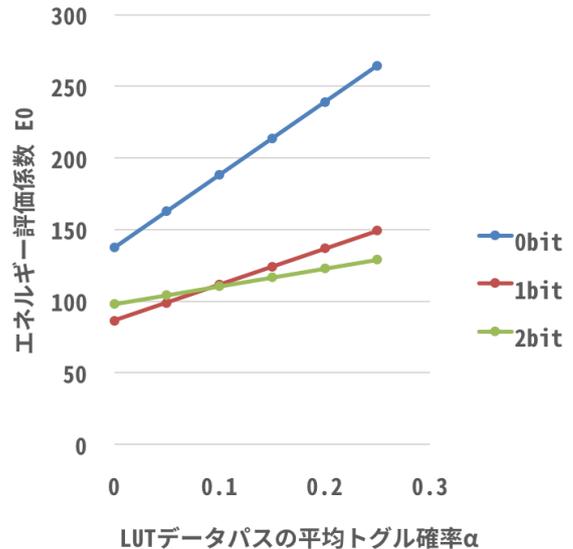


図 6 7-LUT における、データパスのトグル確率と論理関数生成ビット割り当て幅に応じたエネルギー評価係数  $E_0$  の変化。

- 電源電圧は 0.75 V とする。
- 7-LUT 入出力のファンアウトはいずれも 4 とする。
- 遅延時間は、擬似乱数列より生成した 100 パターンの 7 ビット信号を入力した際の伝播遅延時間の最大値を採用する。
- 消費エネルギーは、100 パターンの 7 ビット信号を 10ns 周期で入力する間 ( $1\mu s$ ) の消費エネルギーを採用する。
- LUT に実装する評価対象論理は 7 入力 XOR (XOR7)、7 入力 AND (AND7)、ランダムに生成した真理値表に基づく関数 (*Random*) の 3 つとする。
  - XOR7 はデータパスのトグル確率  $\alpha_1$  が比較的高い論理として、AND7 は  $\alpha_1$  が比較的低い論理として採用した。

### 4.2 結果

7-LUT に各論理をマッピングした際の遅延時間を比較した結果を図 7 に、消費エネルギーを比較した結果を図 8 に示す。検証した 3 つの論理全てにおいて遅延時間は  $m = 1$  の時が最小となる。消費エネルギーは被選択入力に 1 ビットも割り当てない構成が常に最も大きい。XOR7 は  $\alpha_1$  が比較的高い論理のため、消費エネルギーが最も小さいのは 2 ビットを被選択入力に割り当てられる構成となり、2.8% だけ 1 ビットを割り当てられる構成よりも小さなエネルギーで動作する。AND7 は  $\alpha_1$  が低い論理として検証し、消費エネルギーが最も小さいのは 1 ビットを割り当てられる構成となる。*Random* をマップした場合も同様で 1 ビットを割り当てられる構成が最も省エネルギーである。このように  $\alpha$  によってエネルギー最小となる構成が異なる事実が確かめられた。

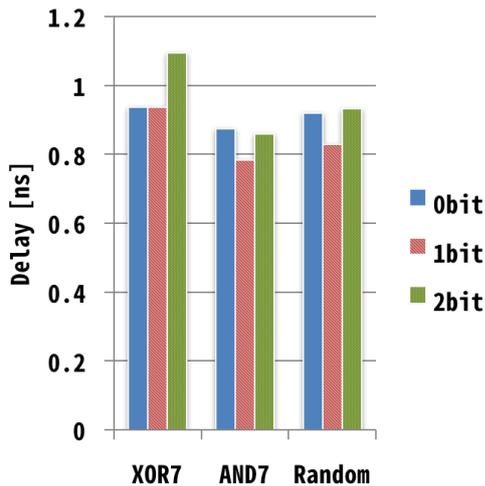


図 7 7-LUT の構造と論理による遅延時間の比較.

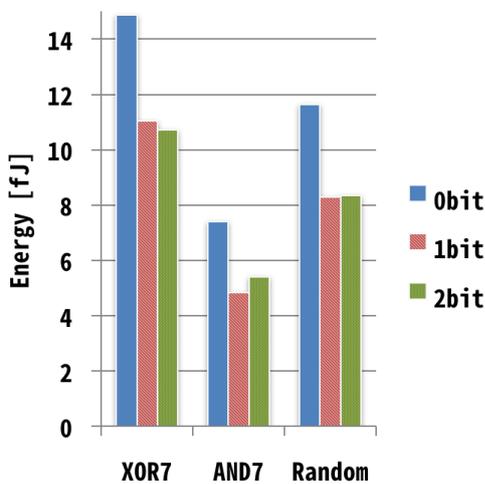


図 8 7-LUT の構造と論理による消費エネルギーの比較.

## 5. 結論

本稿では LUT の被選択入力に論理関数を割り当てる論理関数参照型 LUT について、トランジスタ数、クロスバスイッチの数、消費エネルギーをそれぞれ最小化する時の回路構成法を述べた。回路規模の指標であるトランジスタ数を最小化する場合、5 入力以下の LUT を設計する際は 1 ビットを被選択入力生成に割り当て、6 入力以上の LUT であれば 2 ビットを割り当てるのが最適であることを示した。クロスバスイッチの数を抑制するには任意の LUT 入力数について被選択入力に割り当てるビット幅を 1 ビット以下にすれば使用スイッチ数を最小化可能であることを示した。消費エネルギーはトランジスタ数を最小化するのではなく、データパスのトグル確率を考慮して消費エネルギーを評価する指標を基準に判断するべきであることを示した。商用 65-nm プロセスでこれを示し、構成する論理によってはトランジスタ数が最小ではない構成が最も省エネ

ルギーとなりうることを数値的に示した。このように、論理関数生成に割り当てるビット幅によって LUT 評価指標のトレードオフが生じることが横断的な検討によって確かめられた。

本稿では LUT の遅延時間や LUT データパスのトグル確率に関する詳細な検討、適切 MUX のアーキテクチャや被選択論理関数の生成方法等の最適化等を行わなかった。今後はこれらの要素を含めて真に最適なアーキテクチャを設計する理論の構築に取り組む予定である。

## 謝辞

本研究は JST,CREST(JPMJCR1432) による支援によって行われた。本研究は東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社の協力で行われた。

## 参考文献

- [1] S. S. Yau and C. K. Tang, "Universal logic modules and their applications," *IEEE Transactions on Computers*, vol. C-19, no. 2, pp. 141–149, Feb 1970.
- [2] T. F. Tabloski and F. J. Mowle, "A numerical expansion technique and its application to minimal multiplexer logic circuits," *IEEE Transactions on Computers*, vol. C-25, no. 7, pp. 684–702, July 1976.
- [3] C. C. Cheung and R. W. Ehrich, "On the minimization of tree-type universal logic circuits," *IEEE Transactions on Computers*, vol. C-24, no. 11, pp. 1110–1113, Nov 1975.
- [4] X. Chen and S. L. Hurst, "A comparison of universal-logic-module realizations and their application in the synthesis of combinatorial and sequential logic networks," *IEEE Transactions on Computers*, vol. C-31, no. 2, pp. 140–147, Feb 1982.
- [5] M. Tada, T. Sakamoto, M. Miyamura, N. Banno, K. Okamoto, N. Iguchi, T. Nohisa, and H. Hada, "Highly reliable, complementary atom switch (cas) with low programming voltage embedded in cu beol for non-volatile programmable logic," in *Electron Devices Meeting (IEDM), 2011 IEEE International*, Dec 2011, pp. 30.2.1–30.2.4.
- [6] N. Banno, M. Tada, K. Okamoto, N. Iguchi, T. Sakamoto, M. Miyamura, Y. Tsuji, H. Hada, H. Ochi, H. Onodera, M. Hashimoto, and T. Sugibayashi, "A novel two-varistors (a-si/sin/a-si) selected complementary atom switch (2v-1cas) for nonvolatile crossbar switch with multiple fan-outs," in *IEDM Technical Digest*, Dec 2015, pp. 2.5.1–2.5.4.
- [7] J. Hotate, T. Kishimoto, T. Higashi, H. Ochi, R. Doi, M. Tada, T. Sugibayashi, K. Wakabayashi, H. Onodera, Y. Mitsuyama, and M. Hashimoto, "A highly-dense mixed grained reconfigurable architecture with overlay crossbar interconnect using via-switch," in *2016 26th International Conference on Field Programmable Logic and Applications (FPL)*, 08 2016, pp. 272–275.