

常温で論理テスト可能な超低温動作 VLSI の タイミング設計法の検討

中山 貴博^{1,a)} 橋本 昌宜^{1,b)}

概要：超低温に冷却された赤外線センサの直近で信号処理を行う VLSI が求められている。動作温度によってトランジスタや配線の信号伝播速度が変化するため、超低温動作を想定して設計した VLSI を常温で論理検証しようとする、ホールド違反を起こして検証を妨げる危険性がある。本検討では、超低温動作を想定して設計した回路に対して、常温時のタイミング特性を検証し、ホールド違反発生の有無を確認する。

1. はじめに

人工衛星向けの赤外線センサには大きく分けて冷却型と非冷却型の2種類がある。冷却型のは、非冷却型に比べて検出能力に優れているが、原理的に熱雑音の影響を受けやすい。撮像素子自体が発する熱を検出してしまうため、撮像素子を被写体に比べて十分に冷却する必要がある。そのため、冷却型赤外線センサは極低温に保たれた筐体に収められ、その温度は摂氏約-200度に達する。一方、画素数の拡大などにより赤外線センサの直近での信号処理が求められるようになりつつある。

一般に、動作温度が下がるほど信号の伝播速度は速くなる。低温になるとトランジスタの電荷移動度が高くなる上に、配線の抵抗値も減り、電流が流れやすくなるからである。超低温下におけるデジタル回路の動作異常としては、配線やトランジスタの信号伝播速度の変化が顕著になり、フリップフロップがタイミング違反を起こして正常な信号が伝達されなくなることが考えられる。すなわち、一般的な環境での動作を想定した信号処理回路では、超低温に保たれたセンサ直近での正常な動作は保証されない。超低温の環境下で動作するデジタル回路設計は、超低温時のタイミング特性をもつライブラリを用いて設計する必要がある。製造後は、その動作を超低温下でテストする。ここで、テストには論理検証を目的としたテストとタイミング検証を目的としたテストの二つがある。これらのテストを超低温で行うと、テストコストがかさむ。タイミング検証を目的としたテストは超低温で行う必要がある一方で、論理検証用のものはホールド違反が起こらなければ常温で行

うことができ、テストコストを削減することが可能となる。そこで本論文では、常温での論理検証用テストを可能とする超低温動作回路のタイミング設計法を検討する。超低温用に合成したデジタル回路に対して様々な条件下を想定してホールド違反率を算出し、温度、電源電圧などの条件がホールド違反率にどの程度影響するかを評価する。

本論文の構成は以下の通りである。2章では、超低温下におけるデバイスの特性や遅延時間について述べる。3章では、ホールド違反率の計算方法について述べる。4章では、本研究で行った、超低温用回路の評価実験の手順について述べる。5章では、4章で述べた実験の結果やその考察を述べる。6章では結論や今後の課題について述べる。

2. デバイスの温度特性

CMOS 回路においては一般に動作温度が低くなるほど信号の伝播速度が速くなることが知られている。デバイスレベルでみると、それはトランジスタの電流電圧特性や配線の抵抗率の変化によるものである。本章では、トランジスタの電流電圧特性やセル遅延の超低温も含む温度依存性、配線の抵抗率や配線遅延の温度依存性について述べる。なお、配線材料は純銅であるとする。また、温度のセル遅延に対する影響の電圧依存性についても述べる。

2.1 トランジスタの温度依存性

NMOS トランジスタのドレイン電流は、

$$I_d = C_{ox} \frac{W}{L} \mu (V_G - V_{th} - \frac{1}{2} V_D) V_D \quad (1)$$

(I_d : ドレイン電流, C_{ox} : (キャパシタンス)/(ゲート酸化膜の厚さ), L : チャネル長, W : チャネル幅, μ : 電子移動度, V_G : ゲート電圧, V_{th} : しきい電圧, V_D : ドレイン電圧)

¹ 大阪大学大学院情報科学研究科

^{a)} t-nakaym@ist.osaka-u.ac.jp

^{b)} hasimoto@ist.osaka-u.ac.jp

で表すことができる [1]。これらのパラメータのうち、しきい電圧と電子移動度は温度の低下とともに値が大きくなる [2]。しきい電圧が大きくなると、トランジスタが ON 状態になるために必要なゲート電圧が高くなる。電子移動度とは電子の移動のしやすさを示す量であり、この値が大きくなると電流が流れやすくなる。

[3][4] では、本研究の議論の中心となる -200 度よりもさらに低温でのトランジスタの電流電圧特性についても述べている。そのような温度条件下でもしきい電圧と電子移動度の温度依存性はあまり変わらないことが示されている。

2.2 配線の温度依存性

金属の抵抗率は温度に依存する。図 1 に、銅の体積抵抗率の温度依存性を示す [5]。銅の体積抵抗率は温度によってほぼ一次関数的に変化することがわかる。超低温の -195 度についてもその傾向は変わらず、常温付近の 0 度と比較して約 8 倍小さくなることがわかる。

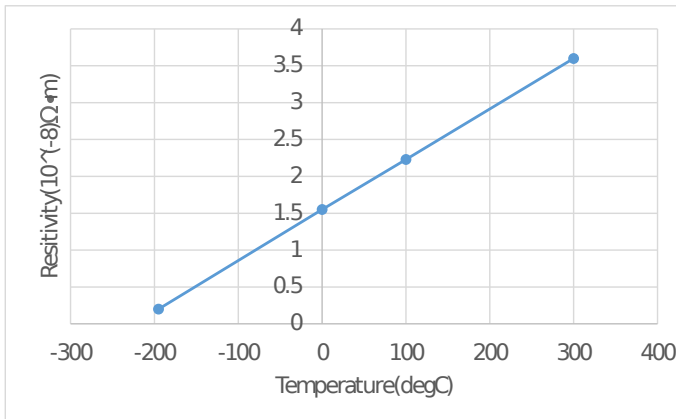


図 1 銅の体積抵抗率の温度依存性

2.3 回路中における温度の影響

トランジスタからなるゲートの遅延量は、[2] より

$$T_d \propto \frac{C_{out} V_{dd}}{I_d} = \frac{C_{out} V_{dd}}{\mu(T)(V_{dd} - V_{th}(T))^\alpha} \quad (2)$$

(T_d : 遅延時間, C_{out} : 出力負荷容量, μ : 電子移動度, V_{dd} : 電源電圧, V_{th} : しきい電圧)

の比例式で表される。電子移動度としきい電圧はどちらも温度の低下とともに高くなると述べた。一方、比例 (2) は、これら 2 つのパラメータは遅延時間に対して逆の依存関係があることを示している。電源電圧が高い時には、分母にある $V_{dd} - V_{th}(T)$ の値が大きく、温度依存性のあるしきい電圧の変化が遅延に与える影響が小さい。このとき、温度による電子移動度の変化が遅延時間に対して支配的である。逆に電源電圧が低い時には、しきい電圧の変化が遅延時間に対して支配的である。この結果、温度が低い時、電源電圧が高いと遅延が減少し、電源電圧が低いと遅延が増

加する。この現象は、Inverted Temperature Dependence (ITD) と呼ばれている [2]。

また、2 つのインバータを繋ぐ配線について考えると、初段のインバータと配線の遅延を含む遅延時間は、

$$t_d = R_{tr}(C_p + C_L) + (R_{tr}c + rC_L)l + \frac{1}{2}rcl^2 \quad (3)$$

(t_d : インバータと配線の遅延時間, R_{tr} : トランジスタの抵抗値, C_p : トランジスタの容量, C_L : インバータの負荷容量, c : 単位長さ毎の配線容量, r : 単位長さ毎の配線抵抗, l : 配線の長さ) で表せる [6]。配線の抵抗値は温度の低下とともに小さくなるので、式 (3) において R_{tr} , C_p , C_L の温度変化を考慮しない場合、温度が低下するとともに t_d は小さくなる。よって、温度の低下とともに配線遅延は小さくなる。

3. ホールド違反率計算

3.1 ホールド違反

温度変化により発生するデジタル回路の問題としてタイミング違反がある。タイミング違反にはセットアップ違反とホールド違反がある。論理検証はホールド違反さえ起らなければ可能であるので、本稿ではホールド違反に着目する。ここで、セットアップ違反はクロック周期を大きくしたり、電源電圧を高く設定して動作させることで解消できる。しかし、ホールド違反の解消には、組み合わせ回路を設計し直し、組み合わせ回路の遅延を大きくするしかない。したがって、設計時にホールド違反を起こさないよう対策することが非常に重要となる。

デジタル回路では、クロックツリーを通じてフリップフロップにクロックが供給される。配線の長さの違いからくる配線遅延の違いなどにより、クロックツリーを通して供給されるクロックにはズレがあり、そのズレをクロックスキューと呼ぶ。大きな温度差がある場合、配線遅延やクロックドライバの遅延時間が大きく異なるため、クロックスキューが増大する可能性がある。クロックスキューがホールド違反に関して最悪となるのは、送信側のフリップフロップのクロック立ち上がりが速く受信側のフリップフロップのクロック立ち上がりが遅い場合で、スキューによりホールド制約が厳しくなり、ホールド違反が起こりやすくなる。

本章では、ホールド違反の評価に必要なタイミング解析について述べる。VLSI では温度変化に加えて、製造ばらつきもタイミングに影響を与えるため、本稿のタイミング解析も製造ばらつきを考慮して行う必要がある。本研究では製造ばらつきにより変化する物理パラメータとしてトランジスタのゲート長 l , NMOS・PMOS トランジスタのしきい電圧 v_{thn} , v_{thp} の 3 つについて考慮する。

3.2 ホールド違反率の算出

製造ばらつきを考慮したホールド違反率計算の計算法を説明する．本研究ではチップ全体の物理パラメータが一樣にばらつくチップ間ばらつきではなく，各ゲートの物理パラメータがランダムにばらつくチップ内ばらつきのみを考慮する．チップ間ばらつきも考慮した解析は今後の課題である．

まず， i 番目のパスのホールド違反率を計算する．パスの遅延時間が小さくなると終端 FF のホールドスラックが小さくなり，その値が製造ばらつきがないときのスラック値 ($Slack_i$) よりも小さくなるとホールド違反を起こす．従ってパスの遅延ばらつき ΔDp_i の確率密度関数を確率変数 x の関数 $f_i(x)$ とすると，ホールド違反率 $Vpath_i$ は，

$$Vpath_i = \int_{-\infty}^{-Slack_i} f_i(x) \cdot dx \quad (4)$$

で計算することが可能である．このとき， n 本のパスから構成される回路全体のタイミング違反率 V_{whole} は以下で表すことができる．

$$V_{whole} = 1 - \prod_{i=1}^n (1 - Vpath_i) \quad (5)$$

式 (4) の計算を行うためには ΔDp_i の確率密度関数 $f_i(x)$ を求める必要がある．そこで次にパス i に含まれる論理ゲート j の遅延ばらつき ΔDg_j を考える． $\Delta l, \Delta vthn, \Delta vthp$ をゲート長，NMOS しきい電圧，PMOS しきい電圧の平均からの変化量とすると，これらの変化量が小さいとき ΔDg_j は一次の感度 $Sl_j, Svthn_j, Svthp_j$ を用いて以下の式で表すことができる．

$$\Delta Dg_j = Sl_j \cdot \Delta l + Svthn_j \cdot \Delta vthn + Svthp_j \cdot \Delta vthp \quad (6)$$

感度は以下の式より求められる．

$$Sl_j = (Dgl_j - D_j) / \Delta l \quad (7)$$

$$Svthn_j = (Dgvthn_j - D_j) / \Delta vthn \quad (8)$$

$$Svthp_j = (Dgvthp_j - D_j) / \Delta vthp \quad (9)$$

ここで， D_j はばらつきがばらつきがないときのゲート遅延， $Dgl_j, Dgvthn_j, Dgvthp_j$ は，それぞれ物理パラメータが $\Delta l, \Delta vthn, \Delta vthp$ だけばらついたときのゲート遅延である．タイミング解析ツールを用いることでこれらの値を得ることができ，感度 $Sl_j, Svthn_j, Svthp_j$ を求めることができる．

各物理パラメータのばらつきが標準正規分布 (標準偏差 $\sigma_l, \sigma_{vthn}, \sigma_{vthp}$) に従う場合，その標準偏差と各感度を掛け合わせることで，各物理パラメータによるゲートの遅延ばらつきの標準偏差 ($\sigma_{Dgl_j}, \sigma_{Dgvthn_j}, \sigma_{Dgvthp_j}$) を求めることができる．

$$\sigma_{Dgl_j} = \sigma_l \cdot Sl_j \quad (10)$$

$$\sigma_{Dgvthn_j} = \sigma_{vthn} \cdot Svthn_j \quad (11)$$

$$\sigma_{Dgvthp_j} = \sigma_{vthp} \cdot Svthp_j \quad (12)$$

物理パラメータのばらつきが無相関の場合，ゲート遅延ばらつきの標準偏差 (σ_{gate_j}) は以下となる．

$$\sigma_{gate_j} = \sqrt{\sigma_{Dgl_j}^2 + \sigma_{Dgvthn_j}^2 + \sigma_{Dgvthp_j}^2}$$

なお，式 (6) の平均は 0 である．

ここでは，チップ内のランダムなばらつきを考えているため，パス遅延ばらつきの標準偏差 σ_{path_i} は，パスを構成する m 個のゲートの遅延ばらつきの標準偏差から計算できる．

$$\sigma_{path_i} = \sqrt{\sum_{j=1}^m \sigma_{gate_j}^2} \quad (13)$$

また，ゲート遅延ばらつきの平均が 0 であるため，パス遅延ばらつきの平均も 0 である．従って，平均が 0，標準偏差が σ_{path_i} となる正規分布の確率密度関数を $f_i(x)$ とし，式 (4), (5) を計算することでホールド違反率 V_{whole} を求めることができる．

4. 評価実験手順

本研究では，超低温用に作成した回路に対し，別の温度下でのホールド違反率を算出することで，超低温用回路のタイミング特性が温度によりどのように変化するかを評価する．そのために行った実験の大まかな手順は以下の通りである．

- (1) トランジスタの電流電圧特性予測
- (2) SPICE トランジスタモデルへのフィッティング
- (3) セル遅延特性のキャラクタライズ
- (4) 超低温用評価回路の設計
- (5) ホールド違反率の算出

以下，上記の各手順について具体的に説明する．

4.1 トランジスタの電流電圧特性予測

タイミング特性を評価するためには回路シミュレーションが不可欠である．しかし，超低温下でのトランジスタの特性を評価できるトランジスタモデルは一般に提供されていない．そこで，トランジスタモデルの作成に必要な超低温下でのトランジスタの電流電圧特性を，65nm プロセスを想定して TCAD によるデバイスシミュレーションで予測することにした．各温度，電源電圧時のトランジスタのドレイン電流-ゲート電圧特性 ($I_d - V_g$ 特性) とドレイン電流-ドレイン電圧特性 ($I_d - V_d$ 特性) のシミュレーション結果を用意した．トランジスタの電流電圧特性の実測データが得られていないため，デバイスシミュレーション結果の精度については保証できないが，温度特性の傾向は評価できていると考えている．

4.2 SPICE トランジスタモデルへのフィッティング

回路シミュレーションのためには、トランジスタの SPICE モデルが必要である。そこで、4.1 項で用意したシミュレーション結果に、SPICE モデルから得られる電流電圧特性が一致するようにフィッティングを行った。フィッティングには、トランジスタのしきい電圧パラメータ delvto 、電子移動度パラメータ mulu0 、DIBL パラメータ eta の 3 つパラメータを用いた。

具体的な手順は次の通りである。まずしきい電圧に注目し、 $I_d - V_g$ 特性においてゲート電圧が 0.5V 以下の部分のドレイン電流の差の二乗和が最小となる delvto を求める。これによってまずトランジスタが OFF 状態から ON 状態に切り替わる電圧を合わせる。次に、電子移動度に注目し、 $I_d - V_d$ 特性においてドレイン電圧が電源電圧 $\pm 0.1\text{V}$ の範囲でドレイン電流の差の二乗和が最小になる mulu0 を求める。タイミング計算に重要なオン電流を合わせている。以上の delvto と mulu0 の調整を 3 回繰り返す。最適な delvto と mulu0 の組を求める。さらに異なる eta に対してこの delvto と mulu0 の組を求めることを繰り返す。eta を変更すると、短チャネル効果でしきい電圧がドレイン電圧とともに変化する DIBL 現象による飽和電流の傾きが調整できる。

以上の手順により求めた delvto 、 mulu0 、 eta をモデルパラメータとして利用する。このモデルパラメータは NMOS、PMOS トランジスタ用に各温度、電源電圧別に用意した。用意した温度は -180 、 -140 、 -100 、 -60 、 -20 、 20 、 60 、 $100[\text{degC}]$ 、電源電圧は 1.0 、 0.8 、 $0.6[\text{V}]$ である。

電源電圧 1.0V 向けに行ったフィッティング結果を、図 2、3、4、5 に示す。点線は TCAD による予測結果、実線がフィッティング後の SPICE トランジスタモデルの電流電圧特性を表している。温度と色が対応関係にあり、同じ色の実線と点線が近いほどよりよいフィッティングであるといえる。温度が下がるにつれてフィッティング結果と TCAD の結果がずれる傾向にあるが、デジタル回路の遅延特性の傾向は議論できると判断し、次項以降の評価にフィッティング後の SPICE トランジスタモデルを用いる。

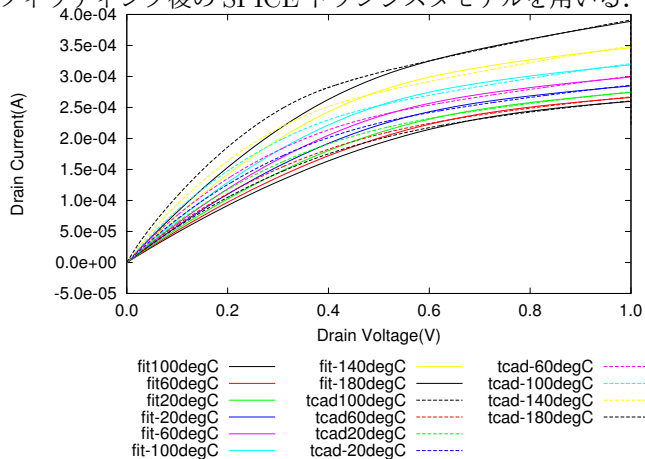


図 2 NMOS の $I_d - V_d$ 特性のフィッティング結果

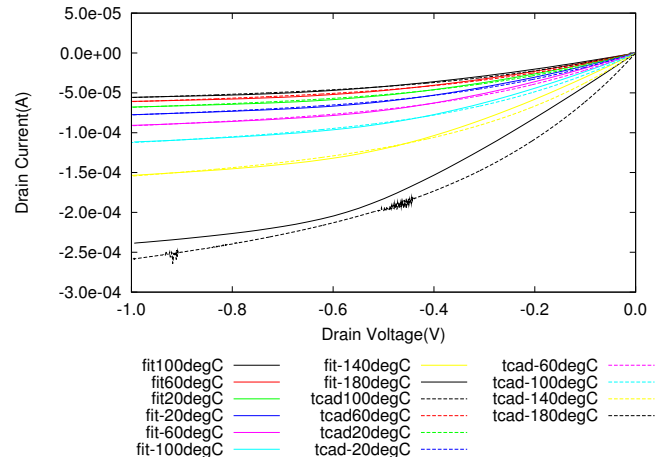


図 3 PMOS の $I_d - V_d$ 特性のフィッティング結果

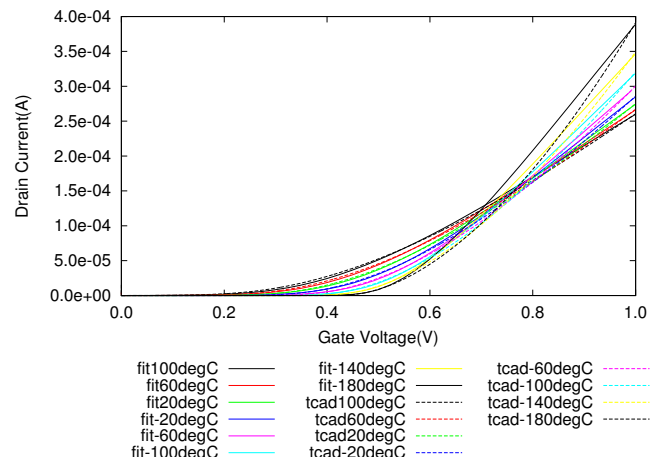


図 4 NMOS の $I_d - V_g$ 特性のフィッティング結果

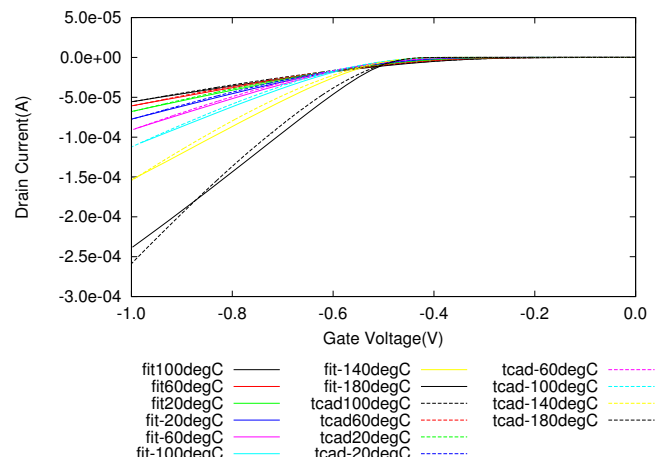


図 5 PMOS の $I_d - V_g$ 特性のフィッティング結果

4.3 セル遅延特性のキャラクタライズ

4.2 項で用意したモデルパラメータを反映したトランジスタの SPICE モデルファイルを使用し、各セルの遅延特性などをまとめたライブラリファイルを各温度、電源電圧別に用意した。さらに、後の 4.5 項で行うトランジスタの物理パラメータがばらついた場合のタイミング解析を可能にするため、NMOS、PMOS トランジスタのしきい電圧、チャネル長がそれぞれ 1mV 、 0.1nm 大きい場合のライブラリファイルも用意した。

4.4 超低温用評価回路の設計

評価回路として、超低温用回路を電源電圧別に設計した。本研究では、AES(Advanced Encryption Standard) 回路を実験対象とした。合成する際、超低温用のライブラリファイルと超低温時の配線の抵抗率を用いて行った。また、タイミング違反が起こらないように論理合成、配置配線、クロックツリー合成を行った。電源電圧別に設計した超低温用回路に対して、異なる温度、例えば常温用のライブラリファイルと常温時の配線抵抗を反映してホールド解析することで、超低温用の回路の常温下でのホールドスラックを調べることができる。

4.5 ホールド違反率の算出

3.2 項で説明した回路全体のホールド違反率 V_{whole} を求める。ホールド違反率を求めたい温度、電源電圧に応じて、ライブラリファイルを変更し、配線抵抗値も変化させてタイミング解析を行う。 V_{whole} の計算に必要な感度は、4.3 項で用意した物理パラメータをずらしたライブラリファイルを用いてタイミング解析を行い、各ゲート遅延時間の変化量を求めることで計算した。ここで、回路の全パスのホールド違反率を求めることは計算量の観点から困難である。そこで、今回は各フリップフロップ毎にそのフリップフロップを終端とする最短パスを 5 本選択し、解析対象のパスに加えた。また、NMOS, PMOS トランジスタのしきい電圧、チャンネル長のばらつきの標準偏差をそれぞれ 30mV, 30mV, 1nm とした。

5. 実験結果

図 6 に、超低温動作時に設計された回路がホールド違反を起こす確率を示す。図の横軸は温度、縦軸はホールド違反率である。図中の 5 本の線は異なる電源電圧に相当する。ホールド違反率は、電源電圧が低く、温度が低い時に高くなっている。低電圧時は、しきい電圧と電源電圧が近くなり、しきい電圧のパス遅延に対する感度が高くなるためと考えられる。さらに低温時を考えると、2.1 項で述べたようにトランジスタのしきい電圧が上昇する。これによって、しきい電圧と電源電圧がより近くなり、しきい電圧のパス遅延に対する感度が一層高くなっているためと考える。

図 7 に解析したパスのばらつきがないときのホールドスラックの平均を示す。電源電圧が 0.7V 以上の時は、温度の低下によって動作速度が速くなり、その結果絶対値としてスラックが小さくなっている。一方で 0.6V の時は ITD 現象により低温時に動作が遅くなるため、スラックが増加している。図 8 にパス遅延ばらつきの平均標準偏差 σ の相加平均を示す。標準偏差は低電圧時を除いて温度上昇とともに大きくなっていくことがわかる。

温度が超低温から常温に上昇したとき、パスの遅延ばらつきの標準偏差が大きくなるものの、ばらつきがない場合

のホールドスラックが大きくなる効果が支配的で、その結果ホールド違反率は小さくなることが分かった。したがって超低温動作時にホールド違反が起こらないように設計していれば、常温でもホールド違反が起こる確率は低く、論理テストが可能であると考えられる。

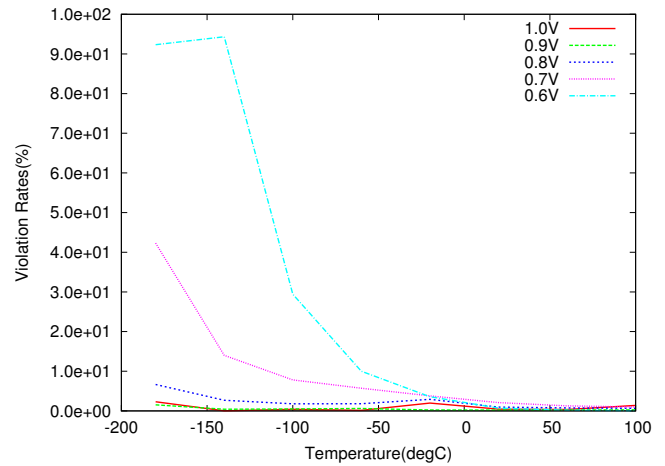


図 6 タイミング違反率

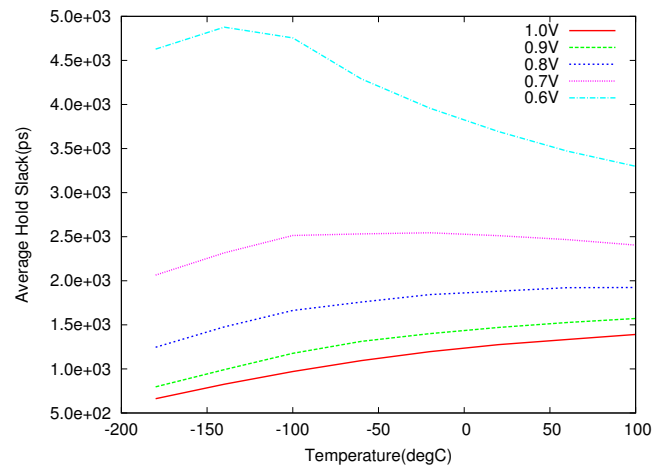


図 7 平均ホールドスラック

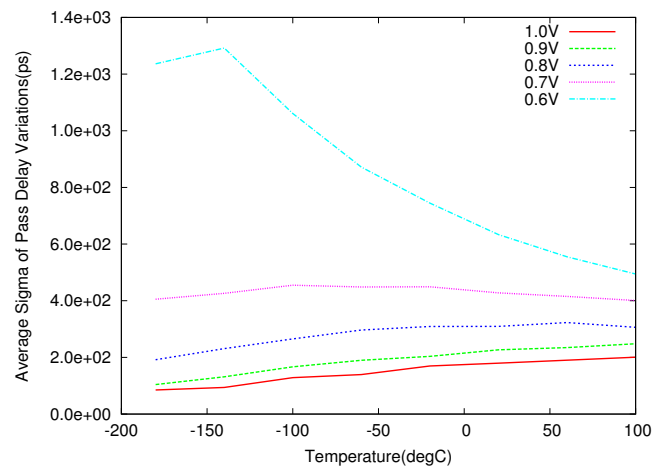


図 8 パス遅延のばらつきの平均標準偏差

6. 結論

本研究では、超低温用に評価回路を設計し、温度を変えた時のタイミング特性について評価して、ホールド違反率を算出した。実験結果から、温度が高くなるとホールド違反率は減少していくので、超低温動作回路を常温下で論理検証することは可能であることが分かった。また、低温時には違反率が高くなるため、超低温動作回路はホールド制約に通常以上に余裕を持った設計が必要になる。今後の課題として、別の回路による評価が挙げられる。また、違反率の算出に関して、チップ内ランダムばらつきだけでなくチップ間一様ばらつきについても考慮する必要があると考える。

7. 謝辞

本研究は主に NEC との共同研究による。

参考文献

- [1] Harris, D. M.: CMOS VLSI DESIGN A Circuits and Systems Perspective Fourth Edition, NEIL H.E. WESTE (2009).
- [2] Sakurai, T. and Newton, A. R.: Alpha-power law MOS-FET model and its applications to CMOS inverter delay and other formulas, *IEEE Journal of Solid-State Circuits*, Vol. 25, No. 2, pp. 584–594 (online), DOI: 10.1109/4.52187 (1990).
- [3] Xie, B., Li, B., Bi, J., Bu, J., Wu, C., Li, B., Han, Z. and Luo, J.: Effect of cryogenic temperature characteristics on 0.18- μ m silicon-on-insulator devices, *Chinese Physics B*, Vol. 25, No. 7, p. 078501.
- [4] Young, K. K. and Tsaur, B. Y.: Operation of SOI CMOS devices at liquid-nitrogen temperature, *IEEE Electron Device Letters*, Vol. 11, No. 3, pp. 126–128 (online), DOI: 10.1109/55.46955 (1990).
- [5] 丸善株式会社：理科年表 国立天文台編 (2009).
- [6] Banerjee, K. and Mehrotra, A.: Global (interconnect) warming, *IEEE Circuits and Devices Magazine*, Vol. 17, No. 5, pp. 16–32 (online), DOI: 10.1109/101.960685 (2001).