

# リークエネルギーを最小化する P/N 基板電圧の設定手法

岡村 陽介<sup>1,a)</sup> 石原 亨<sup>1</sup> 小野寺 秀俊<sup>1</sup>

概要：本稿では，リークエネルギーを最小化する基板電圧の設定手法を提案する．回路を所定の動作速度で動かした際のリークエネルギーは，nMOS トランジスタのしきい値電圧と pMOS トランジスタのしきい値電圧の組によって決まる．また，トランジスタのしきい値電圧は基板電圧によって調節可能である．本稿では，リークエネルギーを最小化する基板電圧の組を解析的に導出する．またリーク電流に対して感度の高いリングオシレータを用いてリーク電力最小の基板電圧を設定する手法を提案する．CMOS 65 nm プロセスを用いて設計された 32-bit RISC プロセッサの実測を行い，提案手法によってリークエネルギーが低減化できることを検証する．

## A Method of Tuning Back-Gate Bias for pMOSFET and nMOSFET Independently to Minimize Leakage Energy Consumption

OKAMURA YOSUKE<sup>1,a)</sup> TOHRU ISHIHARA<sup>1</sup> HIDETOSHI ONODERA<sup>1</sup>

**Abstract:** In this paper, we propose a method of tuning back-gate bias to minimize leakage energy consumption. Leakage energy consumed by circuits operating at certain speed is determined by combination of threshold voltage of nMOSFET and pMOSFET. Threshold voltage can be tuned by back-gate bias. We analyzed the conditions of back-gate bias to minimize leakage energy consumption. We also propose a method of tuning back-gate bias to minimize leakage energy consumption by using a ring oscillator driven by leakage current. Actual measurement for a 32-bit RISC processor designed with a 65-nm process demonstrate that the proposed method reduces leakage energy consumption.

### 1. 序論

情報化社会において，通信機器の普及と通信トラフィックの増大により機器による消費電力が増大し続けており，集積回路の省エネルギー化は重要な課題である．これまで製造プロセスの微細化は高性能化，省エネルギー化に大きな役割を果たしてきた．しかし，近年では微細化が進んだことにより回路で消費されるリークエネルギーが増大しており，その影響が無視出来ないものとなってきた．文献 [1] では，回路を最小エネルギーで動作をさせると，静的消費エネルギーは回路で消費される総エネルギーの最大 30% 程度になると述べられている．

電源電圧と温度が一定の環境において回路を所定の速度で動作させた際のリークエネルギーは，トランジスタのし

きい値電圧によって決まる．所定の速さを実現する nMOS トランジスタのしきい値電圧と pMOS トランジスタのしきい値電圧の組は複数存在する．また，トランジスタのしきい値電圧は，基板に与える電圧によって調整が可能である [2]．そこで nMOS トランジスタと pMOS トランジスタの基板電圧を独立に設定することでリークエネルギーを最小化することが出来る．文献 [3] では，サブスレッショルド領域において nMOS トランジスタのリーク電流と pMOS トランジスタのリーク電流の大きさが等しい時にリークエネルギーは最小化されると近似的に求められている．

本稿では，回路の動作領域ごとにリーク電流を最小化する条件を解析的に求め，先行研究で提案されている回路 [4] を用いてリークエネルギーを最小化する基板電圧の設定手法について提案を行う．本稿の構成を以下に示す．2 章では，回路で消費されるリークエネルギーを最小化する基板電圧条件について検討を行う．3 章では，リーク電流駆動

<sup>1</sup> 京都大学大学院情報学研究科

<sup>a)</sup> y-okamura@vlsi.kuee.kyoto-u.ac.jp

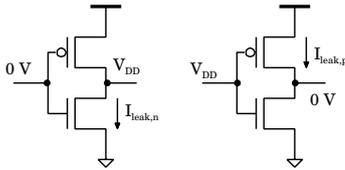


図 1 回路中のリーク電流.

のリングオシレータを用いてリークエネルギーを最小化する手法について説明を行う．4章では，32-bit RISC プロセッサで消費されるリークエネルギーについて測定を行い，提案手法によりリークエネルギーを低減化できるか検証を行う．5章で結論を述べる．

## 2. リークエネルギーを最小化する基板電圧条件

### 2.1 リークエネルギー最小化条件

回路の遅延  $D_t$  は立ち下がりの際の遅延時間  $D_n$  と立ち上がりの際の遅延時間  $D_p$  の和の形として式 (1) と表す．回路に流れるリーク電流  $I_{leak,t}$  は，図 1 のように nMOS トランジスタに流れるリーク電流  $I_{leak,n}$  と pMOS トランジスタに流れるリーク電流  $I_{leak,p}$  の和と考え，式 (2) と表す．ここで回路で消費されるリークエネルギーは式 (3) のように表すことが出来る．

$$D_t = D_n + D_p. \quad (1)$$

$$I_{leak,t} = I_{leak,n} + I_{leak,p}. \quad (2)$$

$$E_s = I_{leak,t} D_t V_{dd}. \quad (3)$$

pMOS トランジスタ，nMOS トランジスタそれぞれの基板電圧に対する FO4 インバータのリングオシレータのリークエネルギーと発振周期の関係を図 2 に示す．縦軸に pMOS 基板電圧  $V_{BBn}$ ，横軸に nMOS 基板電圧  $V_{BBp}$  をとっている．電源電圧  $V_{dd}$  は 0.4 V である．図 2 中の赤線が等リークエネルギー線，緑線が等遅延線を示している．与えられた遅延制約の下リークエネルギーを最小化する基板電圧の組  $(V_{BBp}, V_{BBn})$  は等遅延線と等リークエネルギー線が接する点である．よってリークエネルギー最小点では，二つの線の法線の傾きが等しいことから式 (4) が常に成り立ち，必要条件となる．

$$\frac{\frac{\partial E_s}{\partial V_{BBn}}}{\frac{\partial E_s}{\partial V_{BBp}}} = \frac{\frac{\partial D_t}{\partial V_{BBn}}}{\frac{\partial D_t}{\partial V_{BBp}}}. \quad (4)$$

ここでサブスレッショルドリーク電流は式 (5)，(6)，(7) で表される [5]．ただし  $n$  はサブスレッショルドスイング係数， $k_\gamma$  は基板バイアス係数， $\mu$  はキャリアの移動度， $C_{ox}$  は酸化膜容量， $W$  はゲート幅， $L$  はチャンネル長，また  $k_B$  をボルツマン定数， $q$  を素電荷， $T$  を動作温度として

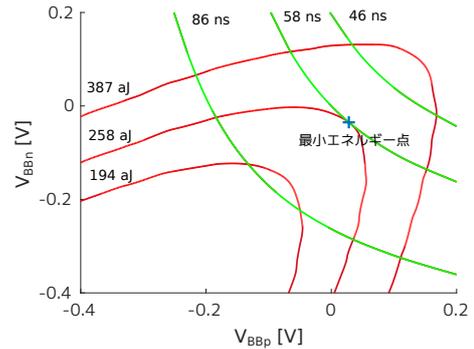


図 2  $V_{dd} = 0.4$  V FO4 インバータリングオシレータの等リークエネルギー線と等遅延線.

$v_T = k_B T / q$  である．nMOS トランジスタと pMOS トランジスタにおいて  $n$  と  $k_\gamma$  が等しいと仮定すると，式 (4) は式 (8) と書き直すことが出来る．

$$I_{leak} = I_{ds0} \exp\left(\frac{V_{gs} - V_{th}}{n v_T}\right) \left(1 - \exp\left(\frac{-V_{ds}}{v_T}\right)\right). \quad (5)$$

$$V_{th} = V_{th0} - k_\gamma V_{BB}. \quad (6)$$

$$I_{ds0} = \mu C_{ox} \frac{W}{L} v_T^2 \exp(1.8). \quad (7)$$

$$\frac{I_{leak,n}}{I_{leak,p}} = \frac{\frac{\partial D_n}{\partial V_{BBp}}}{\frac{\partial D_p}{\partial V_{BBn}}}. \quad (8)$$

### 2.2 強反転領域におけるリークエネルギー最小化条件

$V_{dd} \gg V_{th}$  の時，回路の立ち下がり遅延時間  $D_n$  は  $\alpha$  乗則 [6] を用いて式 (9) に表される．

$$D_n = \frac{k_n V_{dd}}{V_{DT}^\alpha}. \quad (9)$$

$k_n$  は比例定数で，nMOS トランジスタの無バイアス時のしきい値電圧を  $V_{th0}$  として  $V_{DT,n} = V_{dd} - V_{th0,n} + k_\gamma V_{BBp}$  とする．また立ち上がり遅延時間  $D_p$  についても同様の式で表すことができるとする．これを式 (8) に代入しリーク電流について求めると式 (10) の形で表すことができる．

$$\frac{I_{leak,n}}{I_{leak,p}} = \frac{k_n}{k_p} \left(\frac{V_{dd} - V_{th0,p} + k_{\gamma,p} V_{BBp}}{V_{dd} - V_{th0,n} + k_{\gamma,n} V_{BBn}}\right)^{\alpha+1}. \quad (10)$$

$V_{dd} \gg V_{th}$  の条件を考えれば，pMOS トランジスタのリーク電流と nMOS トランジスタのリーク電流の比  $I_{leak,n}/I_{leak,p}$  は，式 (11) と近似出来る．

$$\frac{I_{leak,n}}{I_{leak,p}} = \frac{k_n}{k_p}. \quad (11)$$

$k_n/k_p$  は  $\mu_p W_p / \mu_n W_n$  に比例することからリーク電流比も  $\mu_p W_p / \mu_n W_n$  に等しくなる．

### 2.3 しきい値近傍電圧におけるリークエネルギー最小化条件

$V_{dd} \simeq V_{th}$  の時，回路の立ち下がり遅延時間  $D_n$  は式 (12)

で表される [7] .

$$D_n = k_n V_{dd} \exp(-k_1 V_{DT} - k_2 V_{DT}^2). \quad (12)$$

ただし  $k_1, k_2$  はそれぞれ比例定数である .  $k_1, k_2$  の値が nMOS トランジスタと pMOS トランジスタで等しいとし ,  $V_{DT} \sim 0$  と近似と行うと式 (8) からリークエネルギーを最小化する条件として式 (13) が得られる .

$$\frac{I_{leak,n}}{I_{leak,p}} = \frac{k_n}{k_p}. \quad (13)$$

#### 2.4 弱反転領域におけるリークエネルギー最小化条件

$V_{dd} < V_{th}$  の時 , 回路の立ち上がり遅延時間  $D_n$  は式 (14) と表される [7] .

$$D_n = k_n V_{dd} \exp\left(-\frac{V_{DT}}{n v_T}\right). \quad (14)$$

式 (14) を式 (8) に代入することによりリークエネルギーを最小化する条件として式 (15) が得られる .

$$\frac{I_{leak,n}}{I_{leak,p}} = \frac{k_n}{k_p} \exp\left(\frac{V_{thp} - V_{thn}}{n v_T}\right). \quad (15)$$

ここで  $V_{thp} \simeq V_{thn}$  の仮定を行うとリークエネルギーを最小化する条件は式 (16) となる .

$$\frac{I_{leak,n}}{I_{leak,p}} = \frac{k_n}{k_p}. \quad (16)$$

#### 2.5 リークエネルギー最小化条件の検証

前節では , リークエネルギーを最小化する nMOS トランジスタと pMOS トランジスタのリーク電流比について求めた . 本節では , nMOS トランジスタと pMOS トランジスタのリーク電流比が最適ではない場合にどの程度のエネルギー損失が起こりうるかをシミュレーションにより検討を行う .

シミュレーションは , 商用 65 nm プロセスを仮定し行った . FO4 のインバータと , 2 入力 NAND , 2 入力 NOR のリングオシレータを用いた . 全ての素子で nMOS トランジスタのゲート幅  $W_n$  は 400 nm , pMOS トランジスタのゲート幅  $W_p$  は , 600 nm である . 電源電圧は  $V_{dd} = 0.4$  V と  $V_{dd} = 1.2$  V とした . シミュレーションは , はじめにそれぞれのリングオシレータが TT 条件 , 無バイアスで 25

の時の発振周波数を調べた . 次にそれぞれのリングオシレータが , 先ほど調べた周波数になるよう nMOS トランジスタと pMOS トランジスタの基板電圧を独立に調整した . それぞれのリングオシレータに流れるリーク電流と周期からリークエネルギーを算出し , 様々な基板電圧条件におけるリークエネルギーを調べた . なお 2 入力 NAND と 2 入力 NOR は図 3 のように , 入力の片側の電位を固定させ , プルアップとプルダウンをインバータ同様 1 つのパスで行うようにした .

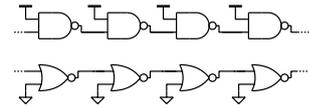


図 3 2 入力 NAND , 2 入力 NOR リングオシレータ .

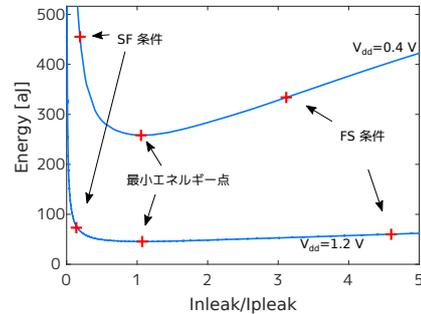


図 4 インバータから構成されるリングオシレータのリーク電流比とリークエネルギーの関係 .

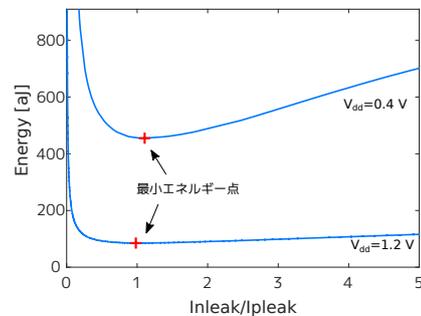


図 5 NAND2 から構成されるリングオシレータのリーク電流比とリークエネルギーの関係 .

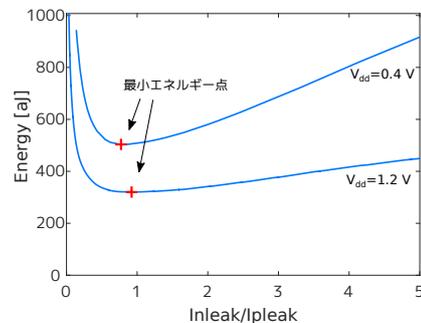


図 6 NOR2 から構成されるリングオシレータのリーク電流比とリークエネルギーの関係 .

リーク電流  $I_{leak,n}$  ,  $I_{leak,p}$  における比  $I_{leak,n}/I_{leak,p}$  に対するリングオシレータで消費されたリークエネルギーをそれぞれのリングオシレータで調べた . 結果を図 4 , 図 5 , 図 6 に示す . 図 4 の結果より , インバータでは ,  $V_{dd} = 0.4$  V では ,  $I_{leak,n}/I_{leak,p}$  の値が 1.05 の時リークエネルギーは 258 aJ となりリークエネルギーが最小となることがわかった . 2 入力 NAND では ,  $I_{leak,n}/I_{leak,p}$  の値が 1.11 の時 , リークエネルギーが 455 aJ , 2 入力 NOR では  $I_{leak,n}/I_{leak,p}$  の値が 0.77 の時 , 504 aJ でそれぞれリークエネルギーが最小になった . また  $V_{dd} = 1.2$  V の時は , インバータで

は、 $I_{leak,n}/I_{leak,p}$  の値が 1.07 の時、2 入力 NAND では、 $I_{leak,n}/I_{leak,p}$  の値が 0.98 の時、2 入力 NOR では 0.93 の時にリークエネルギーが最小になった。今回は 3 つのリングオシレータでプルアップとプルダウンを行うパスを 1 つに統一させているため、式 (11)、(16) の右辺が等しい値となる。今回行ったシミュレーションでは、それぞれのリングオシレータでリークエネルギー最小をとる  $I_{leak,n}/I_{leak,p}$  の値がいずれも 1 の近傍になっていることが確認できる。

以下回路中の  $I_{leak,n}$  に関する nMOS トランジスタの数と pMOS トランジスタの数は同程度であるという仮定の下、インバータから構成されるリングオシレータのリークエネルギーについて考察を行う。リーク電流はしきい値電圧に対して指数的に増大するため、同じ発振周波数の時のリークエネルギーの比較を行った場合に nMOS トランジスタと pMOS トランジスタのしきい値電圧の差が大きい場合にはリークエネルギーも大きくなる。

ここで、nMOS トランジスタと pMOS トランジスタで同じ量の基板バイアス電圧を加えて回路の動作速度の補償を行う場合に、どの程度リークエネルギーの損失が起こりうるかについて検証を行った。最悪な場合としてコーナー条件の FS 条件と SF 条件から補償を行った場合を調べた。FS 条件から補償を行った場合、 $V_{dd} = 0.4 \text{ V}$  では、 $I_{leak,n}/I_{leak,p}$  の値は 3.06 となった。この時、リングオシレータで消費されるリークエネルギーは 330 aJ である。また SF 条件から補償を行った場合、 $I_{leak,n}/I_{leak,p}$  の値は 0.19 となった。この時、リングオシレータで消費されるリークエネルギーは 451 aJ である。 $V_{dd} = 1.2 \text{ V}$  では、FS 条件から補償を行った場合、 $I_{leak,n}/I_{leak,p} = 4.79$  で 61.14 aJ、SF 条件から補償を行った場合、 $I_{leak,n}/I_{leak,p} = 0.15$  で 73.1 aJ となった。従って nMOS トランジスタと pMOS トランジスタを基板電圧を共通に設定する場合、最大 70% 程度のエネルギー損失が生じることが考えられる。

### 3. リーク電流駆動リングオシレータを用いたリーク電流比の調整

#### 3.1 リーク電流駆動リングオシレータの特性

本稿では、リーク電流駆動のインバータで構成されるリングオシレータを用いて nMOS トランジスタ、pMOS トランジスタのリーク電流比を所定の比に調節する手法について検討する。文献 [4] で提案されている図 7 のモニタ回路は、C0, C1 に適切な信号値を設定することで、nMOS トランジスタ、pMOS トランジスタのリーク電流を用いて駆動を行う構成にすることが出来る。例えば C0, C1 共に 0 V を与えると、プルアップは標準的なインバータと同様に行い、プルダウンは nMOS トランジスタのリーク電流によって行われる構成になる。モニタに与える信号とその構成の名称を表 1 にまとめる。以下表 1 の名称を用いる。

nMOS リーク構成または pMOS リーク構成のみを用い

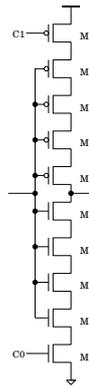


図 7 リークモニタ回路。

表 1 C0, C1 に設定する信号とその構成。

(C0, C1)	構成
00	nMOS リーク構成
11	pMOS リーク構成
10	標準インバータ構成
01	不使用

てリングオシレータを構成した場合それぞれ nMOS トランジスタ、pMOS トランジスタのリーク電流を用いてプルアップ、プルダウンを行う際の遅延時間がリングオシレータ全体の遅延時間に対して支配的となる。リーク電流で駆動を行う時の遅延時間  $D_{leak}$  を式 (17) で近似すると、リングの発振周波数  $f$  は、比例定数  $a$  を用いて式 (18) と表すことが出来る。

$$D_{leak} \sim \frac{CV_{dd}}{I_{leak}} \quad (17)$$

$$f = aI_{leak} \quad (18)$$

従って nMOS リーク構成の周波数を  $f_n$ 、pMOS リーク構成の周波数を  $f_p$  とおくと、それぞれの比例定数  $a_n$ 、 $a_p$  を用いて式 (19) として周波数比からリーク電流の比を求めることが可能である。

$$\frac{f_n}{f_p} = \frac{a_n}{a_p} \times \frac{I_{leak,n}}{I_{leak,p}} \quad (19)$$

$a$  は主にリングの段数やリーク電流で駆動する時の負荷容量によって決まる。図 7 のモニタ回路を用いてリングオシレータを構成した場合、nMOS トランジスタ、pMOS トランジスタのゲート幅を等しくした場合、 $a$  の値は nMOS リーク構成と pMOS リーク構成で等しいと考えられる。そこでリーク構成のリングオシレータの発振周波数とリーク電流の関係を計算機シミュレーションにより評価した。リークモニタに使用したトランジスタのゲート幅は、nMOS トランジスタ、pMOS トランジスタで等しい値とし、同じゲート幅の nMOS トランジスタ、pMOS トランジスタに流れるリーク電流量を求める。変数として nMOS トランジスタ、pMOS トランジスタ一方の基板電圧を変化させ、リングオシレータの周波数とトランジスタに流れるリーク電流を調べる。このときリングオシレータのもう一方のトランジスタは無バイアスに設定した。基板電圧は nMOS トランジスタ、pMOS トランジスタともにフォワードバイアスを正方向として、0.0 V から -0.4 V までを調べた。電源電圧  $V_{dd} = 0.4 \text{ V}$  の時の結果を図 8 に示す。無バイアス状態で nMOS トランジスタ、pMOS トランジスタのし

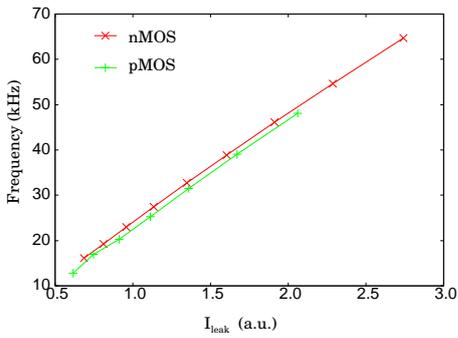


図 8 リークモニタのリーク構成の発振周波数とリーク電流の関係.

きい値電圧の違いはあるものの、二つのリーク構成のリングオシレータの発振周波数が等しくなる時に、nMOS トランジスタ、pMOS トランジスタ共に同程度のリーク電流が流れることが確認出来た。以上の結果から式 (18) を用いて nMOS リーク構成の周波数を  $f_n$ 、pMOS リーク構成の周波数を  $f_p$  とおくと、式 (20) と求めることができる。

$$\frac{f_n}{f_p} = \frac{I_{leak,n}}{I_{leak,p}} \quad (20)$$

以上より図 7 の nMOS トランジスタ、pMOS トランジスタのリーク構成から構成されるリングオシレータの周波数の比を調節することで nMOS トランジスタと pMOS トランジスタのリーク電流比を任意の比に調整することができる。

### 3.2 リーク電流駆動リングオシレータを用いたリークエネルギー最小化

等しいゲート幅をもつ nMOS トランジスタと pMOS トランジスタに流れるリーク電流の比は、式 (20) よりリーク電流比が調整可能である。この回路を用いて、特定の回路のリーク電流の比を制御する場合には、その回路のリーク電流に関するトランジスタ数やゲート幅の違いを考慮する必要がある。 $I'_{leak,n}$ 、 $I'_{leak,p}$  が流れるパスの本数をそれぞれ  $n_{leak,n'}$ 、 $n_{leak,p'}$  とおき、 $I'_{leak,n}$ 、 $I'_{leak,p}$  が流れるトランジスタのゲート幅の平均をそれぞれ  $\overline{W}_n$ 、 $\overline{W}_p$  と表すとすると、前節のリーク電流駆動リングオシレータを用いて式 (21) に従って回路のリーク電流比を調整できる。

$$\frac{I'_{leak,n}}{I'_{leak,p}} = \frac{n_{leak,n'} \overline{W}_n f_n}{n_{leak,p'} \overline{W}_p f_p} \quad (21)$$

## 4. 32-bit RISC プロセッサを用いたリーク電流比制御の検証

この章では、2 章、3 章での検討を元に 32-bit RISC プロセッサで消費されるリークエネルギーをリーク電流駆動のリングオシレータを用いて低減化する手法について述べる。

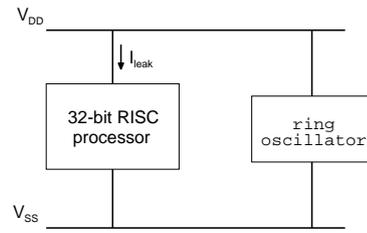


図 9 測定環境概念図.

### 4.1 測定環境

測定の対象として CMOS 65 nm 32-bit RISC プロセッサのコアとメモリに流れるリーク電流を測定した。図 9 に測定環境の概念図を示す。実際のプロセッサの動作速度は、プロセッサ中のクリティカルパスによって決定されるものである。式 (8) が示すように、回路の動作速度の基板電圧感度はリークエネルギー最小となる  $I_{leak,n}$  と  $I_{leak,p}$  の値に影響を与える。本稿では、簡単のため、リングオシレータの発振周期が様々な基板電圧設定に対してプロセッサのクリティカルパス遅延を模擬すると仮定する。上記リングオシレータには、図 7 を標準構成に設定して 31 段リング状に接続した回路を用いた。トランジスタのゲート幅は nMOS トランジスタ、pMOS トランジスタともに 400 nm で共通である。またリングオシレータの発振周期と測定したリーク電流量からプロセッサのリークエネルギーを算出した。次に上記リングオシレータの nMOS リーク構成と pMOS リーク構成を用いて、プロセッサに流れるリーク電流比の調整を行う。今回は、プロセッサ回路中において  $I_{leak,n}$  と  $I_{leak,p}$  に関係するパスの本数は等しいと仮定し、また nMOS トランジスタのゲート幅の平均と、MOS トランジスタのゲート幅の平均の比  $\overline{W}_{n,t}/\overline{W}_{p,t}$  が 1/1.5 であるとする。この値を用いて式 (21) からリーク電流駆動リングオシレータの周波数の比とプロセッサに流れるリーク電流比の変換を行う。電源電圧  $V_{dd}$  は、0.4 V としてサブスレッショルド領域の測定を行った。プロセッサに流れるリーク電流の比  $I_{leak,n}/I_{leak,p}$  は式 (15) の時に最小になる。トランジスタの電流特性から  $V_{thp} \approx V_{thn}$ 、また  $\mu_p/\mu_n = 1/1.5$  であるとした。今回回路動作速度と考えるリングオシレータについて  $W_n = W_p$  が成り立つため、式 (16) から  $I_{leak,n}/I_{leak,p} = 1/1.5$  でリークエネルギーが最小となると予想し基板電圧の設定を行う。そこで今回はリーク電流駆動のリングオシレータの周波数比  $f_n/f_p$  の目標値を 1 とし基板電圧を設定する。

### 4.2 実測結果

図 10 に基板電圧の設定に用いたリングオシレータの基板電圧に対する周波数特性を示す。横軸は nMOS トランジスタ、pMOS トランジスタの基板電圧をとり、縦軸はそれぞれのリーク電流駆動リングオシレータの周波数をとっている。ここで nMOS リーク構成では pMOS トランジス

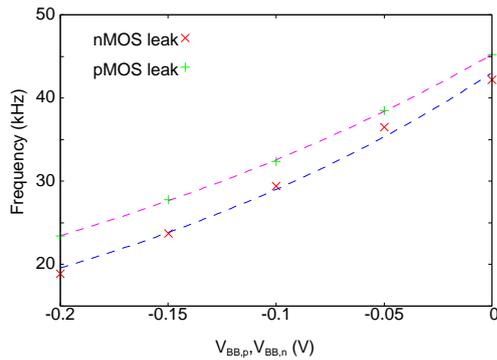


図 10 リーク電流駆動リングオシレータの発振周波数.

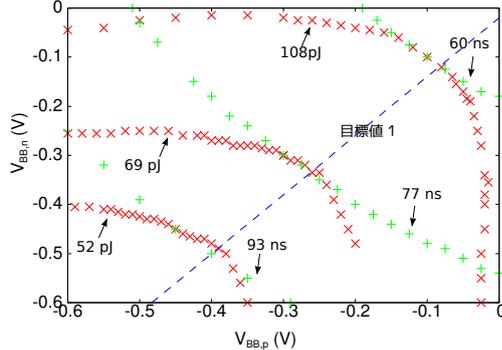


図 11 32-bit RISC プロセッサの等遅延線と等リークエネルギー線とリーク電流駆動リングオシレータの周波数比  $f_n/f_p$  の目標値を 1 とした時の基板電圧条件.

タの基板電圧は無バイアスとし、pMOS リーク構成では nMOS トランジスタの基板電圧を無バイアスとした。実際には、オン電流でプルアップ、プルダウンを行うトランジスタの基板電圧によってリーク電流駆動リングオシレータの発振周波数は変化する。しかし今回はリーク電流でプルアップ、プルダウンを行うトランジスタの基板電圧による周波数変化が支配的であると考え、図 10 の測定結果を元に基板電圧の設定を行った。この時式 (5) と式 (18) より、発振周波数を定数  $A, B$  を用いて、最小二乗法より基板電圧の関数  $A \exp(Bx)$  にフィッティングを行い、これを基板電圧に対する周波数特性として用いた。

図 11 は、nMOS トランジスタの基板電圧  $V_{BB,p}$  と pMOS トランジスタの基板電圧  $V_{BB,n}$  に対して  $(V_{BB,p}, V_{BB,n}) = (-4.5 \text{ V}, -4.5 \text{ V}), (-3.0 \text{ V}, -3.0 \text{ V}), (-0.1 \text{ V}, -0.1 \text{ V})$  の 3 点におけるプロセッサの等遅延となる基板電圧と等リークエネルギーとなる基板電圧の点をプロットしたものである。また図 10 の結果を元に、リーク電流駆動リングオシレータの周波数比  $f_n/f_p$  が目標値 1 になる基板電圧条件を示している。今回の測定環境では、等エネルギー線と等遅延線の概形から目標値 1 の時、リークエネルギー最小化する基板電圧設定の近傍にあるとわかる。

## 5. 結論

本稿では、まず電源電圧の値による動作領域ごとに、リークエネルギーを最小化する基板電圧の設定指針を示した。

またリークエネルギー最小点からずれた場合に、どの程度リークエネルギーを損失するかをシミュレーションを用いて評価を行った。pMOS トランジスタと nMOS トランジスタの基板電圧を共通に設定した場合、プロセスばらつきによっては最小リークエネルギーよりも最大 60% 多くのエネルギーを消費する可能性があることがわかった。また先行研究で提案された、リーク電流で駆動するリングオシレータを用いて発振周波数からリーク電流比を調節する手法について提案を行った。最後に、簡単な近似を行い 32-bit RISC プロセッサのリーク電流比を提案手法を用いて調節することで、リークエネルギー最小点近傍に補償できることを確認した。

## 謝辞

本研究は JSPS 科研費 (16H01713) による支援によって行われた。本研究は東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社、日本ケイデンス株式会社、メンター株式会社の協力で行われた。実験に用いた 32-bit RISC プロセッサとリーク電流駆動リングオシレータは、塩見準氏と保木本修氏の設計による。

## 参考文献

- [1] K. Nose and T. Sakurai, "Optimization of VDD and VTH for Low-power and High Speed Applications," in *Proceedings of Asia and South Pacific Design Automation Conference*, ser. ASP-DAC '00. New York, NY, USA: ACM, 2000, pp. 469–474.
- [2] J. Tschanz, J. Kao, S. Narendra, R. Nair, D. Antoniadis, A. Chandrakasan, and V. De, "Adaptive Body Bias for Reducing Impacts of Die-to-Die and Within-Die Parameter Variations on Microprocessor Frequency and Leakage," *IEEE Journal of Solid-State Circuits*, vol. 37, no. 11, pp. 1396–1402, Nov 2002.
- [3] S. Hanson, B. Zhai, M. Seok, B. Cline, K. Zhou, M. Singhal, M. Minuth, J. Olson, L. Nazhandali, T. Austin, D. Sylvester, and D. Blaauw, "Exploring variability and performance in a sub-200-mv processor," *IEEE Journal of Solid-State Circuits*, vol. 43, no. 4, pp. 881–891, April 2008.
- [4] A. Islam, J. Shiomi, T. Ishihara, and H. Onodera, "Wide-Supply-Range All-Digital Leakage Variation Sensor for On-Chip Process and Temperature Monitoring," *IEEE Journal of Solid-State Circuits*, vol. 50, no. 11, pp. 2475–2490, Nov 2015.
- [5] B. J. Sheu, D. L. Scharfetter, P. K. Ko, and M. C. Jeng, "BSIM: Berkeley short-channel IGFET model for MOS transistors," *IEEE Journal of Solid-State Circuits*, vol. 22, no. 4, pp. 558–566, Aug 1987.
- [6] T. Sakurai and A. Newton, "Alpha-power law MOSFET model and its applications to CMOS inverter delay and other formulas," *IEEE Journal of Solid-State Circuits*, vol. 25, no. 2, pp. 584–594, Apr 1990.
- [7] S. Keller, D. Harris, and A. Martin, "A Compact Transregional Model for Digital CMOS Circuits Operating Near Threshold," *IEEE Transactions on Very Large Scale Integration Systems*, vol. 22, no. 10, pp. 2041–2053, Oct 2014.