ナノフォトニクスを用いた高速多入力論理演算の実現法

江川 $5^{1,a}$ 石原 9^1 小野寺 秀俊¹ 新家 昭彦^{2,3} 北 翔太^{2,3} 野崎 謙悟^{2,3} 高田 健太^{2,3} 納富 雅也^{2,3}

概要: CMOS 回路で構成する S 入力論理ゲートの遅延はおよそ S の 2 乗に比例する. 一方で,光回路に よる S 入力論理ゲートの遅延は光路長に比例し,出力信号強度は S の指数に比例して減衰する. 本稿では 木構造に基づき,高速な多入力論理演算を実現する光回路の構成法を提案し,入力数の増加にともなう遅 延増大や光強度の減衰等の問題を緩和する. 次に,提案する光論理回路の演算時間を最小化する条件を示 す.最後に提案手法による設計例を示しその効果を確認する.

A Method for Designing High-Speed Large Fan-In Logic Functions with Nanophotonic Technologies

Takumi Egawa^{1,a)} Tohru Ishihara¹ Hidetoshi Onodera¹ Akihiko Shinya^{2,3} Shota Kita^{2,3} Kengo Nozaki^{2,3} Kenta Takata^{2,3} Masaya Notomi^{2,3}

Abstract: The delay of S-input logic gate based on a CMOS structure is proportional to the square of S. In case of optical logic circuits, it is proportional to S. The signal-power degradation characteristics for CMOS and optical gates are quite different from each other. This paper proposes a method for designig high-speed large fan-in logic functions with nanophotonic technologies, which mitigates several issues introduced by the optical logic gates. This paper provides conditions for minimizing the delay of optical logic operations. In the last, several examples demonstrate the advantage of the optical logic circuits designed by the proposed method compared with the CMOS-based logic circuits.

1. はじめに

トランジスタの微細化により LSI はその登場以来めざま しい発展を遂げてきた.これは、トランジスタを微細化す ることで、遅延や消費電力の低減、単位面積あたりのトラ ンジスタ数の増加が同時に見込まれたためである.しかし、 近年では微細化にともなう配線遅延やリーク電流の増加が 無視できないほど大きくなっていることに加え、製造工場 建設費や設計コストの増大の問題が深刻化しており、微細 化によるトランジスタの性能向上は限界を迎えつつある.

その一方, 光コンピューティング分野では, 光スイッチ や光配線を LSI のように集積化する光集積回路に関する 研究が活発化している.この背景には, フォトニック結晶 を代表とするナノフォトニクス技術の急速な発展がある. フォトニック結晶とは, 特定の周波数で光が特定の方向に 伝搬することのないフォトニックバンドギャップを有する 周期的構造の人工結晶である [1]. 半導体のトランジスタの ように,フォトニック結晶はその屈折率を変調することで 光の ON/OFF スイッチングや方向制御を可能にする.ま た,光集積回路では,信号伝搬遅延は CMOS のように抵 抗 (R) や静電容量 (C) によらず光路長によって決まる.現 在では,10 μm オーダの素子長かつ 100 fs オーダの遅延を 実現するデバイスが開発されており,CMOS 回路より高速 な動作を実現している [2].

近年では、2048 ビットの特徴情報に基づく手のひらの静脈認証 [3] や虹彩認証 [4],エントリ長 2189 バイトのウィルス検出 [5] が行われており、入力数が極めて多いパターンマッチングに対する需要が高まりつつある. CMOS 論理ゲートを用いて N 入力論理演算を行うことを考える. 以降では論理ゲートの入力数を S とする. S = N の論理ゲートを用いると、MOS の縦積み構造に起因する CR 遅延により、およそ N の 2 乗に比例した遅延が発生することに加え、信号遷移が遅くなることで回路内部での過渡的な消費電力が増える. そのため CMOS 回路で多入力論理演算を行う場合には、S が 2 から 4 程度の論理ゲートが木状に

¹ 京都大学大学院情報学研究科

² NTT ナノフォトニクスセンタ

³ NTT 物性科学基礎研究所

 $^{^{}a)}$ egawa-takumi@vlsi.kuee.kyoto-u.ac.jp

接続する手法が知られており,その遅延は log_SN に比例 する [6]. 一方光集積回路では,計算時間は素子長に比例す るため,論理ゲートの遅延は論理ゲートの入力数 S に比例 する.ここで S = N とすると N が小さい場合には,フォ トニック結晶デバイスの遅延時間が CMOS に比べ非常に に小さいため CMOS 回路よりも高速に計算できることが 多いが,Nの増大にとともに計算時間のオーダの差異によ り両者の遅延は同程度となり最終的に CMOS 回路の方が 高速に動作する.本稿では,ナノフォトニクスを用いて多 入力論理演算をより効率的に計算する手法を提案する.次 に,提案手法による多入力論理演算の計算時間を最小化す る条件を示す.

本稿の構成を以下に示す.第2章では本項で用いるナノ フォトニクス技術および,ナノフォトニクスを用いた従来 の論理演算手法を紹介する.第3章では,ナノフォトニク スを用いた提案多入力論理演算手法を述べ,遅延最小とな る条件を示す.第4章では提案手法の設計例を示す.最後 に第5章で結論を述べる.

2. ナノフォトニクスと論理演算

2.1 光パスゲートの定義

光パスゲートとは、フォトニック結晶を用いて光の ON/OFF スイッチングを行ったり、光の進路を変更する素 子である [7]. 本項で対象とする光パスゲートには、電界吸収 型光変調器 (Electro Absorption Modulator,以下 EAM), リング共振器およびマッハツェンダ干渉計 (Mach-Zehnder Interferometer,以下 MZI) がある.

2.2 電界吸収型光変調器 (EAM) を用いた AND 演算

EAM は,制御端子に電圧を印加して半導体中の光吸収 係数を変化させることで,電圧による光変調を行う素子で ある.制御端子にしきい値を超える電圧を印加した場合に は光を通し,しきい値を超えない電圧を印加した場合に は光を通さない光の ON/OFF スイッチとして機能する. 図1のように EAM の光出力端子を次段の EAM の光入力 端子に接続し,各 EAM の制御端子に AND 演算の入力を 与えることで,入力に対する AND 演算を行うことができ る.初段の EAM に入力した光が終段から出力される条件 は,全ての EAM の制御端子にしきい値を超える電圧を印 加することである.このとき,与えた入力の論理値は全て 1 であるため終段の EAM の光出力は AND 演算結果に等 しい.

2.3 リング共振器を用いた **OR** 演算

リング共振器は、特有の共振波長を持つリング状の素子





図 2 リング共振器による OR 演算回路.

である.光の波長に応じて振る舞いが異なるため,特定の 波長の光の進行方向を制御したり,特定の波長の光のみを 通過させる波長フィルタの機能を持つ.それぞれ共振波長 の異なるリング共振器を図2のように接続し,各リング共 振器に共振する波長の光を入力して OR 演算を行う手法が 提案されている [8].本稿で用いるリング共振器は,図2の ように共振する光の進路を直角に曲げ,共振しない光はそ のまま直進させると仮定する.この場合,図2上部から入 力された光はただ一つの共振するリング共振器により進路 を直角に曲げられ,その他のリング共振器では直進する. よって全ての入力光は図2の水平導波路にまとめられる. 水平導波路から光が出力されるのは少なくとも1つのリン グ共振器に光が入力された場合であるため,水平導波路の 出力は OR 演算結果に等しい.

このような複数の波長を用いる伝送方式は波長多重方式 と呼ばれ,互いに干渉し合わない複数の波長の光を用いる ことで光信号の多重化を可能にする.一方,図3のような Y字合流素子に複数の同一波長の光を入力するだけでは正 しく OR 演算ができない.なぜなら,Y字合流の際の反 射や散逸によりエネルギー損失が大きくなることに加え, 誤った論理値を出力する恐れがあるためである.信号強度 が a W 以上の光を論理値1,信号強度が a W 未満の光を 論理値0とし,Y字合流素子に論理値1の光を入力すること を考える.この時,論理値1の光が合波する一方で,光の 干渉により打ち消し合うことで見かけの信号強度が a W 未満になり,出力の論理値が0になり正しく OR 演算がで きない恐れがある.

2.4 マッハツェンダ干渉計 (MZI) を用いた XNOR 演算

MZI は入力光を分波させ、分波させた 2 つの光の位相速 度を位相シフタを用いてそれぞれ変調し、その後に合波さ せた際の位相差による干渉を利用して光を制御する素子で ある. 図 4 のような、位相シフタに入力の論理値を与えて 位相速度変調量を制御する MZI により XNOR 演算ができ る. まず、MZI は入力光を等しい強度で 2 つに分波する. その後、位相シフタによってそれぞれの光の位相速度を変 調する. 位相速度の異なる 2 つの光が導波路を並進すると 合波する際には位相差が生じる. ここで、2 つの位相シフ タへの入力の論理値をそれぞれ x, y とし、論理値が 0 の場 合には位相速度を変調せず、論理値が 1 の場合には合波の 際に位相速度が変調されなかった光に対して位相が半波長 シフトされるように位相速度を変調する. 合波の際には、 x = y ならば 2 つの光は同位相となり強めあって出力され



るが, $x \neq y$ ならば位相が半波長ずれて弱めあうため光は 出力されない.よって, MZI の出力は $x \ge y$ の XNOR 演 算結果と等しい.

ビット列 $X(X_1...X_N)$ と $Y(Y_1...Y_N)$ が完全に一致して いるかを判定することを完全一致パターンマッチング (以下パターンマッチング)と呼ぶ.パターンマッチング は合成関数 AND_{XNOR} や OR_{XOR} 等で実現できる. ここ \mathcal{C} , AND_{XNOR} = AND($A_1, ..., A_N$), A_k = XNOR(X_k, Y_k) であり、 $OR_{XOR} = OR(B_1, ..., B_N), B_k = XOR(X_k, Y_k)$ で ある.図5のようにMZIのようなXNOR回路を多数段接 続することで, AND_{XNOR} 演算によるパターンマッチング 回路を構成する手法が提案されている [8]. 初段の XNOR 回路に入力された光が終段の XNOR 回路から出力される のは、接続された全ての XNOR 回路が光を通過させる場 合である.これは、ビット列XとYが完全一致した場合 であるため終段の XNOR 回路の出力はパターンマッチン グの判定結果と等しい. また, OR_{XOR} は図 2 のリング共 進器の入力に X と Y の XOR 演算結果を入力する等の手 法で実現できる. XOR 演算は例えば図4の MZIの一方の 位相シフタ入力の論理値を反転すると実現できる.

2.5 光検出器

光検出器は受光した光を電気信号に変換する素子である. フォトニック結晶を用いた光検出器では内部容量 0.6 fF, 素子長 1.7 μm で 40 GHz で動作する光検出器が開発され ている [9].

2.6 光パスゲートの接続と多数段の接続の問題点

図6のように光パスゲートの光出力端子と次段の光パス ゲートの光入力端子を接続する手法をシリアル接続,光パ スゲートの光出力端子と次段の光パスゲートの制御端子を 光検出器による光電変換をともなって接続する手法をカス ケード接続と定義する.シリアル接続では光は光速で伝搬 する一方で,カスケード接続では一般に光電変換にともな う遅延が光パスゲート1段あたりの伝搬遅延と比べてはる



かに大きいため,光の高速性を活用できない.そのため光 集積回路の高速性を活用する目的ではシリアル接続を主体 として構成することが一般に推奨される.

ただし極端に段数の多いシリアル接続を用いることは複 数の要因から実用的ではない.第1章で述べたように光の 伝搬時間がシリアル接続段数に比例することに加え、光の 信号強度はシリアル接続段数の指数に比例して減衰する. 例えば、1段あたり光が1dB減衰する光パスゲートを100 段シリアル接続した回路に光を入力すると、出力光は入力 光に対し100 dB 減衰する. 出力光信号強度が極端に小さ いと、信号検出の時間が非常に増大したり、ノイズにより 誤動作する恐れがある.また.2.3節で述べたような波長 多重方式による OR 演算では、出力の消光比の劣化が問題 になる. ここで, 出力の消光比とは, OR 回路において全 ての入力が合波しない際の出力光信号強度に対する,1つ の入力のみが合波する際の出力光信号強度の比である. 言 い換えると, OR 回路の出力論理値0の際の出力光信号強 度に対する,ただ1つの入力のみが論理値1である最も信 号強度の弱い出力論理値1の出力信号強度の比である.合 波の際のパワー結合効率を α とし, OR 回路の入力数を N とし、光パスゲートのシリアル接続段数 S が N と等しい とすると出力の消光比は式(1)で表される.

$$\frac{\alpha + (1 - \alpha) \times (N - 1)}{(1 - \alpha) \times N} \tag{1}$$

入力数が増大すると出力の消光比は劣化し1に近付く. さ らに,波長多重方式による OR 演算では,入力数と同じ波長 数の光が必要になる.光回路に使用することのできる光の 波長帯域幅が限定される場合には,入力数が増大すると入 力1つあたりの波長帯域幅は狭くなる.そのため,入力数 が増大するとスペクトル幅の狭い光つまり,Q値(Quality factor)の高い光を用意する必要があるため実装コストが高 くなる.

3. 高効率多入力論理演算の実現法

3.1 木構造による多入力論理演算の実現

2章で述べたとおり、入力数が非常に大きい多入力論理 演算は、1)遅延増大、2)信号強度劣化、3)消光比劣化、4) 使用波長数増大の問題をともなう.これらの問題を緩和す るため、本稿では図7のように、多数段のシリアル接続を 分割して構成したS入力論理ゲートを、光検出器によるカ スケード接続で多段化して木構造とする手法を提案する. ここで、計算の簡単のため論理ゲートの入力数Sつまり、 光パスゲートのシリアル接続段数は全て均一であり、光が 光パスゲートを伝搬する時間は τ_{gate} で均一であって、全



図 7 木構造による多入力 AND 回路.

てのカスケード接続部の光電変換時間も _{TOEO} で均一であ ると仮定する.また、本節で提案する手法は多入力 AND や多入力 XOR など1種類の論理で実現できる関数に適用 できる.

論理ゲートの入力数を N とし, 論理ゲートの段数を M とすると, 演算遅延 D は式 (2),(3) で表される.

$$D(N,M) = (MS)\tau_{gate} + (M-1)\tau_{OEO}$$
(2)

$$S = \sqrt[M]{N} \iff M = \log_8 N \tag{3}$$

式 (2) 第一項は論理ゲートを光が伝搬する時間の総和であ り,第二項はカスケード接続による多段化にともなう光電 変換時間の総和である.式(3)は木構造における入力数と 論理ゲートの入力数,論理ゲートの段数の関係を表してい る.木構造の CMOS 回路と比較すると,CMOS 回路では 多段化の際の式(2) 第二項に相当する遅延は存在しないが, 論理ゲートの入力数は2から4が上限である.一方,光パ スゲートでは多段化の際 *TOEO* の大きな遅延を要するが, CMOS 論理ゲートよりも大きな*S*を扱うことができる. また,一般に光パスゲートの*Tgate* は CMOS 論理ゲートの 遅延時間の 1/10 から 1/100 程度に小さい.

ここで、論理ゲートの段数 M をパラメータとして、入 力数 N と論理ゲートの入力数 $S = \sqrt[M]{N}$ を変化させた場 合の遅延特性に着目する.実際の回路では M,S は自然数 となる必要があるが、簡単のためここでは実数範囲に拡張 して議論する. 図8はN入力 AND 演算において, CMOS 回路について遅延時間が 10 ps の 2 入力 AND ゲートの木 構造によって構成した回路の遅延、および光回路について $\tau_{qate} = 0.2 \text{ ps}, \ \tau_{OEO} = 25 \text{ ps} とした場合の M = 1, 2, 3 に$ おける遅延を表している.光回路では一般に M 段と M+1 段での遅延量がある入力数 N で逆転し,それ以上の入力 数においては常に M+1段の遅延が小さくなる.つまり, $D(N_0, M) = D(N_0, M+1)$ を満足する $N = N_0$ を段数分 岐点とすると、段数分岐点を超える入力数において M+1 段,超えない入力数において M 段の木構造を選択するこ とで遅延が小さくなる. M を固定したまま N が大きくな ると式 (3) により S も大きくなるため, 論理ゲート1 段あ たりの遅延 $S\tau_{aate}$ は大きくなる. そのため S があまりに 大きい場合は,_{TOEO}の大きな遅延をともなってでも多段 化を行い Mを大きくし, Sを削減して $S\tau_{gate}$ を小さくし た方が、全体の遅延が小さくなる.この例では、入力数に



応じた適切な段数の光回路は CMOS 回路よりも大幅に演 算に要する遅延が小さくなること示しており, CMOS 回路 に対する光回路の優位性を確認できる.

3.2 多入力論理演算の遅延最小化

次に,論理ゲートの入力数 S をパラメータとして,入力数 <math>N と論理ゲートの段数 $M = \log_s N$ を変化させた場合の 遅延特性に着目する.また,前節と同様に M, S は実数範 囲に拡張して考える. $M = \log_S N$ により式 (2) の M を消 去すると次の式 (4) が得られる.

$$D(S) = \frac{\tau_{OEO} + S\tau_{gate}}{\ln S} \ln N - t_{OEO}$$
(4)

式 (4) を *S* について微分すると,遅延最小値を満たす *S*₀ を表す式 (5) が得られる.ここで *W* はランベルトの *W* 関 数である.

$$S_0 = \exp\left(1 + W\left(\frac{t_{OEO}}{et_{gate}}\right)\right) \tag{5}$$

式 (5) より, S_0 は N や M によらず, デバイスの特性 $\tau_{gate} \geq \tau_{OEO}$ のみで決定できる.これは, M,Sを実数範 囲に拡張した場合,入力数 S_0 の論理ゲートを用いた段数 $M_0 = \log_{S_0} N$ の木構造回路が任意の入力数 Nの論理演算 の遅延を最小化すること意味する.

多入力論理演算の遅延を最小化するにあたり、M, S を実数範囲に拡張して議論してきたが、実際の回路において はこれらは自然数となる必要がある.まず、論理ゲートの 段数 M については $[M_0] \ge [M_0]$ を採用する候補とする. ここで、 $[x] \ge [x]$ はそれぞれ x の床関数と天井関数であ り、x 以下の最大の整数と x 以上の最小の整数をそれぞれ 表す.論理ゲートの入力数 S は式 (3) に $M = [M_0], [M_0]$ を代入して得られる S について、[S] をそれぞれの <math>M と あわせて用いる. [S] を採用すると $S^M < N$ となり演算 素子が不足する.2つの (S, M)の組を式 (2) に代入して遅 延の比較を行い、遅延の小さな (S, M) を採用する.ただ し、減衰量や出力の消光比の制限等により、S の値に許容 される最大値 S_{max} が存在し、 $S > S_{max}$ となるならば次 式 (6) を満足する最小の自然数 M を採用し、その M を用 いて S を再計算する.

$$S_{max} \ge \sqrt[M]{N}$$
 (6)

3.3 パターンマッチングへの拡張

3.1 節と 3.2 節では、多入力 AND や多入力 XOR など、1種 類の論理で表現できる関数についての議論を行った.本節で はパターンマッチングに必要な AND と XNOR の合成関数 AND_{XNOB} についても議論を拡張する.2.4節の述べたよう \mathcal{L} AND_{XNOR} = AND($A_1, ..., A_N$), A_k = XNOR(X_k, Y_k) である.提案手法を多入力 AND_{XNOR} に拡張する際には, 図 9 のように, 図 7 の多入力 AND 回路の初段の AND ゲー トを、図5のような MZI をシリアル接続して構成した論理 ゲートに置き換える.シリアル接続段数が S₁の MZI の出 力は, *S*₁ ビットのパターンマッチング結果に等しくなる. ただし, MZI による AND_{XNOR} 回路は図1の EAM によ る AND 回路に比べ一般にはるかに遅延が大きいため、低 速な MZI の機能を高速な EAM で部分的に代替する.つ まり, MZI による論理ゲートの出力を, 2 段目以降の S₂入 力 AND ゲートに入力することで N ビットのパターンマッ チングを行う. 一般に $S_1 < S_2 < N$ である.

このとき、パターンマッチングに要する遅延は式 (7) で与 えられる.ここで、 $MS_{2\tau_{gate_2}}$ は2段目以降の AND ゲー トによる遅延の総和であり、 $\beta S_{1\tau_{gate_2}}$ は初段の MZI によ る論理ゲートの遅延であって、 $\alpha M\tau_{gate_2}$ は光電変換に要す る遅延の総和である.また、 $\tau_{gate1}, \tau_{gate2}$ はそれぞれ、光 が1段の MZI と EAM を光が伝搬するのに要する遅延で ある. L は2段目の AND ゲートへの総入力数であり、Mは2段目以降の AND ゲートの段数である.これらの関係 は式 (8),(9) で与えられる.

$$D(N,M) = (MS_2 + \beta S_1 + \alpha M)\tau_{gate_2}$$
(7)

$$\tau_{gate1} = \beta \tau_{gate2}, \ \tau_{OEO} = \alpha \tau_{gate2} \tag{8}$$

$$S_1 = \frac{N}{L}, \ S_2 = \sqrt[M]{L} \tag{9}$$

以降では. パターンマッチングの遅延を最小化する回路構成手法について述べる. 式 (7) に式 (9) を代入し, N と M を定数とみなして L で偏微分すると遅延最小となる必要条件式 (10) が得られる. その後,得られた S_1, S_2 を用いて M = 0, 1, 2, ... での遅延を計算し,極小値をとる M を採用する. $M \neq 0$ における遅延は式 (7) を用いて計算し, M = 0 における遅延は図 5 のような MZI を N 段シリアル接続した遅延として $N\tau_{gate1}$ とする. また, S_1, S_2 を自然数に限定する場合は, $S_1 = \left\lfloor \frac{S_2}{\beta} \right\rfloor, \left\lceil \frac{S_2}{\beta} \right\rceil$ と $S_2 = \lfloor {}^{M+1}\sqrt{N\beta} \rfloor, \left\lceil {}^{M+1}\sqrt{N\beta} \right\rceil$ について, $S_1S_2^M \ge N$ を満たした上で遅延を最小化する S_1, S_2 の組み合わせを採用する.

$$S_1 = \frac{S_2}{\beta}, \ S_2 = \sqrt[M+1]{N\beta},$$
 (10)

遅延最小の必要条件式 (10) の意味するところを考える. 初段の MZI による遅延は $\beta S_1 \tau_{gate2}$ で表され,この遅延は



図 9 木構造による多入力 AND_{XNOR} 回路.

式 (10) により 2 段目以降の AND ゲートのの遅延 $S_{2\tau_{gate2}}$ と等しい. S は回路中ですべて均一と仮定しているため, 遅延最小を満たす必要条件とは回路中の全ての論理ゲート の遅延が等しいことである.これは, CMOS 論理ゲートに 関して一般に成り立つ知見と同様である.また, 3.2 節で 述べた1種類の論理ゲートを用いる場合では, S が全て均 ーという仮定によりこれが成り立つのは自明である.

4. 多入力論理演算の設計例

4.1 多入力 AND 演算の設計例

 $\tau_{qate} = 0.2 \text{ ps} \mathcal{O} \text{ EAM}$ と $\tau_{OEO} = 25 \text{ ps} \mathcal{O}$ 光検出器を用 いて N = 1000 入力 AND 回路を構成することを考える. ま ず,式(5)よりS₀ = 44.7となる.次に,得られたS₀を式(3) に代入することで $M_0 = 1.81$ となり, $|M_0| = 1$, $[M_0] = 2$ となる. また,式(3)より,M = 1について[S] = 1000, M = 2 について [S] = 32 となる.よって, 遅延最小を満た す候補として (S, M) = (1000, 1), (32, 2) を得る.式 (2) か ら $D(1000, 1)_{S=1000} = 200$ ps, $D(1000, 2)_{S=32} = 37.8$ ps となる. よって, (S, M) = (32, 2) つまり 32 入力 AND ゲー トの2段木構造を採用し,遅延は37.8 ps となる. CMOS の 2 入力 AND ゲートの遅延を 10 ps とし, 10 段木構造で 1000入力 AND 回路を構成すると遅延は 100 ps となり,提 案手法による光回路は CMOS 回路に対し 2.6 倍高速と見積 もられる.具体的な回路は図 10 のような 32 段 ×32 段の 正方形状の回路となる.正方形状にすることで、光が入力 されてからシリアル接続された光パスゲートを通過する時 間は回路中で全て等しくなる.このとき,回路中の全ての 論理ゲートの遅延が等しくなるため遅延が最小化される. 計算の簡単のため回路中で S を均一化したことにより余分 な入力 X₁₀₀₁ から X₁₀₂₄ が存在するが,これらは出力に影 響を与えないような処理を行うことを想定する.この例で は X₁₀₀₁ = ... = X₁₀₂₄ = 1 とする. S を均一化しない場合 には S = 31 のシリアル接続を組み合わせるとよい.

4.2 多入力 OR 演算の設計例

 $\tau_{gate} = 0.1 \text{ ps}$ のリング共振器と $\tau_{OEO} = 25 \text{ ps}$ の光検 出器用いて $N = 200 \lambda 力$ OR 回路を構成することを考 える.ただし、2.6 節で述べた消光比と使用波長数の問 題から $S_{max} = 20$ であるとする.まず、式 (3),(5) より



図 10 1000 入力 AND の回路構成例.

 $S_0 = 75.3, \ M_0 = 1.23$ となり, (S, M) = (200, 1), (15, 2) が 採用する候補となる.式(2)より $D(200,1)_{S=200} = 20$ ps, $D(200,2)_{S=15} = 28$ ps となるため, (S,M) = (200,1) が 遅延最小となる.ただし,Sが S_{max} を超えているため, 式 (6) より, M = 2を採用する.よって, (S, M) = (15, 2)つまり 15 入力 OR ゲートの 2 段木構造を採用し, 遅延は 28 ps となる. CMOS の 2 入力 OR ゲートの遅延を 10 ps とし,8段木構造で200入力OR回路を構成すると遅延 は80 psとなり、提案手法による光回路はCMOS 回路に 対し 2.9 倍高速と見積もられる. 合波の際のパワー結合率 $\alpha = 0.9$ とした場合,式 (1) に N = Sを代入することで出 力の消光比は、(S, M) = (200, 1), (15, 2) に対してそれぞれ 0.17 dB, 1.86 dB となり多段化により消光比が改善される ことが確認できる.また,ORゲート間で波長を共用する ことで使用波長数を 200 から 15 に削減できる. このよう に,提案手法を用いることで消光比の劣化と使用波長数を 抑制した際の遅延の増大を最小限にできる.

4.3 多入力 AND_{XNOR} 演算の設計例

 $\tau_{gate1} = 5 ps \mathcal{O} MZI と \tau_{gate2} = 0.2 ps \mathcal{O} EAM およ$ び TOEO = 25 ps の光検出器を用いて N = 2048 入力 AND_{XNOR}を計算し,2048ビットのパターンマッチング回 路を構成することを考える.式 (8) より, $\alpha = 125, \beta = 25$ であるため, $S_2 = \sqrt[M+1]{51200}, S_1 = S_2/25$ となる. 3.3 節で述べた手法を用いて,各Mにおける遅延を計 算し,遅延が極小値をとる時の S₁, S₁, M を採用する. M = 0の時, 遅延は 10240 ps となる. M = 1の時, $S_1 = 9, S_2 = 226, D(2048, 1) = 120.2$ ps となる. M = 2の時, $S_1 = 2$, $S_2 = 37$, D(2048, 1) = 74.8 ps となる. $M = 3 \mathcal{O}$ 時, $S_1 = 1, S_2 = 15, D(2048, 1) = 89 ps とな$ る. よって (S₁, S₂, M) = (2, 37, 2) の回路構成を採用し, 遅延は 74.8 ps となる.提案回路は MZI によるシリアル 接続のみで構成される回路に対し、100倍以上高速であ る. CMOS の 2 入力 XNOR ゲートの遅延を 30 ps, 2 入 力 AND ゲートの遅延を 10 ps とする. 2048 個の XNOR 出力の AND 演算を 2 入力 AND ゲート 11 段木構造で構 成すると遅延は 150 ps となり,提案手法による光回路は CMOS 回路に対し 2.0 倍高速と見積もられる.

5. おわりに

本稿ではナノフォトニクスを用いて高速多入力論理演算 を実現する手法を提案した.提案手法は,木構造を用いる ことで遅延や減衰,波長多重方式における消光比の劣化や 使用波長数を抑制を可能にする.また,提案手法において 遅延最小となる条件を示した.最後に,提案手法の設計例 を示し,CMOS 回路に対する高速性や,多入力の光回路に おける諸問題を緩和できることを確認した.光出力を光検 出器を用いて光電変換することを考えると,受光強度が小 さいほど遅延が大きくなるため,消費電力や減衰を考慮し た回路構成の検討が今後の主な課題である.

謝辞

本研究の一部は,科学技術振興機構の戦略的創造研究推進事業「新たな光機能や光物性の発現・利活用を基軸とす る次世代フォトニクスの基盤技術」(JPMJCR15N4)の助 成により行われた.

参考文献

- J. N. W. John D. Joannopoulos, Steven G. Johnson and R. D. Meade, *Photonic Crystals: Molding the Flow of Light (Second Edition)*. Princeton University Press, 2008.
- [2] K. Nozaki, A. Shakoor, S. Matsuo, T. Fujii, K. Takeda, A. Shinya, E. Kuramochi, and M. Notomi, "Ultralow-Energy Electro-Absorption Modulator Consisting of InGaAsP-Embedded Photonic-Crystal Waveguide," *APL Photonics*, vol. 2, no. 5, p. 056105, 2017. [Online]. Available: http://dx.doi.org/10.1063/1.4980036
- [3] 小倉孝夫, 森川郁也, 安田雅哉, 長谷部高行, 新崎卓, and 津田宏, "生体特徴の秘匿マッチングに基づくリモート生体認証システムの試作," in マルチメディア、分散協調とモバイルシンポジウム 2014 論文集, vol. 2014, jul 2014, pp. 1995–2000.
- [4] J. Daugman, "How Iris Eecognition Works," IEEE Transactions on Circuits and Systems for Video Technology, vol. 14, no. 1, pp. 21–30, Jan 2004.
- [5] F. Yu, R. H. Katz, and T. V. Lakshman, "Gigabit Rate Packet Pattern-Matching Using TCAM," in *Proceedings* of the 12th IEEE International Conference on Network Protocols, 2004. ICNP 2004., Oct 2004, pp. 174–183.
- [6] N. H. E. Weste and K. Eshraghian, CMOS VLSI Design A Circuits and Systems Perspective 4th Edition. Addison-Wesley, 2010.
- [7] 石原亨,新家昭彦,井上弘士,野崎謙悟, and 納富雅也, "光 パスゲート論理に基づく並列加算回路の提案と光電混載回 路シミュレータによる動作検証(信号処理),"電子情報通信 学会技術研究報告 = IEICE technical report:信学技報, vol. 116, no. 95, pp. 109–114, jun 2016.
- [8] Q. Xu and R. Soref, "Reconfigurable Optical Directed-Logic Circuits Using Microresonator-Based Optical Switches," *Opt. Express*, vol. 19, no. 6, pp. 5244–5259, Mar 2011.
- [9] K. Nozaki, S. Matsuo, T. Fujii, K. Takeda, M. Ono, A. Shakoor, E. Kuramochi, and M. Notomi, in 2016 21st OptoElectronics and Communications Conference (OECC) held jointly with 2016 International Conference on Photonics in Switching (PS).