

TDC 組み込み型スキャン FF の微小遅延故障検出能力評価

河塚 信吾^{1,a)} 四柳 浩之^{2,b)} 橋爪 正樹^{2,c)}

概要: 半導体製造技術の向上により、回路の遅延時間がわずかにシフトする微小遅延故障がタイミング不良として顕在化している。微小遅延故障は経年劣化により誤作動の原因となる可能性があるため、微小遅延故障を検出することが求められている。過去に、バスの遅延故障を検出するため、被検査回路内のスキャン FF に TDC(Time-to-Digital Converter) を組み込んだ回路が提案されている。本稿では、ISCAS 89 ベンチマーク回路 s5378 に TDCSFF を組み込んだ回路の設計を行い、シミュレーションによる遅延検出能力評価を行った。

Evaluation of Small Delay Fault Detection by TDC Embedded in Scan FFs

SHINGO KAWATSUKA^{1,a)} HIROYUKI YOTSUYANAGI^{2,b)} MASAKI HASHIZUME^{2,c)}

Abstract: With improvement of semiconductor manufacturing process, small delay becomes more important cause of timing failures. Small delay faults may cause circuit malfunction due to again deterioration. Therefore, test method for small delay faults is required. We have proposed new scan FF design using TDC(Time-to-Digital Converter) for path delay faults. In this paper, we implement TDCSFFs in the benchmark circuit with TDCSFF and evaluate its feasibility to detect small delay faults by circuit simulation.

1. はじめに

近年、半導体製造技術の向上により、集積回路の大規模化、高集積化が進んでいる。それに伴い、抵抗性のショート欠陥やオープン欠陥が増加し、回路の遅延時間がわずかにシフトする微小遅延故障が顕在化している。故障検査時に微小遅延故障を見逃すと経年劣化により誤作動を引き起こす可能性があるため、微小遅延故障の検出は近年のテスト技術における重要な課題である。

文献 [1]-[3] では、通常のクロックよりも高速なクロックを使用してテストを行うことで微小遅延故障によるタイミングの遅延を検出する手法が提案されている。これらの手法での検査対象は通常クリティカルパスが対象である。し

かし、クリティカルパスを活性化させるテストパターンの生成は困難であり、製造ばらつきやグリッチの影響によりクリティカルパス以外のパスが最大遅延となる可能性もある [4]。また、集積回路の大規模化はテストパターン数の増加やテスト時間の増加によりテストコストの増大の要因となる。

そこで文献 [5], [6] ではパス遅延の測定に TDC(Time-to-Digital Converter) を利用した手法が提案されている。また、文献 [7]-[10] では TDC をバウンダリスキャンに組み込んだ TDCBS を用いた手法が提案されており、TDC を利用することで高い遅延分解能での遅延検査を可能としている。

過去に被検査回路内 FF 間のパスの遅延を観測する手法として文献 [11] では選択した任意のパスの遅延検査を行う回路 TDCCELL を用いた手法が提案されている。さらに、文献 [12] では文献 [11] で提案された回路の面積の削減のため、被検査回路内のフリップフロップ (FF) に TDC を組み込んだ回路 TDCSFF を用いた手法が提案されており、順

¹ 徳島大学 大学院 先端技術科学教育部 システム創生工学専攻 電気電子創生工学コース

² 徳島大学 大学院 社会産業理工学研究部 〒770-8506 徳島県徳島市南常三島町 2-1

a) kawashin@ee.tokushima-ac.jp

b) yanagi4@ee.tokushima-ac.jp

c) tume@ee.tokushima-ac.jp

序回路の内部 FF 間のパスの遅延観測の可能性が示されている。

本稿では、ベンチマーク回路の FF を文献 [12] で提案されたパス遅延検査用回路 TDCSFF に置き換えた回路に対してレイアウトでのシミュレーションを行い、被検査回路の内部 FF 間のパス遅延故障の検査能力評価を行う。

本稿では、第 2 章で TDCSFF の動作原理とテスト法について、第 3 章では TDCSFF のベンチマーク回路への適用について、第 4 章ではシミュレーションによる動作検証について述べ、第 5 章でまとめている。

2. TDC 組込みスキャン FF (TDCSFF)

TDCSFF はスキャン FF に TDC を組込んだ回路である [12]。スキャン設計を行った被検査回路内の FF を TDC のキャプチャ FF と共有することで、面積の増加を抑え微小遅延の検査を行うことが可能である。

2.1 TDCSFF を用いたテスト法

ここでは TDCSFF の動作原理と TDCSFF を用いた微小遅延観測回路について述べる。TDCSFF は通常動作時とテスト時に使用する FF を共用にしており外部ピンにより動作を制御している。TDCSFF の回路図と各動作時の信号遷移を図 1 に、MUX の制御信号と DLSEL による TDCSFF の各動作の対応表を表 1 に示す。

表 1 制御信号と DLSEL による各動作の対応

TEST_MODE	SCAN_ENABLE	DLSEL	TDCSFF の動作
0	-	-	通常動作 (図 1(a))
1	1	-	スキャンシフト動作 (図 1(b))
1	0	1	TDC 動作 (図 1(c))
1	0	0	TDC 動作 (図 1(d))

TDCSFF は被検査回路内のスキャン FF に AND ゲート、MUX、遅延付加用ゲートである XOR ゲートを組んでいる。入力 IN は被検査回路のパスと繋がっている。XOR ゲートの入力 DLIN は別の TDCSFF の DLOUT と繋がっており、XOR ゲートのみを直列に繋ぐことで遅延付加部を構成している。また、TDCSFF は被検査回路内のスキャン FF を TDC 用の FF としても使用するため余分な FF を追加する必要がない。共用している FF は TEST_MODE が 0 の場合は被検査回路の通常動作用 FF、1 の場合はスキャン、TDC 用のキャプチャ FF として動作する。被検査回路が通常動作をする際、すなわち TEST_MODE が 0 の場合は図 1(a) のように TDCSFF の入力 IN からの信号を FF にそのまま保持させる。テスト動作にはスキャンシフト動作と TDC 動作の 2 通りがある。スキャンシフト動作時には SCAN_ENABLE を 1 とし、図 1(b) のように SCANIN からの信号を FF に保持する。SCANOUT は次の TDCSFF の SCANIN へと接続されており、TDCSFF の FF を直列

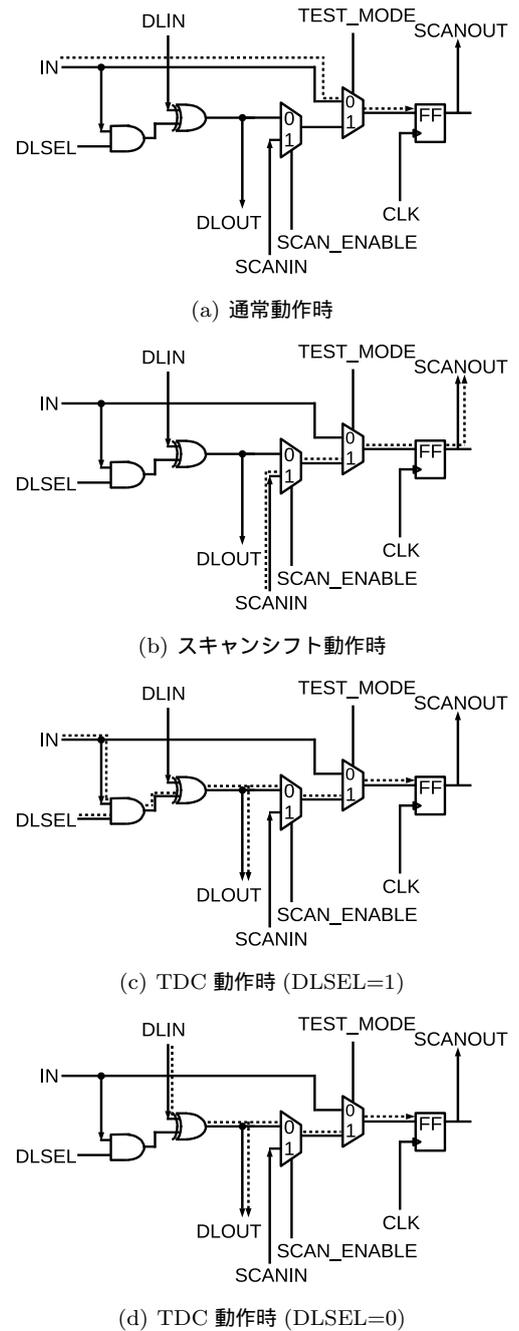


図 1 TDCSFF の回路図と動作時の信号遷移

に繋ぐことでシフトレジスタとして機能させることが可能となる。TDC 動作では、観測対象パスに接続されている TDCSFF とそれ以外の TDCSFF で動作が異なる。観測対象パスに接続されている場合は TDCSFF の AND ゲートの入力 DLSEL を 1 とし、図 1(c) のように動作する。DLSEL を 1 とすることで観測対象パスからの信号を遅延付加部である XOR ゲートへと伝搬し、遅延を付加する。遅延が付加された信号は FF で保持されながら、DLOUT から次の TDCSFF の DLIN へと伝搬する。DLSEL が 0 の場合の TDCSFF の TDC 動作は図 1(d) のように XOR ゲートの入力 DLIN からの信号に遅延を付加し FF に保持させつつ、DLOUT から次の TDCSFF の遅延付加部へと

伝搬させる．TDCSFF を用いた微小遅延故障検査用回路を図 2 に示す．

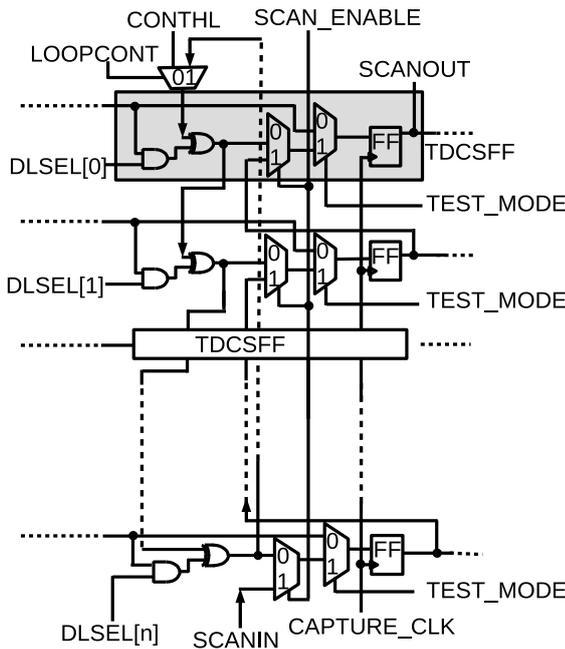


図 2 TDCSFF を用いた微小遅延故障検査用回路

スキャンシフト動作によりテストパターンを印加し，TDC 動作により対象パスから遷移した信号に遅延を付加する．この時，LOOPCONT を 1 とすることで，遅延付加部にループを形成する．テストパターンを印加する手法は LoC(Launch-off-Capture) 方式を用いる．LoC では 1 パターン目をスキャン動作によりスキャンシフト動作により設定した後，通常動作でシステムクロックにより 2 パターン目を設定する [13]．微小遅延故障検査時における TDCSFF のタイミングチャート例を図 3 に示す．

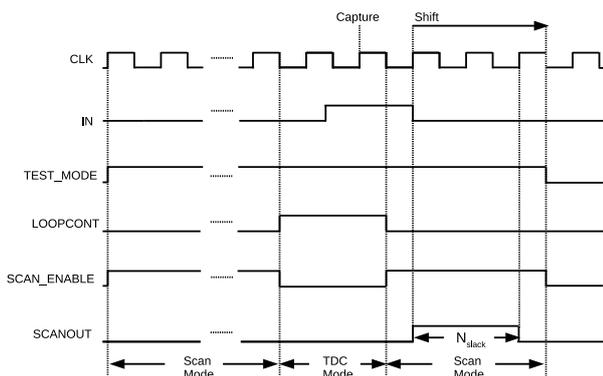


図 3 検査時のタイミングチャート例

微小遅延故障検査時は TEST_MODE を 1 とし，テストモードとする．SCAN_ENABLE を 1(Scan Mode) とし，FF をスキャンチェーンとして動作させ，クロックによりスキャンテストと同様にスキャンシフト動作で SCANIN から各 FF に 1 パターン目を印加する．その後，SCAN_ENABLE

を 0(TDC Mode) とすることで XOR ゲートを遅延付加部とする TDC を構成し，システムクロックにより回路を通常動作させることで対象パスからの信号を TDCSFF の入力 IN へ伝搬させる．図 3 では 0 から 1 への遷移信号を印加する場合を示している．また，この時 LOOPCONT を 1 とし，遅延付加部にループを形成している．伝搬された信号は遅延付加部によって遅延を付加し，各 FF によってキャプチャされる．キャプチャ後，もう一度 SCAN_ENABLE を 1 とし，スキャンシフト動作を行うことで SCANOUT からキャプチャされた各 FF の値を取り出し，遅延付加部を遷移した段数 N_{slack} を観測する．得られた N_{slack} より，であるタイミング余裕を以下の式 (1) を用いて概算し，求めたタイミング余裕を正常回路のタイミング余裕と比較することで故障判定を行う．ただし， N_{slack} は入力信号が遅延付加部を遷移した段数， t_d は遅延付加用ゲート 1 段分の遅延量すなわち，TDCSFF 1 段分の遅延分解能とする．

$$TimingSlack = N_{slack} \times t_d \quad (1)$$

2.2 TDCSFF のスタンダードセル設計

今回，TDCSFF の動作検証のために TDCSFF に対して ROHM0.18 μ m CMOS プロセッサライブラリを使用し，スタンダードセル化した回路の設計を行った．TDCSFF のレイアウト図を図 4 に示す．

レイアウトは Cadence 社の Virtuoso を用いて作成した．スタンダードセル化した TDCSFF の面積は 180.6336 μ m² である．遅延付加部に使用している XOR ゲートは NOR ゲートと AND-OR-Invert の複合ゲートで構成されている．シミュレーションにより TDCSFF セルの入出力 DLIN，DLOUT の波形から得られた TDCSFF 1 段分の遅延量は 183ps であった．すなわち，TDCSFF 1 段分の遅延分解能は 183ps であると言える．

3. TDCSFF のベンチマーク回路への適用

TDCSFF の動作検証のため，スキャン設計を行ったベンチマーク回路に TDCSFF を組込んだ回路を設計した．回路の概略図を図 5 に示す．

設計を行った回路は ISCAS89 ベンチマーク回路 s5378 内の FF を TDCSFF に置き換え，パスの遅延を観測することができる回路となっている．今回，被検査回路として用いたベンチマーク回路 s5378 は 179 個の FF が使用されているため，それを置き換えた TDCSFF は 179 段分である．図 5 の DLSEL 制御回路 (DLSEL control circuit) はシフトレジスタを用いて TDCSFF の DLSEL を制御する回路である．図 6 に DLSEL 制御回路の回路図を示す．

DLSEL 制御時には CONTENTEN を 0 とし，CONTIN から対象の TDCSFF の DLSEL に 1 が伝搬するように対象の FF に 1 を，それ以外の FF には 0 を印加する．信号の

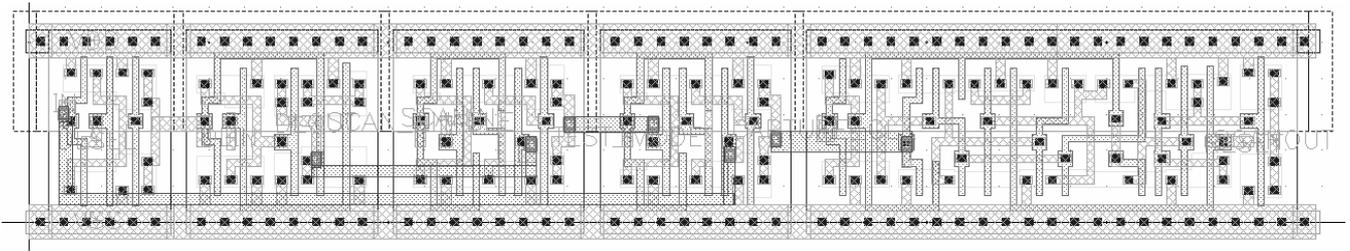


図 4 TDCSFF のレイアウト図

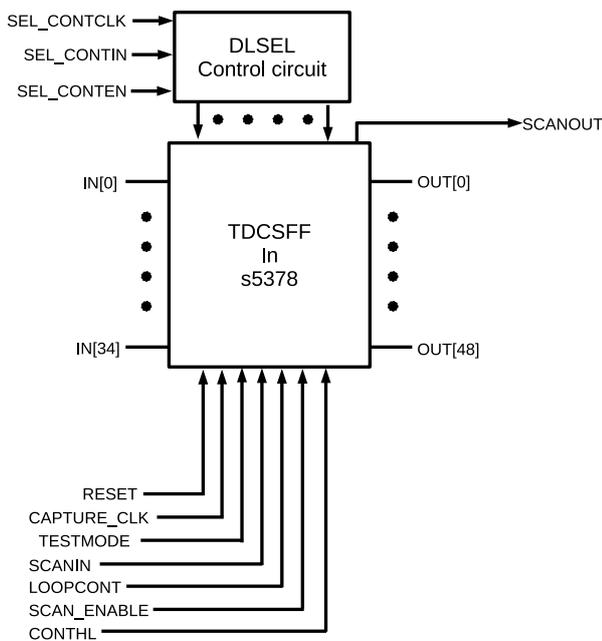


図 5 回路の概略図

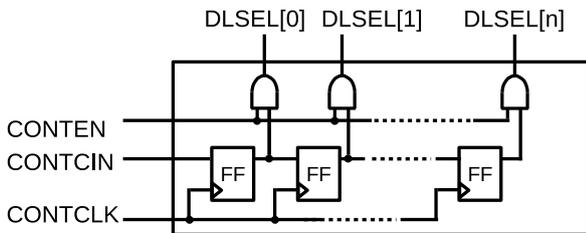


図 6 DLSEL 制御回路

セットが完了すると、CONTCLK を 0 一定にし、保持されている信号が変更されないようにする。被検査回路の遅延を検査する直前で、CONTEN を 1 とすることで対象の TDCSFF の DLSEL のみに 1 が設定され、任意の TDCSFF を動作させることができる。また、複数のパスを同時に活性化させることができれば、複数の対象の TDCSFF の DLSEL を 1 とすることで、1 回のテストで複数のパスを検査することも可能である。

4. TDCSFF の動作検証

前章で述べた TDCSFF を組込んだベンチマーク回路に対し、シミュレーションによる動作検証を行った。図 5 で

示した回路を ROHM0.18 μ m CMOS プロセスライブラリを使用し、Synopsys 社の Design Compiler を用いて論理合成を行い、同社の IC Compiler で配置配線を行い設計した。

4.1 テストパターンの生成

シミュレーションによる動作検証を行うために図 5 に対してテストパターンの生成を行う必要がある。そこで、ベンチマーク回路内の FF をフルスキャン設計し、図 5 の回路と同様の順序となるようにスキャンチェーンを用意する。この回路に対し、Synopsys 社の PrimeTime を用いて最長パスから順に長いパスの探索を行う。探索したパスに対し、同社の TetraMAX を用いてテストパターンを生成することで対象のパス遅延故障検査用テスト入力の生成が可能となる。

4.2 シミュレーションによる動作検証

TDCSFF は被検査回路内に組み込んで使用するため、動作検証にはゲート遅延だけでなく配線遅延や寄生容量の影響も考慮する必要がある。したがって、設計を行った回路に対し、RC 抽出済みネットリストを作成し、Synopsys 社の hsim によりシミュレーションを行い、同社の CosmosScope により波形の観測を行った。またクロックの周期は 20ns とした。シミュレーション結果の波形を図 7 に示す。

図 7 に示すように、始めに SCANIN からテストパターンを TDCSFF の各 FF に保持させる。全 TDCSFF にテストパターンを保持させた後対象のパスに信号を遷移させ TDCSFF の遅延付加部に信号を伝搬させる。次のクロックであるキャプチャのタイミングで TDCSFF に信号を保持させ、スキャンシフト動作でスキャンアウトへと保持させた信号を取り出し、タイミング余裕がどの程度あるかを確認する。

最長パスは 133 段目の TDCSFF の IN と接続されていたため、DLSEL 制御回路により TDCSFF133 段目の DLSEL のみに 1 を印加した。図 7 の SCANOUT の波形を確認すると対象パスと接続している TDCSFF133 段目から最終段 179 段目までの 47 段分と信号がループした後の 58 段分の合計 105 段分の N_{slack} が確認できた。TDCSFF1 段分の遅延分解能は 3 章より 183ps であるため、SCANOUT で

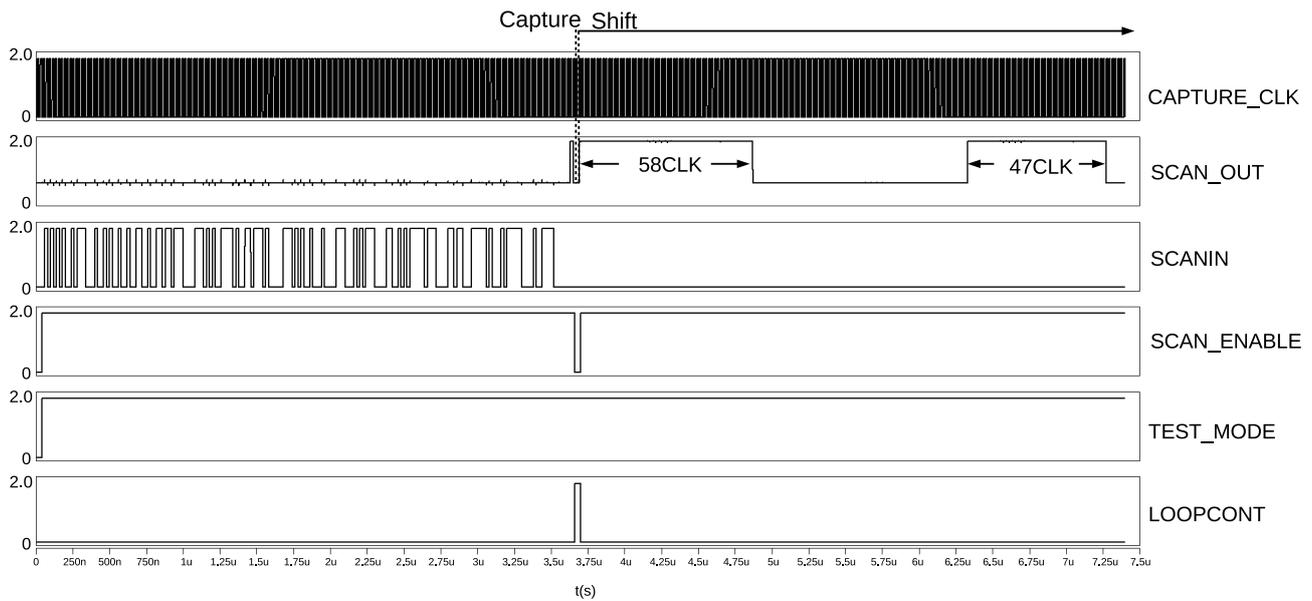


図 7 シミュレーション結果

観測したタイミング余裕は $183\text{ps} \times 105 \text{ 段} = 19.215\text{ns}$ となる。また、クロック 20ns から差し引いて得られる最長パスの遅延は 785ps となった。

被検査回路からの信号が 133 段目の TDCSFF の入力 IN に到達するまでの遅延時間をシミュレーション波形から計算し、求めると 630ps であった。クロック周期から差し引いて得られる真のタイミング余裕は 19.370ns となる。この結果は SCANOUT から得られたタイミング余裕である 19.215ns と比べ 155ps の差が生じているが、TDCSFF を用いて測定できる最小の遅延量は TDCSFF の遅延分解能である 183ps であるため、このような差が生じたと考えられる。これらの結果から、TDCSFF1 段分の遅延分解能 183ps でタイミング余裕の観測が可能であると判明した。

また、今回の動作検証で生成したテストパターンはベンチマーク回路をスキャン設計した回路に対して TetraMAX を用いて生成したものであり、TDCSFF を組込むことによる特別なテストパターン生成は行っていない。したがって、すべてのスキャン設計がなされた回路において、対象とするパスを活性化させることができれば、FF を TDCSFF に置き換えることで微小遅延故障が遅延分解能 183ps で検査可能であると考えられる。

5. おわりに

本稿では、ISCAS89 ベンチマーク回路 s5378 内の FF を TDCSFF 置き換えた回路に対してレイアウトによるシミュレーションを行い、微小遅延故障の検査能力評価を行った。その結果、TDCSFF を用いることで遅延分解能 120ps で微小遅延故障の検査を行うことが可能であることが分かった。スキャン設計を行った回路内のパスを活性化させることができれば TDCSFF を用いて微小遅延故障の検査が可

能であると判明した。

今回シミュレーションを行った回路は試作中であり、今後実測による動作検証を行う予定である。

謝辞

本研究は、東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社、ならびに、日本ケイデンス株式会社のご協力のもと行われました。本研究で使用したライブラリは、京都大学情報学研究科田丸/小野寺研究室の成果によるものであり、京都工芸繊維大学小林和淑教授によりリリースされたものです。また、本研究の一部は JSPS 科研費 15K00079 の助成を受けたものです。ここに謝意を表します。

参考文献

- [1] H. Yan and A. Singh "On the effectiveness of detecting small delay defects in the slack interval," International Workshop on Current and Defect Based Testing, pp. 49-53, 2004.
- [2] M. Kampmann, M. A. Kochte, E. Schneider, T. Indlekofer, S. Hellebrand and H. J. Wunderlich, "Optimized Selection of Frequencies for Faster-Than-at-Speed Test," 2015 IEEE 24th Asian Test Symposium (ATS), pp. 109-114, 2015.
- [3] 野口宏一朗, 野瀬浩一, 尾野年信, 水野正之, "高信頼な LSI を実現するための微小遅延欠陥検出技術," 電子情報通信学会技術研究報告, vol.108, pp. 23-27, 2008.
- [4] M. Sauer, A. Czutro, I. Polian and B. Becker, "Small-delay-fault ATPG with waveform accuracy," International Conference on Computer-Aided Design (ICCAD), pp. 30-36, 2012.
- [5] W. Zhang, K. Namba and H. Ito, "Improving small-delay fault coverage for on-chip delay measurement," 2012 IEEE International Symposium on Defect and

- Fault Tolerance in VLSI and Nanotechnology Systems (DFT), pp. 193-198, 2012.
- [6] C. Lamech, J. Aarestad, J. Plusquellic, R. Rad and K. Agarwal, "REBEL and TDC: Two embedded test structures for on-chip measurements of within-die path delay variations," Computer-Aided Design (ICCAD), 2011 IEEE/ACM International Conference on, pp. 170-177, 2011.
- [7] H.Yotsuyanagi, H.Makimoto, T.Nimiya and M.Hashizume, "On Detecting Delay Faults Using Time-to-Digital Converter Embedded in Boundary Scan," IEICE Trans. on Information and Systems, vol. E96-D, no. 9, pp. 1986-1993, 2013.
- [8] 櫻井 浩希, 四柳 浩之, 橋爪 正樹, "TDC 組込み型バウンダリスキャン回路による遅延検出能力評価," 電子情報通信学会技術研究報告書 vol.113, pp.7-12, Feb.2014
- [9] 森 亮介, 四柳 浩之, 橋爪 正樹, "遅延故障検査容易化回路を用いる同時検査対象経路選択条件の検討," 電子情報通信学会技術研究報告, vol. 115, no. 339, pp. 25-30, 2015.
- [10] Takumi Kawaguchi, Hiroyuki Yotsuyanagi, Masaki Hashizume, "On Control Circuit and Observation Conditions for Testing Multiple TSVs Using Boundary Scan Circuit with Embedded TDC," IEEE Workshop on RTL and High Level Testing Nov.2016, Hiroshima, JAPAN
- [11] 石場隆之, 四柳浩之, 橋爪正樹, "順序回路におけるパスの微小遅延故障を測定する遅延付加回路設計," 平成 26 年度電気関係学会四国支部連合大会, p. 111, 2014.
- [12] 河塚信吾, 四柳浩之, 橋爪正樹, "微小遅延故障テストのための TDC 組込み型スキャン FF の設計について," 電子情報通信学会技術研究報告, vol.116, no.331, pp.105-110, 2016
- [13] 梶原誠司, 佐藤康夫, "論理回路に対する遅延テスト手法," 電子情報通信学会 基礎・境界サイエティ Fundamentals Review, Vol. 1, No. 3, p. 71, 2008.