7G-07

FPGAデザインのモジュール別消費電力解析ツール

川井 博斗　吉瀬 謙二
東京工業大学 情報理工学院
E-mail: kawai@arch.cs.titech.ac.jp, kise@c.titech.ac.jp

1　はじめに

FPGAを対象としたデザインを制作する上では消費電力を測定することが重要である．FPGAボード全体の電力測定は専用機器を利用することにより動的に観測可能である．一方で，モジュール別の電力測定は静的なモデルを利用したものは存在していたが，動的解析は測定に必要なリソースの大きさから実用的ではなかった．しかし近年，動作時の観測結果を用いた動的な解析モデルKAPow[1]が提案されている．

KAPowではリソースの増加を抑えつつ，実測との誤差± 5mWにまで縮めることを達成している．KAPowは主要なFPGAベンダーであるAlteraの特有のツールに依存しており，もう1つの主要ベンダーであるXilinxのFPGAには適応できないという問題が存在している．

本稿では，KAPowを元にしたXilinx FPGA向けモジュール別動的消費電力解析ツールについて初期検討を行う．

2　KAPow

KAPowは大きく分けて次の3つのステージを通して，FPGAチップおよびモジュール別の電力測定を行う．

1. 主要信号線の選定
2. 主要信号線のトグル回数の監視
3. システム同定による動的消費電力見積もり

主要信号線とは，動的消費電力に大きな影響を与える信号線のことである．トグルとは，ある信号線に対する値の立ち下がり，立ち上がりを意味する．動的消費電力に大きな影響を与える要因として，その信号のトグルレートが挙げられる．すなわち，トグルレートが高い信号線は消費電力に大きな影響を与える可能性が高い．一方で，信号線の数はモジュールの大きさや数に応じて増大するため，全ての信号線のトグルレートを測定することは現実的ではない．そこで，トグルレートの高い順に主要信号線N本を選定する．Nの値は任意であり，ユーザが定義できる．トグルレートは実際のデータを用いた解析を用いることで，精度を向上させることができる．しかし，解析に多くの時間を有するため実用的ではない．そこで．選定においてはツールの静的解析を用いる．KAPowでは，AlteraのPowerPlay[2]を使用している．

静的解析を用いて選定した信号線に対して，実測のデータを用いて動的な解析を加える．KAPowでは，ある一定期間のサイクル（ライフタイム）だけデータの収集，すなわち，主要信号線のトグル回数を取得することで電力の動的な見積もりを可能としている．その後，線形モデル及び反復最小二乗法を用いて動的に重みを変更することで，システム同定による動的消費電力見積もりを行っている．

Per-Module Power Analysis Tool of An FPGA Design
Hiroto KAWAI, and Kenji KISE
Tokyo Institute of Technology

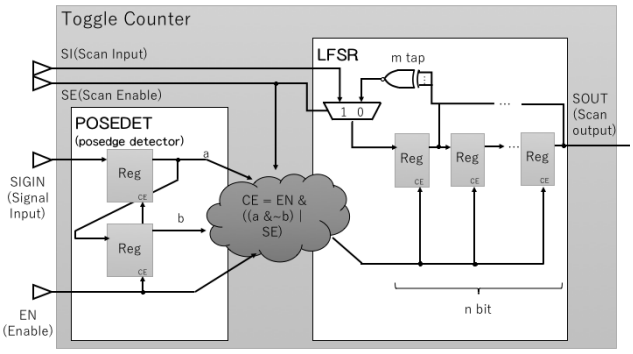


図 1: トグルカウンタ

3　提案システム

本稿では本システムはXilinx FPGA向けの動的電力解析ツールであり，その初期検討として，KAPowのステージのうち主要信号線の選定および主要信号線のトグル回数の監視のステージについて検討を行う．

3.1　主要信号線の選定

AlteraのPowerPlayではXilinx FPGA向けデザインに対して使用できない．そこで本システムでは，Xilinx Power Estimator[3]を使用する．Power Estimatorは静的なモデルを用いた消費電力解析ツールである．PowerPlayと同様にツール内で消費電力を見積もるために，信号線のトグルレートを算出している．本システムではその結果をエクスポートし，トグルレートの高いN本の信号線を選定する．

3.2　信号線のトグル回数の監視

本システムでは，KAPowでのシステムをベースに簡易化したカウンタシステムを用いて，主要信号線のトグルレートを取得する．

3.2.1　トグルカウンタ

図1にトグルカウンタのモジュール図を示す．POSEDETモジュールは信号線の値の立ち上がりを監視し，切り替え時に線形帰還シフトレジスタ(LFSR)をシフトする．LFSRは通常のカウンタよりもリソースの使用量が少ないという特徴がある．LFSRは通常のシフトレジスタと異なり，次の入力ビットに影響を与えるタップと呼ばれるビットが存在する．LFSRが最も長い周期$(2^n - 1)$を作成するためにはタップビットはM系列と呼ばれる数列に基づく必要がある．LFSRは周期内では固有の値を出力するという特徴がある．タップビットの数mや位置は，LFSRのレジスタ数nによって異なる．このレジスタ数はトグル回数が周期を超えないように定義する必要がある．

3.2.2　カウンタシステム

カウンタシステムのモジュール図を図2に示す．各トグルカウンタに対して1本ずつの主要信号線が配線され

Copyright ©2017 Information Processing Society of Japan.
All Rights Reserved.

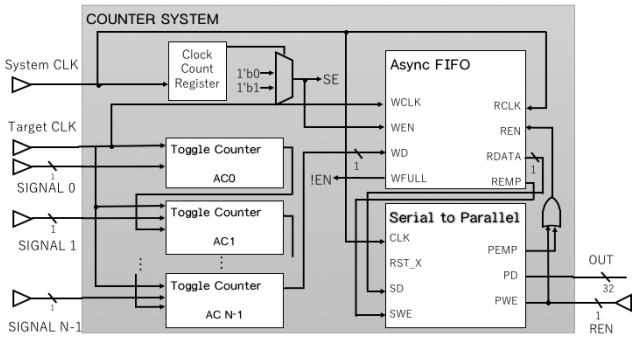


図 2: カウンタシステム全体

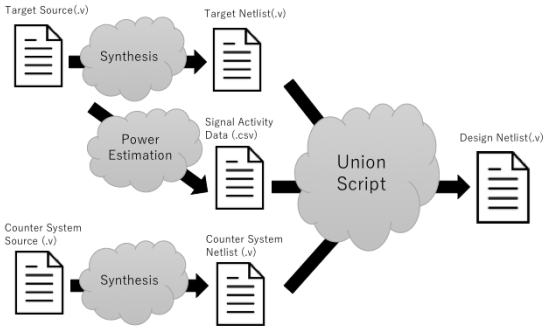


図 3: カウンタシステム挿入フロー

るため，システム全体のトグルカウンタの総数は主要信号線の数と同じ N となる．ライフタイムの間は各信号線ごとにデータの収集を行う．ライフタイムが過ぎた後は各カウンタの値を集計する必要がある．そこで，全てのトグルカウンタを数珠状につないでおく (SOUT,SIN) ことで，順番に値を取得することができる．データの出力 (OUT) は 32bit ずつ行うため，シリアル-パラレル変換モジュールが必要となる．また，カウンタシステムと対象モジュールとの動作周波数が異なっていても動作を保証するために，非同期 FIFO を経由させる必要がある．システム全体は全ての信号線の最大周波数で動作すればよいので，一般にカウンタシステムの動作周波数は対象モジュールの動作周波数よりも以下である．

3.3 全体のフロー

本節ではこのカウンタシステムを挿入する手順について説明を行う．そのフローを図 3 に示す，3.1 節の通り，主要信号線の選定のために Power Estimator を使用する必要がある．そこで，まず対象トップモジュールに対し Synthesis を行う．その後，Power Esimator による信号線のトグルレートの解析を行う．また，合成結果のネットリストを取得する．トグルレートの高い順から N 本の主要信号線の選定後，カウンタシステムの Synthesis を行いそのネットリストを取得する．その 2 つのネットリストを結合することで，本システムが利用可能な新たなネットリストが作成される．その後は Implementation を行うことで，FPGA に書き込むことが可能となる．また，カウンタシステム用の信号線が対象トップモジュールのクリティカルパスになることを避けるため，モジュール間にはレジスタを挿入する．一連の動作はスクリプトを利用することで自動的に行うことが可能である．

3.4 リソース使用量

先に述べたように動的消費電力測定ツールとして，システム導入による使用リソース増加量は非常に重要である．本システムでは，大きなリソースの増加の要因として

- カウンタシステムモジュール
- 結合時のモジュール間のレジスタ

の 2 点が考えられる．

評価環境として対象 FPGA XC7Z020CLG484-1 とし Vivado2015.2 を用いて本システムのカウンタシステムのみを論理合成し，リソース使用量の評価を行う．LFSR は 16 段 (16bit) でタップ数は 4，非同期 FIFO は 32 段とする．また，トグルカウンタは 1 つとする．そのリソース使用量を表 1 に示す．前章の通り，監視する信号線の本数を増やすとトグルカウンタのモジュールの数がその分増加するが，その他のモジュールは変化しない．本システムを N=500 とした場合でも，LUT, Register, Slice, Logic LUTs の割合が 0.0385, 0.0901, 0.229, 0.0291 となり，スライスの割合は少し高いが，リソースの増加量は全体として小さいと言える．

表 1: リソース使用量 (N=1)

	LUT	Register	Slice	Logic LUTs
トグルカウンタ	4	19	6	3
シリアル-パラレル変換	7	38	24	7
非同期 FIFO	46	54	24	44
カウンタシステム (割合%)	58 (0.11)	175 (0.02)	72 (0.54)	55 (0.10)
利用可能リソース	53200	106400	13300	53200

モジュール間のレジスタを追加したことによるリソースの増加はモジュールの深さ D とビット幅 W に依存し，一般に D × W で表すことができる．

4 まとめ

本稿では，Altera FPGA 用モジュール別動的消費電力解析ツール KAPow を元にした Xilinx FPGA デザイン向けのツールについて初期検討を行った．

今後の予定としては，信号線の数 N を増加させた場合や，実際に提案システムを利用する際のリソースの増加量の評価，電力測定評価モデルを構築し，今回提案したシステムを用いて得られたデータを元に動的消費電力を解析をすることなどが挙げられる．

参考文献

[1] E. Hung, J. J. Davis, J. M. Levine, E. A. Stott, P. Y. K. Cheung, and G. A. Constantinides. KAPow: A system identification approach to online per-module power estimation in fpga designs. In *2016 IEEE 24th Annual International Symposium on Field-Programmable Custom Computing Machines (FCCM)*, pp. 56–63, May 2016.

[2] Altera Powerplay Early Power Estimator. https://www.altera.co.jp/ja_JP/pdfs/literature/ug/ug_epe_j.pdf/.

[3] Xilinx Power Estimator. https://japan.xilinx.com/support/documentation/sw_manuals_j/xilinx2014_4/ug440-xilinx-power-estimator.pdf/.

Copyright ©2017 Information Processing Society of Japan.
All Rights Reserved.