

# 回路トポロジー可変なリングオシレータを用いた プロセス変動量と動作温度の推定手法

岸本 真<sup>1,a)</sup> 石原 亨<sup>1</sup> 小野寺 秀俊<sup>1</sup>

概要：本稿では，回路トポロジーを変更可能なリングオシレータを用い，対象回路の動作温度とトランジスタのしきい値電圧変動量を推定する手法を提案する．回路トポロジー可変なリングオシレータはその構成により nMOSFET のしきい値電圧，pMOSFET のしきい値電圧，動作温度に対する発振周波数の感度が異なる．リングオシレータの回路トポロジーごとの発振周波数を計測し，分析することで回路の動作温度とトランジスタのしきい値電圧を推定可能である．商用の CMOS 65 nm プロセステクノロジーを用いた計算機実験により，提案手法により回路の動作温度とトランジスタのしきい値電圧が分離可能であることを確認した．

## A Method of Estimating Process Variation and Chip Temperature Using a Reconfigurable Ring Oscillator

TADASHI KISHIMOTO<sup>1,a)</sup> TOHRU ISHIHARA<sup>1</sup> HIDETOSHI ONODERA<sup>1</sup>

**Abstract:** This paper proposes a method for estimating process variation and die temperature using topology-reconfigurable ring oscillator. The frequency of the topology-reconfigurable ring oscillator in each configuration has different sensitivities to the die temperature, the threshold voltage in nMOS and pMOS transistor. Therefore, by analyzing frequencies of the ring oscillator with different configuration, we can estimate the threshold voltage and die temperature. With circuit simulation targeting a commercial 65 nm CMOS process, we confirm that our method accurately estimates the die temperature and the threshold voltage.

### 1. 序論

近年，集積回路は製造プロセスの微細化により高性能化，高集積化が可能となっている．しかし，プロセスの微細化に伴い集積回路の特性ばらつきはより増大している．集積回路の特性にばらつきを与える主な要因としてプロセス変動量 (P)，電源電圧 (V)，動作温度 (T) が知られている [1]．このばらつきは一般に PVT ばらつきと呼ばれる．プロセス変動量としては，トランジスタのしきい値電圧変動やチャネル長変動が挙げられる．プロセス変動によるしきい値電圧変化の影響として，トランジスタに流れる電流値の変化が挙げられる．しきい値電圧変動は静的電力に影響を及ぼす．トランジスタに流れる電流量が変わるため回路素子の遅延時間に対しても影響を与える．高温状態では，BTI などの影響により，トランジスタの劣化が加速する．また回路のリーク電流も増加する．最大消費電力に制約が存在する場合，リーク電流の増加による静的電力の増

加は回路性能の制約となる．チップの温度の観測はこれらの影響を観測するために重要となる．

回路特性を正確に推定することで，回路の特性に応じて基板バイアス等でしきい値電圧の調整を行うことができる．これにより設計時に想定される回路特性からの変動量を補償することができる [2]．このような目的のために，例えば文献 [3] では再構成可能なリングオシレータを回路を用いて発振周波数からプロセス変動量を推定する手法が提案されている．本稿ではプロセス変動量に加えて動作温度を推定する手法について述べる．

しきい値電圧や温度の変動に対し大きく変動するものとしてサブスレシールドリーク電流が挙げられる．そのためサブスレシールドリーク電流により発振周波数が決まるリングオシレータを構成すれば，周波数変動量からしきい値電圧や温度の変動を推定することができる．本稿では文献 [3] の回路を改良し，サブスレシールドリーク電流で発振動作するリングオシレータを実現する．改良を行った回路を用いて複数の条件下で発振周波数を測定することにより，プロセス変動量と動作温度の両方の推定を行う．

<sup>1</sup> 京都大学大学院情報学研究所

<sup>a)</sup> tkishimoto@vlsi.kuee.kyoto-u.ac.jp

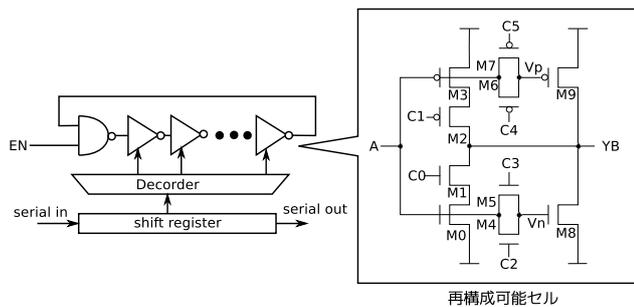


図 1 文献 [3] の再構成可能リングオシレータ概略図および再構成可能セル

本稿の構成を以下に示す．2章において本提案回路のもととなった先行研究について紹介する．3章で本稿での提案回路についての説明を行う．4章ではプロセス変動量と温度の推定手法について説明する．5章ではプロセス変動量と動作温度の両方について分離推定を行った結果について紹介する．6章で本稿をまとめる．

## 2. 再構成可能リングオシレータによるプロセス変動量推定

PVTばらつきを直接測定することは現実的ではなく回路の動作周波数などで間接的な観測しかできない．そのため，PVTばらつきをすべて分離推定することは容易ではない．そこでまず，プロセス変動量のみを分離することを検討する．本稿では，しきい値電圧の変動がすべてのプロセス変動を代表するものとする．

プロセス変動量の推定手法にはリングオシレータを用い，その発振周波数から推定する手法が存在する [3, 4]．リングオシレータは実装と測定が容易であることからプロセス変動量の推定に一般的に用いられる．プロセス変動量には pMOSFET のしきい値電圧変動と nMOSFET のしきい値電圧変動の 2 つが存在する．オシレータ回路の発振周波数を用いた推定では，観測対象となるのは発振周波数である．発振周波数は pMOSFET と nMOSFET の両方のしきい値電圧変動の影響を受ける．そのため 1 つの回路でしきい値電圧変動を分離することは容易ではない．しきい値電圧の分離推定には，それぞれのしきい値電圧変動に対し，周波数感度の高いオシレータ回路が必要となる．ここで周波数感度とはプロセス変動及び温度変化に対してリングオシレータの周波数が変化する割合のことである．1 つのリングオシレータで pMOSFET と nMOSFET のしきい値電圧変動を分離推定する手法として再構成可能なリングオシレータを用い，発振周波数からプロセス変動量を推定する手法が提案されている [3]．図 1 に文献 [3] のリングオシレータの概略図およびそれに使用される再構成可能セルの回路図を示す．再構成可能セルは構成により特定のトランジスタのしきい値電圧変動に対する周波数感度を増大させることが可能である．周波数感度が異なる構成に対して発

振周波数を測定し，解析することでプロセス変動量を分離できる．

具体的な構成について述べる．図 1 再構成可能セル内の C0 から C5 に与える制御信号を適切に設定することで，ON となるトランジスタを変更する．再構成可能セルはプルアップ回路とプルダウン回路を 1 つの回路の中で複数用意し，その組み合わせを変更し，しきい値電圧に対して周波数感度の異なる回路に再構成する．この回路においてプルアップ回路とプルダウン回路は 2 種類ずつ存在している．ここで図 1 再構成可能セルの M0, M1, M2, M3 がスタックされた経路を前段と呼ぶ．M8, M9 がスタックされた経路を後段と呼ぶ．前段は  $V_{dd}, V_{ss}$  によりプルアップ，プルダウンを行う．後段は特定のトランジスタのしきい値電圧に対し感度を上昇させる手法として，強反転領域でのパストランジスタの動作を利用している．パストランジスタがゲートに接続されたトランジスタ (図 1 の M8 と M9) は，パストランジスタのしきい値電圧分ゲートの駆動電圧が減少する．例えば図 1 の C2 と C3 の信号値 1 を設定し，入りに  $V_{dd}$  を与えると，パストランジスタを通過する電圧はしきい値電圧分減少する．これにより M8 のゲート電圧は電源電圧よりしきい値電圧分減少する．この影響でトランジスタに流れる電流量が変化し，リングオシレータの発振周波数が変化する．与える信号値を適切に設定することで，これらの回路を組み合わせ，しきい値電圧の変化に対して異なる周波数感度を実現する．

## 3. リーク電流に対し敏感な回路に構成可能なリングオシレータ

本章では文献 [3] の回路を改良し，プロセス変動に対する周波数感度を向上させる方法を検討する．温度に対して周波数感度が高い構成についても検討する．

### 3.1 既存回路の問題点

オシレータ回路の発振周波数は温度変化，プロセス変動の両方に影響を受けて変化する．そしてしきい値電圧にも温度依存性が存在する．そのためプロセス変動量と温度の分離推定は容易ではない．プロセス変動量と動作温度を分離するためには，特定のトランジスタのしきい値電圧または温度に対する周波数感度が高い構成が必要となる．温度によるしきい値電圧変動とプロセス変動によるしきい値電圧変動を分離するためには温度変化に対して異なる周波数感度を持つ構成が必要となる．先行研究 [3] におけるパストランジスタによるゲート電圧降下を利用した回路や通常のインバータ回路は温度変化に対する周波数感度は低く，それぞれの構成の温度に対する周波数感度がほとんど変わらない．そのため新たに温度に対して既存回路と異なる周波数感度を持つ構成が必要となる．そこでリーク電流に注目する．ここでリーク電流はサブスレッショルドリーク電

表 1 先行研究回路 [3] をリーク電流を用いて発振させる構成 .

C5	C4	C3	C2	C1	C0	名称
0	1	0	0	0	0	nMOS リーク測定構成
1	1	1	0	1	1	pMOS リーク測定構成

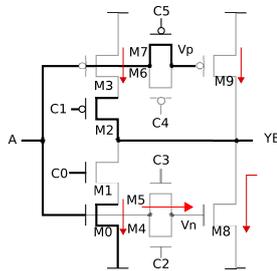


図 2 先行研究回路における NMOS リーク構成におけるリークパス ( $A=V_{dd}$  の場合) . nMOS 以外にも pMOS からのリーク電流が流れこんでくる .

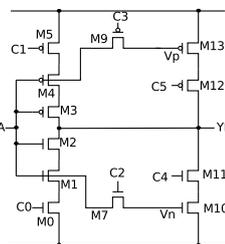


図 3 提案する回路トポロジー可変なインバータ .

流のことを指す . リーク電流はしきい値電圧や温度変化に対して敏感に変化する . トランジスタのサブスレシールド特性を利用した温度センサやばらつきセンサも提案されている [5,6] . リーク電流の変化に発振周波数が比例するリングオシレータ回路を実現すれば , しきい値電圧と動作温度に対し周波数感度の高い構成が実現できる . これによりプロセス変動や動作温度のより高精度な推定が可能である .

図 1 の回路をリーク電流を用いて発振させる構成を考える . この場合表 1 に示す信号値を設定する . しかし表 1 の構成の場合 , pMOSFET と nMOSFET のしきい値電圧変動を分離できない . 例えば表 1 の nMOS リーク測定回路で , 入力 A に  $V_{dd}$  が入力された時のリークパスを図 2 に示す . 図 2 の薄い線はトランジスタが OFF となっている部分である . 図 2 では OFF となっているトランジスタは M1, M3, M8, M9 となり , 4 ヶ所のリークパスが存在する . nMOSFET のリーク電流以外にも pMOSFET のリーク電流の影響も発振周波数に現れる .

### 3.2 提案回路

本稿では特定のトランジスタのリーク電流にのみ発振周波数が依存するインバータセルを提案する . 提案回路を図 3 に示す . 本提案回路を用いてリングオシレータを構成し , 異なる構成で発振周波数を観測することで回路のしきい値電圧変動量及び動作温度を推定する . 本提案回路では特定のトランジスタのリーク電流の影響により発振周波数が大

表 2 提案回路における構成の例 .

C5	C4	C3	C2	C1	C0	構成名
1	0	1	0	0	1	標準インバータ構成
1	1	1	1	0	0	Nsense 構成
0	0	0	0	1	1	Psense 構成
1	0	1	0	0	0	Nleak 構成
1	0	1	0	1	1	Pleak 構成

きく変化するように図 1 の回路を改良した . 通常のインバータと同じようにプルアップ , プルダウンを行う構成を標準インバータ構成 , 従来と同じくパストランジスタによるゲート電圧降下を利用した構成を Psense 構成 , Nsense 構成 , リーク電流に敏感な構成を Nleak 構成 , Pleak 構成と呼ぶ事にする . 信号値の設定例として表 2 の構成が挙げられる . 表 2 で構成名を本文中で使用する . 表 2 の信号を与えた時の各構成について図 4 , 図 5 , 図 6 に示す . これらの図において薄い線で示されている部分がトランジスタが OFF となっている経路であり , 濃い線で示されているのがトランジスタが ON となっている経路である . 本提案回路においてもプルアップ回路とプルダウン回路を 2 種類用意している . ここで図 3 の M0, M1, M2, M3, M4, M5, M6 がスタックされている経路を前段と呼ぶ . また M10, M11, M12, M13 がスタックされた経路を後段と呼ぶ . 前段が  $V_{dd}$ ,  $V_{ss}$  によりプルアップ , プルダウンを行う回路 , 後段がパストランジスタによって駆動されることでしきい値電圧への感度を上げる回路であることは従来と同じである . 加えて前段はゲート電圧を 0V とした場合のリーク電流でプルアップ , プルダウンする回路に構成可能とした . 例として nMOSFET のリーク電流による周波数変化を観測する場合を考える . この時に用いる構成は図 6(a) の構成である . 図 6(a) の M0 のトランジスタのリーク電流が発振周波数に与える影響を観測する . 入力 A に  $V_{dd}$  が入力された場合を考える . M3, M4, M5 が直列接続された経路では M4, M3 が OFF になり , OFF の pMOSFET が 2 段スタックされる構成となる . M0, M1, M2 が直列接続された経路では M0 のみが OFF となり , 出力から GND への経路上の OFF の nMOSFET は 1 つとなる . そのため前段の pMOSFET のリーク電流が発振周波数に与える影響は減少する . 後段は , 図 3 の  $V_p$ ,  $V_n$  の点がフローティングとなり , M10, M13 のトランジスタが弱く ON となる . 後段のリーク電流の影響を遮断するため , M11, M12 のトランジスタを利用する . M11, M12 を OFF にすることで , M10, M13 のリーク電流を遮断し , 前段のリーク電流が発振周波数が決定できる .

標準インバータ構成では , 強反転状態のトランジスタに流れる電流によりその周波数が決まる . 強反転状態のトランジスタに流れる電流は式 (1) で表すことができ , トランジスタに流れる電流はしきい値電圧に依存して変化する .

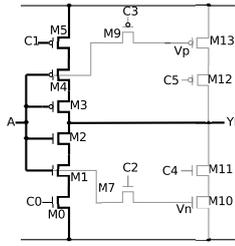


図 4 提案回路における標準インバータ構成

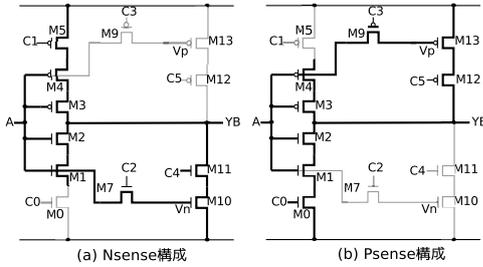


図 5 提案回路における Psense 構成 Nsense 構成

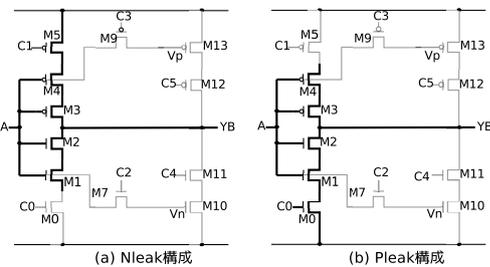


図 6 提案回路における Pleak 構成 Nleak 構成

$$I_{ds} = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{gs} - V_{th})^\alpha \quad (1)$$

この式の  $\mu$  はキャリアの移動度,  $C_{ox}$  はトランジスタの単位面積あたりのゲート容量,  $W$  はトランジスタのゲート幅,  $L$  はトランジスタのチャンネル長,  $V_{th}$  はしきい値電圧である.  $V_{gs}$  はゲートソース間電圧であり通常電源電圧になる.  $\alpha$  はフィッティングパラメータであり, 1 から 2 の間の定数となる. 式 (1) より, 標準インバータ構成は nMOSFET 及び pMOSFET 両方のしきい値電圧変動に対して周波数が変動する.

移動度は温度の関数として, 式 (2) で表せる [7].

$$\mu(T) = \mu(T_r) \left( \frac{T}{T_r} \right)^{-k} \quad (2)$$

ここで  $T_r$  は室温,  $T$  は絶対温度,  $k$  はフィッティングパラメータである. しきい値電圧は温度に対して式 (3) で表せる [7].

$$V_{th}(T) = V_{th}(T_r) - k_{vt}(T - T_r) \quad (3)$$

$k_{vt}$  はフィッティングパラメータでありおよそ 1-2 mV/K である. 式 (1) 及び式 (2) より, 温度が上昇すると, 移動度は低下するためトランジスタに流れる電流は減少方向に作用する. 式 (1) 及び式 (3) より, 温度が上昇すると, しきい値電圧は減少するためトランジスタに流れる電流は増

大方向に作用する. つまり移動度としきい値電圧は温度変動という観点から見ればトランジスタに流れる電流に対して逆の影響を及ぼす. そのため, 電源電圧を適切に設定することで, 温度に対する周波数感度を変化させることができる. リングオシレータのしきい値電圧変動に対する影響は, 式 (1) に従い, トランジスタに流れる電流が変化する. この影響でリングオシレータの周波数が変動する. Psense 構成, Nsense 構成について考える. パストランジスタのしきい値分だけゲートの駆動電圧が下がるため, しきい値電圧の変動に対する影響が発振周波数に大きくあらわれる. パストランジスタを挿入した回路の場合, 電源電圧が高い条件では電流の式は近似的に式 (4) で表せる.

$$I_{ds} = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{gs} - 2V_{th})^\alpha \quad (4)$$

式 (4) よりしきい値電圧変動による影響が通常のインバータよりも発振周波数に強くあらわれる.

Nleak 構成, Pleak 構成の場合, 発振周波数はしきい値電圧変動や温度変化に対し指数関数的に変化する. サブスレショルドリーク電流は式 (5) で表せる [8].

$$I_{leak} = I_0 e^{\frac{V_{gs} - V_{th} + \lambda V_{ds} - \gamma V_{sb}}{n v_T}} \quad (5)$$

ここで  $I_0 = \mu C_{ox} (W/L) v_T^2 e^{1.8}$  である.  $v_T = k_B T / q$ ,  $v_T$  は熱電圧,  $n$  はサブスレショルドスイング係数,  $\lambda$  は DIBL 係数,  $k_B$  はボルツマン定数,  $q$  は素電荷である. また  $V_{ds}$  はドレインソース間電圧,  $V_{sb}$  はソース基板間電圧である. 式 (5) より, Nleak 構成や Pleak 構成では, しきい値電圧に対する周波数感度はともに Nsense 構成, Psense 構成に比べ増加する. また温度変化に対しては標準インバータ構成, Nsense 構成, Psense 構成と異なり, 周波数が指数関数的に変化する. そのため, しきい値電圧, 温度に対する周波数感度は Nleak 構成, Pleak 構成の 2 つと, Nsense 構成, Psense 構成, 標準インバータ構成の 3 つとでは大きく異なる. これらの周波数感度の差から温度としきい値電圧が分離できる.

#### 4. プロセス変動量と温度の推定

本章では提案回路を用いたプロセス変動量と動作温度の推定について議論する.

##### 4.1 推定手法

リングオシレータの発振周波数からプロセス変動量を推定する手法について考える. リングオシレータの周波数には pMOSFET, nMOSFET 両方のしきい値電圧変動の影響があらわれる. そのため 1 つのリングオシレータの発振周波数から直接しきい値電圧変動量を求めることは容易ではない. そこで複数のリングオシレータの発振周波数を解析することでしきい値電圧の分離を行う. しきい値電圧変動に対する感度が異なる複数のリングオシレータの周波数

を測定する．その測定値の違いからしきい値電圧変動量を分離推定する方法を構築する．文献 [4] で、しきい値電圧変動に対して異なる感度を持つ構成を使用し、しきい値電圧の変動量を分離する手法が提案されている．しきい値電圧変動量の分離は式 (6) を用いて行うことができる．

$$\Delta f = f_m - f_0 = k_n \Delta V_{thn} + k_p \Delta V_{thp}. \quad (6)$$

$\Delta f$  がシミュレーションと実際のチップの発振周波数の違いである． $f_m$  が実際のチップより計測した発振周波数、 $f_0$  があるしきい値電圧及びチャネル長でのシミュレーションにおける発振周波数である． $k_n, k_p$  がそれぞれ nMOSFET, pMOSFET のしきい値電圧変動に対する周波数感度である． $\Delta V_{thn}$  は  $f_0$  を求める際に設定したしきい値電圧からの nMOSFET のしきい値電圧の変動量である． $\Delta V_{thp}$  は  $f_0$  を求める際に設定したしきい値電圧からの pMOSFET のしきい値電圧の変動量である．式 (6) を周波数感度が異なる 2 種類の構成について求め、連立方程式を解くことでしきい値電圧の変動量を推定可能である．本提案回路においても同様の手法を用いることでしきい値電圧のばらつきについて推定を行う．

温度の分離に関しては式 (6) に温度に関する新たな項を付け加えることで分離を行う．

$$\Delta f = f_m - f_0 = k_n \Delta V_{thn} + k_p \Delta V_{thp} + k_{temp} \Delta T. \quad (7)$$

$k_{temp}$  は温度変化に対する周波数感度である． $\Delta T$  は  $f_m$  の測定時の温度と  $f_0$  を求めた際に設定した温度の差である．

本章で議論するプロセス変動量と温度に関し推定誤差を解析するために感度ベクトルと条件数を考える．条件数は連立方程式がどれだけ数値解析を行いやすいかを示す尺度である．感度ベクトルは、nMOSFET のしきい値電圧、pMOSFET のしきい値電圧、動作温度に対する周波数感度の向きと大きさと定義する．連立方程式の感度係数を  $3 \times 3$  の行列  $A$  とした時、条件数  $cond(A)$  は

$$cond(A) = \|A\| \cdot \|A^{-1}\|. \quad (8)$$

で表すことができる．

リングオシレータの発振周波数はしきい値電圧および温度変動に対して線形に変化しない．しきい値電圧および温度の変動量を求めるためには  $f_0$  ごとに周波数感度を求め式 (7) を解く必要がある．リーク電流を用いる際の問題は、周波数が温度、しきい値電圧に対し指数関数的に変化することである．この影響で周波数により感度が大きく異なる． $f_m$  と  $f_0$  の差異が大きい場合、しきい値電圧及び温度の変動量が実際よりも大きくなる．その対策として、変動幅に制限を掛ける必要がある．

#### 4.2 感度評価

各構成の感度について検証する．正確にしきい値電圧変

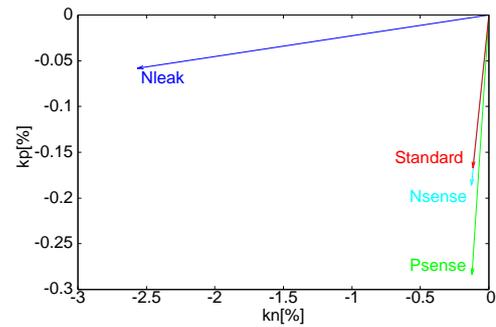


図 7 しきい値電圧に対する各構成の感度ベクトル．電源電圧 1.2 V のとき．

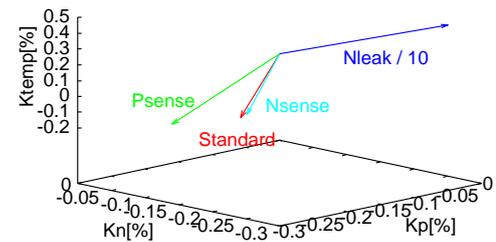


図 8 しきい値電圧及び温度に対する各構成の感度ベクトル．電源電圧 1.2 V のとき．

動量および温度を推定するためには、この感度のベクトル同士が十分な角度を持つ必要がある．

まずしきい値電圧に対する感度について検証する．シミュレーションには商用 65 nm プロセスを用いた．検証に使用したプロセスでは、Pleak 構成は安定した発振を行わない．そのため本検証実験ではリーク電流に対して周波数が大きく変化する構成として Nleak 構成を使用する．ここでしきい値電圧が、1 mV 変化した時のリングオシレータの発振周波数の変化率を感度としている．図 7、図 8 の感度はプロセス変動がなく (T-T 条件)、温度が 25 °C の時の感度ベクトルである．トランジスタのゲート幅について nMOSFET のゲート幅を pMOSFET のゲート幅の 3 倍と設定した．図 7 に電源電圧を 1.2 V とした時の各構成でのしきい値電圧に対する感度ベクトルを示す．高い電圧では Nsense 構成と Psense 構成では、十分に感度ベクトル間の角度を取ることが難しい．しかし、Nleak 構成では、Nsense 構成と Psense 構成と比較し、感度ベクトル同士の角度が十分大きくなる．

図 8 に電源電圧を 1.2 V とした時の温度及びしきい値電圧に対する感度ベクトルを示す．温度が 1 °C 変化した時のリングオシレータの発振周波数の変化率を感度としている．図 8 において Nleak 構成は他の構成よりもしきい値電圧及び温度に対する感度が大きい．そのため、nMOSFET, pMOSFET のしきい値電圧変動、及び温度に対する感度を 1/10 として図中に示してある．図 8 より、Nleak 構成は他の構成と異なる感度を示す．構成によりベクトルの方向が異なるものが存在する．そのため、温度、しきい値の分離

表 3 構成の組み合わせによる条件数の比較

構成 1	構成 2	構成 3	条件数
標準インバータ構成	Nsense 構成	Psense 構成	24511
標準インバータ構成	Nleak 構成	Psense 構成	18074
標準インバータ構成	Nsense 構成	Nleak 構成	101870
Nleak 構成	Nsense 構成	Psense 構成	21073

表 4 しきい値電圧変動及び動作温度の設定.

番号	$\Delta V_{thn}$ [mV]	$\Delta V_{thp}$ [mV]	$\Delta T$ [ $^{\circ}$ C]
1	-30	30	40
2	40	-30	40
3	25	40	80
4	-30	-30	50

表 5 しきい値電圧及び温度の推定結果.

番号	$\Delta V_{thn}$ [mV]	$\Delta V_{thp}$ [mV]	$\Delta T$ [ $^{\circ}$ C]
1	-30.0	30.0	40.0
2	40.0	-30.0	39.9
3	24.9	40.0	80.0
4	-30.0	-29.9	49.9

推定が可能である.

各組み合わせについて条件数を比較したものが表 3 となる. 電源電圧は 1.2 V である. 表 3 より最も条件数が小さく推定が容易なのは, 標準インバータ, Nleak 構成, Psense 構成の組み合わせである. よってプロセス変動量および温度の推定にはこの 3 つの構成の組み合わせを用いる.

## 5. 実験結果

本章では 4 章で述べたプロセス変動量と動作温度の推定方法について計算機シミュレーションで検証した結果を示す. 式 (7) に基づきプロセス変動量と温度に関して分離推定を行う. 4 章より Nleak 構成, Psense 構成, 標準インバータ構成の 3 つの構成を用いて推定を行った. 実際のチップでの測定周波数の代わりにシミュレーション上でしきい値電圧の変動を与え, 温度条件を変化させる. その条件で測定した周波数を,  $f_m$  として推定を行った. 電源電圧を 1.2 V とした. また初期条件として, T-T 条件かつ, 温度は 25  $^{\circ}$ C とした. 結果を表 4, 表 5 に示す. 表 4 はしきい値電圧および温度の変動量として設定した値である. 表 5 は温度, しきい値電圧の変動量の推定結果である. 表 4 と表 5 では同じ番号が対応関係にある. 今回の条件では最大で 5 回の移動で初期条件から推定値まで達した. 表 4, 表 5 より推定誤差は 0.5% 以下となる. 以上のことから本提案回路を用いることで, しきい値電圧及び動作温度を正確に推定可能であることが確認できた.

## 6. 結論

本稿では既存研究回路を改良し, プロセス変動量と動作温度を同時に推定可能な手法について提案を行った. リー

ク電流はしきい値電圧変動や温度に対して高い感度を持つため, プロセス変動量および温度推定において, リーク電流を用いた回路を活用することを提案した. 既存研究の回路を改良し, リーク電流のパスを限定でき, かつリーク電流により発振周波数が決定する構成に変更可能な回路について提案を行った. 提案回路の構成はパストランジスタによるゲート電圧降下を利用した回路より感度が大きく pMOSFET と nMOSFET のしきい値電圧の分離が容易になることを示した. また温度変化に対しても高い感度を持つ構成が変更可能であることを示した. 提案回路に関して, しきい値電圧及び温度に対する感度が異なる構成に変更可能であることを示した. 最後に単一の回路で, しきい値電圧及び温度に対して異なる感度を持つ回路構成を用いて, しきい値電圧および温度を正確に推定可能であることを計算機実験を用いて示した.

## 謝辞

本研究の一部は JSPS 科研費 (16H01713, 25280014) による支援によって行われた. 本研究は東京大学大規模集積システム設計教育研究センターを通じ, シノプシス株式会社, 日本ケイデンス株式会社, メンター株式会社の協力で行われた.

## 参考文献

- [1] S. Borkar, T. Karnik, S. Narendra, J. Tschanz, A. Keshavarzi, and V. De, "Parameter variations and impact on circuits and microarchitecture," in *Proc of Design Automation Conference*, June 2003, pp. 338–342.
- [2] J. Tschanz, J. Kao, S. Narendra, R. Nair, D. Antoniadis, A. Chandrakasan, and V. De, "Adaptive body bias for reducing impacts of die-to-die and within-die parameter variations on microprocessor frequency and leakage," *IEEE Journal of Solid-State Circuits*, vol. 37, no. 11, pp. 1396–1402, Nov 2002.
- [3] A. Islam, T. Ishihara, and H. Onodera, "Reconfigurable delay cell for area-efficient implementation of on-chip MOSFET monitor schemes," in *Proc. of Asian Solid-State Circuits Conference*, Nov 2013, pp. 125–128.
- [4] I. A. K. M. Mahfuzul, A. Tsuchiya, K. Kobayashi, and H. Onodera, "Variation-sensitive monitor circuits for estimation of die-to-die process variation," in *2011 IEEE International Conference on Microelectronic Test Structures*, April 2011, pp. 153–157.
- [5] P. Ituero, J. L. Ayala, and M. Lopez-Vallejo, "A nanowatt smart temperature sensor for dynamic thermal management," *IEEE Sensors Journal*, vol. 8, no. 12, pp. 2036–2043, Dec 2008.
- [6] A. Islam, J. Shiomi, T. Ishihara, and H. Onodera, "Wide-Supply-Range All-Digital Leakage Variation Sensor for On-Chip Process and Temperature Monitoring," *IEEE Journal of Solid-State Circuits*, vol. 50, no. 11, pp. 2475–2490, Nov 2015.
- [7] N. Weste and D. Harris, "CMOS VLSI Design A Circuits and Systems Perspective", 4th ed. Addison-Wesley, 2011.
- [8] R. Rao, A. Srivastava, D. Blaauw, and D. Sylvester, "Statistical analysis of subthreshold leakage current for VLSI circuits," *IEEE Transactions on Very Large Scale Integration Systems*, vol. 12, no. 2, pp. 131–139, Feb 2004.