

3次元型トランジスタによるLSIのパターン面積の縮小効果の検討

岡本恵介 渡辺重佳
 湘南工科大学 情報工学科

1. はじめに

近年の高集積化されたシステム LSI では、2 つの大きな問題がある。1 つはシステム LSI を構成する平面型トランジスタの微細化の限界である。ショートチャネル効果の増加、サブスレッショルド特性の劣化が解決困難となってきた。2 つ目は高機能化に伴うチップの大型化による製造コストの増大である。大型化に伴いグロス率は低下し、歩留まりも大幅に低下してしまう。

これらの問題を解決する新技術として、FinFET に代表される 3 次元型トランジスタが現在注目されている[1] - [4]。そこで、本研究では 3 次元型トランジスタによる LSI のパターン面積の縮小効果の検討を行った[5]。

2. 各種 3 次元型トランジスタの比較

各種 3 次元型トランジスタの比較を図 1 に示す。

	平面型	ダブルゲート型	FinFET/TIS 型	SGT 型
断面図				
トランジスタの微細化	困難	容易	容易	容易
パターン面積の縮小効果	1面利用	2面利用	3面利用 側面チャネルの利用	4面利用
製造技術	容易	比較的容易	比較的容易	困難
設計技術	既存技術	一部新規 上下電極の合わせ	一部新規 側壁チャネル幅の最適化等	新規 ソース・ドレイン電極の高低差等

図 1. 各種 3 次元型トランジスタの比較

ダブルゲート型[1]、FinFET/TIS 型[2][3]、SGT 型[4]のトランジスタを用いることで、平面型トランジスタでは困難とされる微細化、パターン面積の縮小が実現できる。

4 側面をチャネルに使用する SGT 型はトランジスタの微細化、パターン面積の縮小が実現できる反面、製造が困難であり、さらにソースとドレイン

ン電極の高さが異なるため設計技術を新しく開発しなければならない。

それに対して、ダブルゲート型と FinFET/TIS 型ではトランジスタの微細化、パターン面積の縮小が実現でき、さらに設計技術も平面型に近く、製造技術も比較的容易である。

3. NAND, NOR 等のロジックでの面積縮小効果

図 2 に示すデザインルールに従い、平面型トランジスタと各種 3 次元型トランジスタを用いて設計した 4 入力 NAND のパターン図を図 3 に示す。

	平面型	ダブルゲート型	FinFET/TIS 型	SGT 型
Gate length	F	F	F	F
Gate pitch	2F	2F	2F	2F
Al wiring (width)	F	F	F	F
Al wiring to Al wiring	F(surface)	F(surface)	F(surface)	F(surface) 0(surface to bottom)
Active area (width)	F	F	F	F
Active area (pitch)	2F	2F	2F	2F
Well isolation	F	F	F	F
Contact size	F*F(surface)	F*F(surface)	F*F(surface)	F*F(surface) F*2F(bottom)

図 2. パターン面積の比較に用いたデザインルール

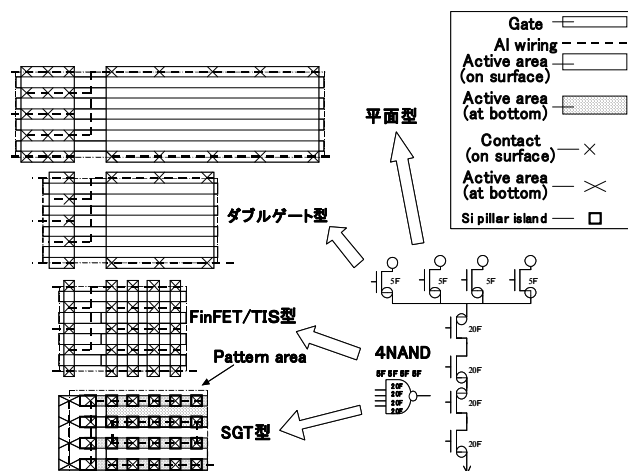


図 3. 4 入力 NAND のパターン面積の比較

Impact of Three-Dimensional Transistor on the Pattern Area Reduction for ULSI

Keisuke Okamoto, Shigeyoshi Watanabe

Department of information science, Shonan Institute of Technology

平面型トランジスタと比較して、どの3次元型トランジスタを用いた場合にも4入力NANDのパターン面積を大幅に縮小出来ることがわかる。特にFinFET/TIS型では大きな縮小効果が得られている。

さらに3次元型トランジスタを用いて設計した段数(直列につながっているトランジスタ数)の異なる各種NANDのパターン面積の比較を行った。絶対値で比較した結果を図4に、相対値で比較した結果を図5に示す。

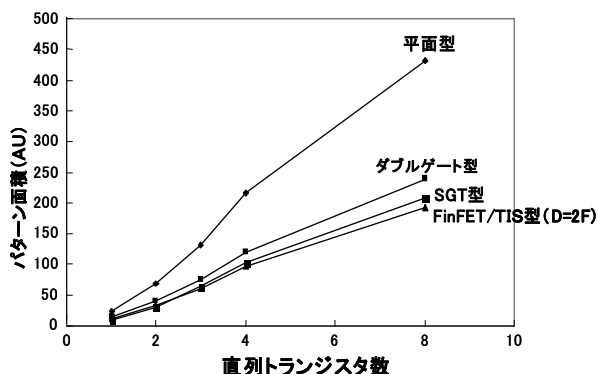


図4.絶対値での各種NANDのパターン面積の比較(直列トランジスタ数依存性)

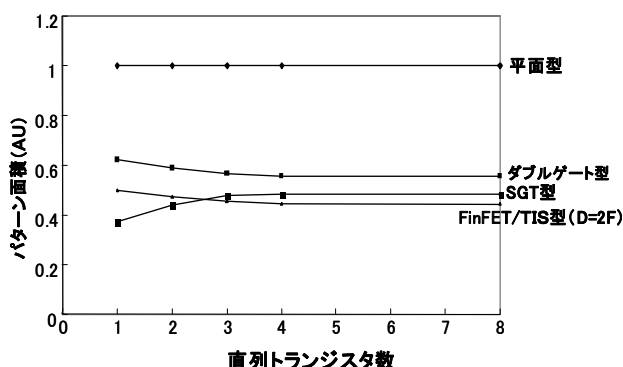


図5.相対値での各種NANDのパターン面積の比較(直列トランジスタ数依存性)

図4からも図3のパターン図と同様に、FinFET/TIS型トランジスタを用いた場合に各種NANDのパターン面積を最も縮小出来ることがわかる。

図5より段数が少ない場合は、SGT型トランジスタを用いた場合に最もパターン面積を縮小することが出来るが、段数が増えるとFinFET/TIS型トランジスタを用いた場合に最も縮小することが出来る。段数が少ない場合を除いて、各種NANDのロジックのパターン面積は平面型トランジスタの場合と比較してダブルゲート型では58%、FinFET/TIS型では47%、SGT型では48%

に縮小出来ることがわかる。

また、NANDロジック以外でも同様な検討を行った所、いずれのロジックでもNAND同様3次元型トランジスタの導入により大幅にパターン面積が縮小出来る事がわかった。

4. まとめ

各種3次元型トランジスタを用いてLSIのパターン面積の縮小効果を検討した結果、どの3次元型トランジスタを用いた場合でも、大幅な縮小効果を得られることがわかった。特にFinFET/TIS型トランジスタを用いた場合に大きな縮小効果が得られている。

5. 今後の課題

本研究において最もパターン面積の縮小効果が得られたFinFET/TIS型トランジスタは、3次元型トランジスタの中でも設計技術は平面型に近く、製造技術も比較的容易であるという特徴がある。

そこで、FinFET/TIS型トランジスタに関して、今後は更に具体的なセルライブラリを用いて、配線領域なども考慮したパターン面積のより詳細な見積もりを行う予定である。その結果、大きな面積縮小効果を得ることが出来れば、FinFET/TIS型トランジスタは、現在の平面型トランジスタを置き換える有力な候補になると考えられる。

謝辞

本研究に関して、いつも御助言、御指導して頂いている情報工学科の大谷真教授に感謝致します。

参考文献

- [1] H. Wong, D. Frank and P. Solomon, "Device design considerations for double-gate, ground-plane, and single-gated ultra-thin SOI MOSFETs at 25nm channel length generation," in IEDM Tech. Dig., pp.407-410, Dec. 1998.
- [2] D. Hisamoto et al., "FinFET-A self-aligned double gate MOSFET scalable beyond 20nm," IEEE Trans. Electron Devices, vol.47, no.12, pp.2320-2325, Dec. 2000.
- [3] K. Hieda, F. Horiguchi, H. Watanabe, K. Sunouchi, and H. Hamamoto, "Effect of a new trench-isolated transistor using sidewall gate," IEEE Trans. Electron Devices, vol.36, no.9, pp.1615-1619, 1989.
- [4] H. Takato et al., "Impact of SGT for ultra-high-density LSIs," IEEE Trans. Electron Devices, vol.38, no.5, pp.573-578, Mar. 1991.
- [5] S. Watanabe, "Impact of three-dimensional transistor on the pattern area reduction for ULSI", IEEE Trans. Electron Devices, Vol.50, no.10, pp.2073-2080, 2003.