

MATLAB/Simulink からの高位合成手法を用いた LSI 設計事例

松田 昭信 南谷 崇

東京大学 先端科学技術研究センター

1. はじめに

現在、各種デジタルシステムの高機能化に従い、LSI設計における回路の大規模化が進むと共に、設計回路の多様化／複雑化が進んでいる。それに伴い、開発コストが増大し、品質問題も多発している。これらの課題の解決策の一つとして、設計レベルの高抽象度環境を利用した、LSI設計手法が注目を浴びている。こうした要求において、設計品質の向上と設計期間短縮を実現するため、仕様書レベルから人手によるHDL作成を経てハードウェア設計記述をおこなう従来の設計手法から、MATLAB/Simulink環境やCベース設計手法を用いて、システムをより高い抽象度で記述する方法に設計手法が移行しつつある^[1]。本稿では、これらの動向に着目して、新しい設計手法を効果的に利用するシステムレベル記述から詳細設計まで、MATLAB/Simulink環境による高位合成手法を用いた効率的なLSI開発事例について述べる。

2. システムレベル設計の課題

システムレベル設計において、ハードウェア／ソフトウェア機能分割、アナログ／デジタルの境界領域の検討など、品質とコストのバランスが取れた製品開発を目指す上で、システムアーキテクチャを決定する段階で多くの重要な課題が発生している。この原因は、アーキテクチャ検討段階から最終段階までで、各工程間での設計環境や設計ツールの違いによる意志疎通不足と思われる。具体的には、異環境での各工程間の手作業による言語変換に起因するコーディングエラーといった課題が多発している。以上のような課題によるバグ修正のため発生する開発プロセスの手戻りは、最終的には設計スケジュールの大幅な遅延や、要求スペックの不足、コストの増大といったリスクに結び付いている。

3. 開発プロセス改善

そこで、これら課題解決の開発プロセス改善手法として、種々の手法が提案されている。最も汎用的に提案されている手法として C ベース設計手法がある。これは、C ベース言語 (C/C++、SystemC、SpecC など) から HDL ヘツールにより自動的に変換する手法である。しかし、C ベース言語は元来ソフトウェア向きであり、これらの変換ツールへの適合は、多くの労力を要する。さらに、システムレベル設計においては、C ベース言語は演算に関するデータ構造や演算子を実装していないので、種々の関数群を必要に応じて作成する必要がある、設計から実装までかなりの工数とコストを要する。そこで、図 1 に示すように MATLAB/Simulink を活用すれば、この一連の流れを短時間で精度よくシミュレーションできる。さらに、この MATLAB/Simulink から HDL へ確実かつ自動的に変換できれば、仕様書レベルから LSI への実装まで、高抽象度レベルでのパフォーマンスを維持したまま、高機能／高品質の LSI が実現可能である。

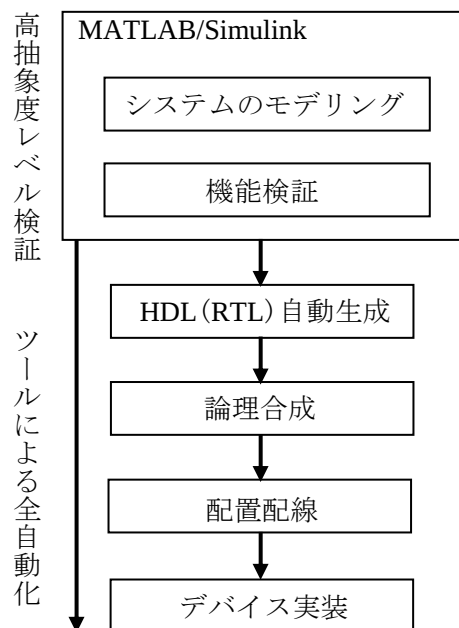


図 1. LSI 設計フロー

4. LSI 開発事例

今回は、ターゲットデバイスの FPGA である XILINX 社 Spartan™シリーズを使用し、デジタル信号処理システムを構成するデジタル FIR フィルタを設計した。この 20 次 FIR 型ローパスフィルタの仕様は以下とする。

- ・サンプリング周波数 20kHz
- ・カットオフ周波数 1kHz
- ・窓関数 ブラックマン窓

また、このフィルタは、主に遅延器 (Z^{-1})、乗算器 ($\otimes$)、加算器 ($\oplus$) からなり、Simulink から HDL に変換するにあたって、種々の最適化コマンドが豊富なため、HDL 変換の性能を検証するには最適と判断した。図 2 は、今回設計したフィルタ構造の一部を示す。

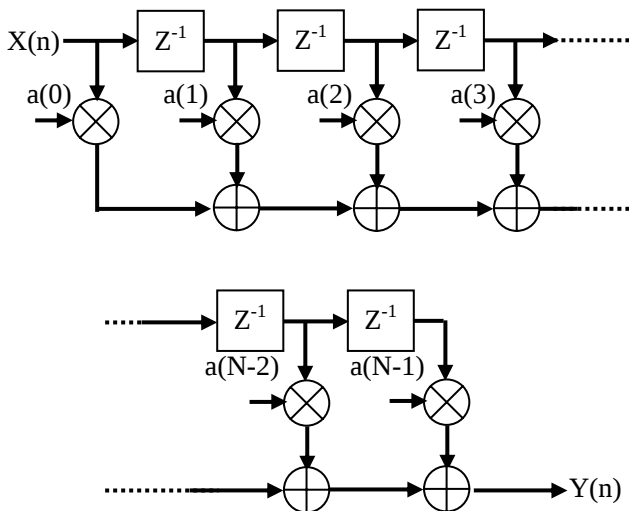


図 2. FIR フィルタ構造

今回は、MATLAB/Simulink 環境で検証したアルゴリズムから自動的に HDL へ変換する機能を使用して生成した回路と、仕様書レベルからハンドコーディング（手作業）によって HDL を生成した回路との比較方法をおこなった。図 3 は今回用いた MATLAB/Simulink 環境利用による新設計工数と、従来の設計工数（手設計工数）の比較を簡易的に示した。新設計手法により、

手設計工数

仕様検討	RTL作成	Sim検証	全体検証
10h	12h	10h	20h

新設計工数

仕様検討	Sim検証	全体検証
8h	8h	15h

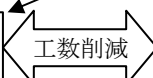


図 3. 設計工数の比較

	新設計	手設計
最大周波数 (MHz)	60.24	35.85
面積 (Gate)	7317	12636
FF使用数 (個)	330	182
Slice使用数 (個)	369	707
LUT使用数 (個)	516	1169

図 4. 回路性能比較

MATLAB/Simulink から HDL の書換え作業が不要となり、また、シミュレーション時間も短縮され工数が短縮された。さらに、仕様検討が終了すると同時に、ハードウェア/ソフトウェア設計が並列に検証できる。これにより、イタレーション及びリスピニングが減り、全体的な設計工数も短縮される。今回の設計事例では、設計工数が 52 (h) 時間から 31 (h) 時間に短縮しており、全体の 40% 工数削減が実現できた。また、新設計手法を用いて自動生成した回路と、人手で HDL を設計した回路の性能比較した結果を図 4 に示す。これによると、パフォーマンスが 40% 以上向上しており、さらに面積は 60% 以上縮小されている。これらから、設計工数及び回路性能ともにより結果が得られたことがわかる。

5. まとめ

今回の設計手法により、アルゴリズム検証から FPGA のシステム記述、詳細設計まで一貫してほぼ自動化することによって、システムレベル設計が高品質かつスピーディに実行できることがわかった。今回の結果は、FPGA デバイスへ特化されて最適化されている面もあるので、あらゆるケースにおいて、このような性能は出ないのかもしれないが、着実に設計期間を短縮することは見て取れる。よって、今後は手続き的な処理やデータフロー的な処理など、様々なターゲットに対して適用していく予定である。

6. 今後の課題

現状では、まだ全ての Simulink ライブラリが HDL 自動変換へサポートされておらず、例えば、高度な関数や、複雑な制御回路などの対応ができていない。よって、依然ハードウェアを意識したコーディングが必要である。また、生成された HDL コードの等価性検証などが十分に実施できない。これらの課題についても検討を要する。

参考文献

[1] 松田昭信、南谷崇：「高位合成手法を用いた C ベース設計による LSI 開発事例」、情報処理学会、第 67 回全国大会、1-99,100 (2005)