

組み込みシステムにおける高負荷機器制御と TCP/IP 通信の並列処理

瀬川 博貴[†]牛丸 真司[‡]沼津工業高等専門学校 専攻科[†]沼津工業高等専門学校 電子制御工学科[‡]

1. 序論

近年の半導体技術の向上により、組み込みシステムの分野は工業機器制御だけでなく、通信端末、情報家電など多種にわたるようになった。同時にネットワーク化、デジタル化により組み込みシステムに求められる機能は多くなり、他の機器と TCP/IP 通信ネットワークを介して情報の共有を行うようになると考えられる^[1]。その場合、本来制御しなければならない機器制御に加え TCP/IP 通信という仕事が組み込みシステムに課されることとなる。これらを並列実行した場合、TCP/IP 通信という長時間にわたりリソースを使用するタスクの起動中に優先度が高くリアルタイム性を要求される機器制御が割り込んでしまうため、通信のスループットが著しく低下してしまう。

本研究では、機器制御と TCP/IP 通信を別々のプロセッサで並列して行うデュアルプロセッサシステムを構築し、機器制御の負荷を限界域に近づけていった時、シングルプロセッサシステムと比較して TCP/IP 通信との並列実行性能にどの程度の改善が見られるかを検証し、その利点と問題点、さらにプログラミング上の改善策について示す。

2. 高負荷環境下における TCP/IP 通信の問題

機器制御を行う組み込みシステムにおける高負荷発生要因としては、短い周期での周期タスクの起動と高頻度の外部割り込みの発生^[2]の 2 点が挙げられる。この高負荷時にさらに TCP/IP 通信を行う場合、TCP/IP 通信に長時間プロセッサリソースを割り当てることが出来なくなる場合や、TCP/IP 通信時に優先度の高い他タスクの割り込みにより、通信処理が一時的に停止するといった問題が発生すると考えられる。

3. 実験システムの概要

実験システム（デュアルプロセッサシステム）は図 1 に示すように、プロセッサとして H8/3069F を搭載した CPU ボード AKI-H8/3069F、シリアル通信用ホストコンピュータ、TCP/IP 通

信用ホストコンピュータ及び DC モータ、ロータリーエンコーダ、タコジェネレータ、モータ駆動用の制御ボード、電源から構成される。

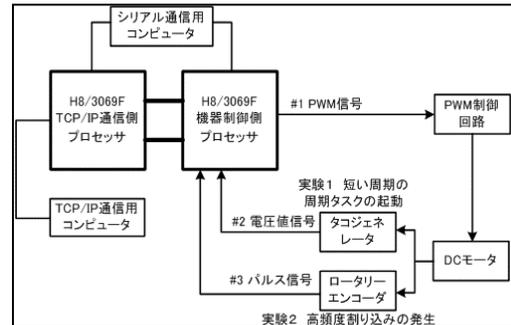


図 1 実験システムの構成

実験は周期タスクの周期起動及び外部割り込みの発生^[2]の 2 種類について行う。周期タスクの実行周期、外部割り込みの頻度を上げていくことにより、高負荷な機器制御状態を発生させる。

4. タスク構成

タスクは TCP/IP 通信用の TINET で使用されるタスクの他に以下のタスクを実装した。機器制御に使用するタスクとして、機器測定タスク及び機器制御タスク。TCP/IP 通信に使用するタスクとして、送信タスク及び受信タスク。その他に初期化タスク、アイドルタスク、シリアル通信タスク、外部割り込みハンドラ、周期ハンドラがある。デュアルプロセッサシステムではプロセッサ間通信で使用するタスクとして、DMA 通信タスクと DMA ハンドラが存在する。

タスク間の通信方式としてはデータキューを用い、実験中のタスクディスパッチ状況を見るために、タスクディスパッチャ内にタスク ID とプロセッサ起動からの経過時刻を取得するサブルーチンを追加している。

5. 実験結果

周期タスクの周期実行によって高負荷環境を発生させた際の実験結果を図 2、図 3 に示す。図 2、図 3 は、それぞれ、デュアルプロセッサシステム、シングルプロセッサシステムで周期ハンドラの実行周期を 3ms とした場合の結果である。

デュアルプロセッサシステムの場合（図 2）、TINET による送信時間は 27579 μ s と低負荷状態時とほぼ同じである。一方、シングルプロセッサシステムの場合（図 3）は TINET による送信時

Parallel processing of high load control and TCP/IP communication in embedded systems.

[†] Hiroki SEGAWA: Advanced Engineering Course, Numazu College of Technology

[‡] Shinji USHIMARU: Department of Digital Engineering

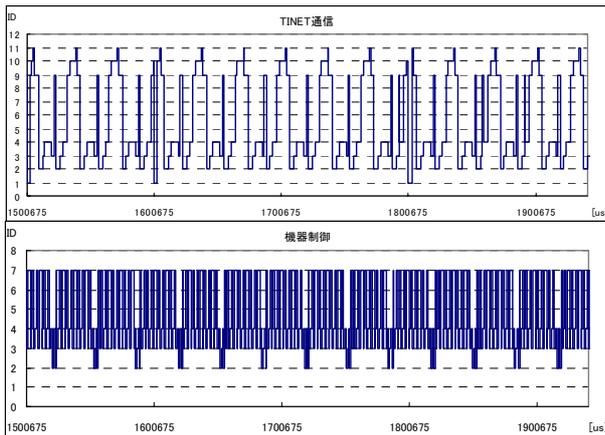


図2 デュアルプロセッサ - 周期ハンドラ 3ms
(上: TCP/IP 通信, 下: 機器制御)

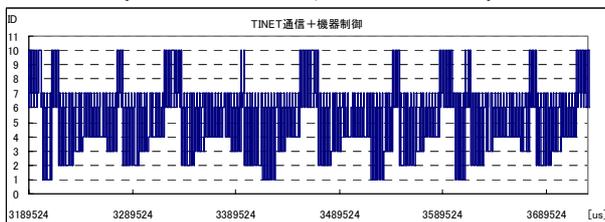


図3 シングルプロセッサ - 周期ハンドラ 3ms
(機器制御及び TCP/IP 通信)

間が $132707 \mu\text{s}$ と非常に長くなっている。

外部割り込みの発生によって高負荷環境を発生させた際の実験結果を図4、図5に示す。図4、図5は、それぞれ、デュアルプロセッサシステム、シングルプロセッサシステムで TINET による送信周期を 60ms とした場合の結果である。

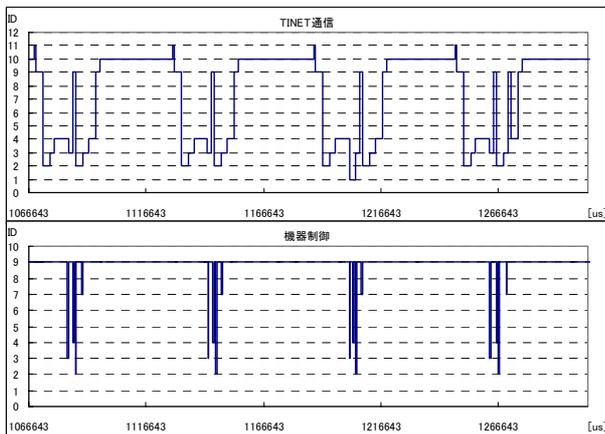


図4 デュアルプロセッサ - 送信周期 60ms
(上: TCP/IP 通信, 下: 機器制御)

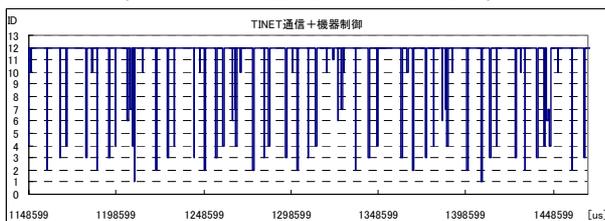


図5 シングルプロセッサ - 送信周期 60ms
(機器制御及び TCP/IP 通信)

デュアルプロセッサシステムの場合(図4)、送信周期 60ms に対し TINET による送信時間は $27304 \mu\text{s}$ であり、キューイングは発生していない。一方、シングルプロセッサシステムの場合(図5)は、割り込みハンドラの処理によってタスクが長時間連続して起動できない状態にある。

6. 考察

図6に周期タスクの周期実行における TINET による送信時間と送信周期の関係を示す。

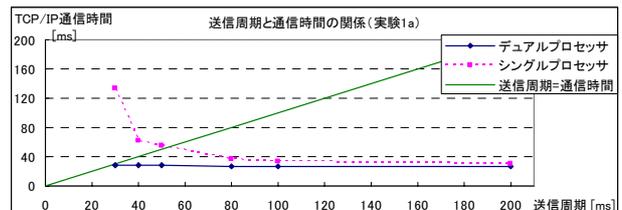


図6 周期実行における TINET の送信時間と周期
ハンドラ(送信周期)の関係

周期ハンドラの周期が短い 40ms 付近からシングルプロセッサにおける TINET の送信時間が長くなっている。「送信周期 = 通信時間」のラインと通信時間が交差する点が、まさにキューイングし始める周期であると同時にアイドルタスクが起動できなくなるポイントでもあり、ここが機器制御と TCP/IP 通信の両立をする上で限界となる限界周期である。

7. まとめ

TINET による送信時間に対し非常に短い周期で周期タスクが起動するような環境では、それら二つの処理をデュアルプロセッサシステムで切り分けることで、シングルプロセッサ構成よりも格段に TCP/IP 通信の並列実行性能が向上することが確認できた。同時に、デュアルプロセッサ構成では、プロセッサ間通信部分の処理がボトルネックとなって、キューイング発生前にシステムが停止してしまい、シングルプロセッサ構成よりも処理性能が劣ってしまうケースがあることがわかった。

高頻度の周期ハンドラ、割り込みハンドラの起動がタスクディスパッチの回数を増加させ、TCP/IP 通信の効率低下によるキューイングの発生の原因となった。測定データをまとめて一度に送信することにより、TINET による TCP/IP 通信タスクの起動回数を減らすことで、タスクディスパッチの回数を減少させることができる。

参考文献

- [1] 徳田英幸, 中澤仁: 計算機業界からの情報家電へのアプローチ, 情報処理, Vol.42, No.11, pp.1063-1069, Nov. 2001