

微細MOSFETのリーク電流を考慮したシステムLSIの 高速低消費電力設計法

渡辺 重佳

湘南工科大学 情報工学科

1. はじめに

高集積化されたシステムLSIでは、微細MOSFETの充放電による消費電力の増大が問題になっている[1]。これを解決するため高性能の汎用MPUでは並列処理が導入され[2]、高速低消費特性を実現している。近年微細MOSFETのリーク電流が急速に増加し低消費電力化の新たな阻害要因となってきている。本研究では組み用プロセッサをモチーフとして、システムLSIでリーク電流が流れる時に並列処理が低消費電力化に有効かどうか検討したので報告する[3] [4]。

2. 組み用プロセッサの消費電力の見積り

検討に用いた組み用プロセッサはデザインルール 70nm、ゲート長 50nm、50mm²のチップに24M個のトランジスタ集積しているものを想定した(250nmルールで設計試作された組み用プロセッサをスケールアップして仮想設計したもの)。電源電圧 0.5V、しきい値電圧 0.216V、ゲート絶縁膜厚 1.6nmの時には1GHzの動作周波数で動く。2GHz、3GHz動作も実現出来るように、電源電圧としきい値電圧を変化させる設計も行った。図1に以上の仮定で計算した組み用プロセッサの

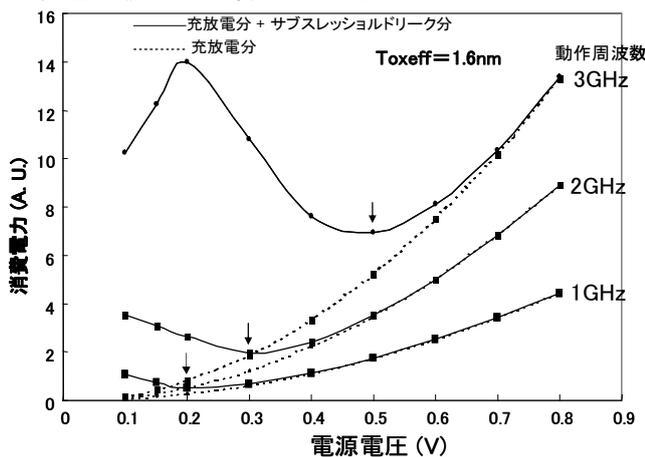


図1. 組み用プロセッサの消費電力(1.6nm)

消費電力の電源電圧、動作周波数依存性を示す。消費電力の要因としては充放電電流とサブスレッショルドリーク電流分があり、消費電力を最小にする電源電圧(図中の矢印)が存在する。このゲート絶縁膜厚の時にはまだゲートリーク電流は流れない。動作周波数を上げると主にサブスレッショルドリーク電流の増加により消費電力は大幅に増加してしまう。

次に並列処理の導入により1GHzで動作する組み用プロセッサを2個、3個並列動作させて全体で2GHz、3GHz動作する場合を想定した。図2に並列処理の場合の組み用プロセッサの消費電力を並列処理無しの場合と比較して示す。

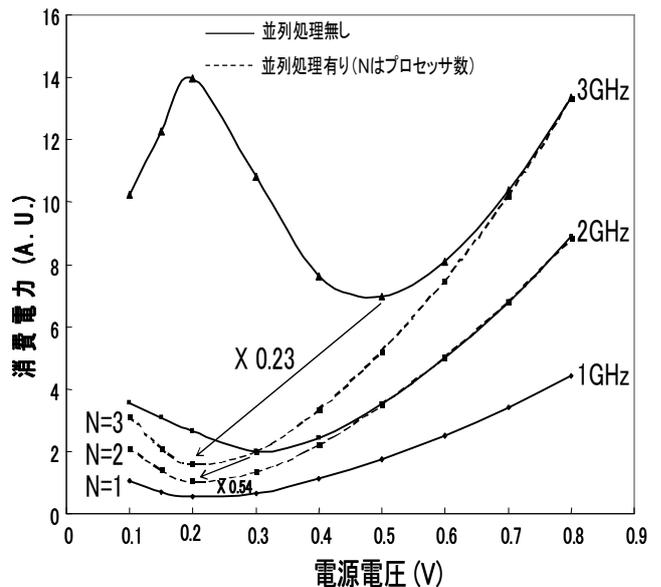


図2. プロセッサの消費電力(並列処理 1.6nm)

並列処理の導入により消費電力を2GHz動作では0.54倍、3GHz動作で0.23倍まで低減出来る。並列処理によりチップ面積は増加するものの、充放電同様、サブスレッショルドリーク分の消費電力も電源電圧によらず大幅に削減出来る事が分かる。

次にリーク電流としてゲートリーク電流が加わった場合の組み用プロセッサの消費電力に及ぼす影響を調べるため、ゲート絶縁膜厚の設定値を通常より0.2nm薄い1.4nmの場合の消費電

Low power design of system LSI with leakage current of MOSFET
Shigeyoshi Watanabe
Department of information science, Shonan Institute of Technology

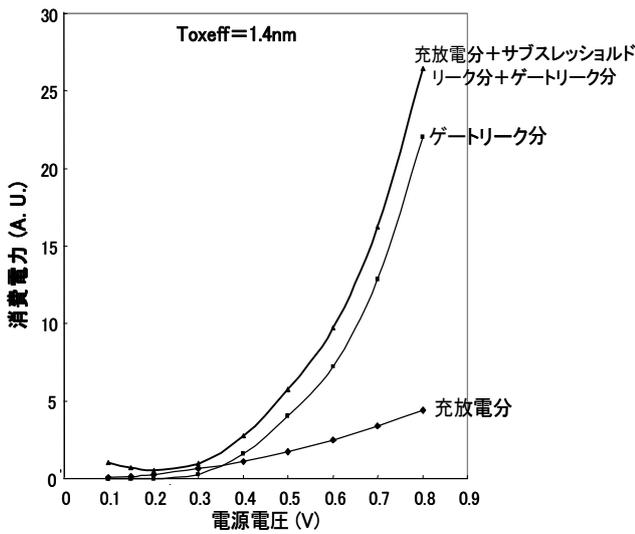


図3. 組み込み用プロセッサの消費電力(1.4nm)

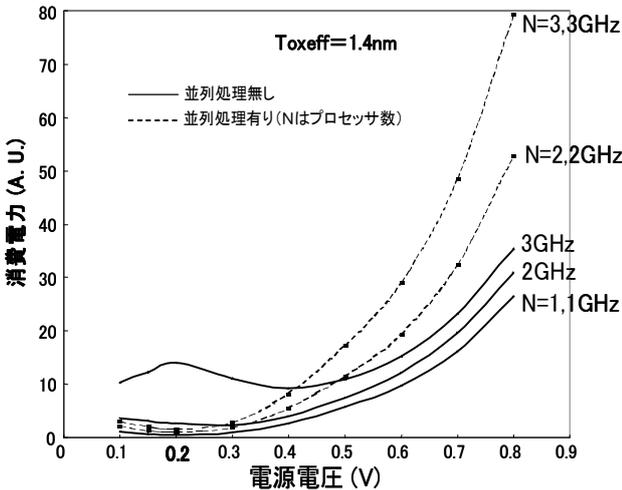


図4. プロセッサの消費電力(並列処理 1.4nm)

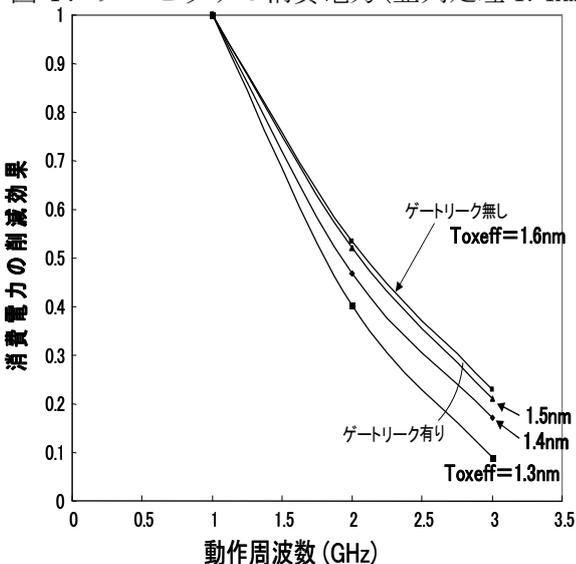


図5. 消費電力の削減効果の比較

力を計算した。1GHz での消費電力の計算結果を図3に示す。ゲートリーク電流による消費電力が電源電圧が高い場合に支配的になっている事が分かる。図4にゲート絶縁膜厚 1.4nm の場合に、並列処理の場合の組み込み用プロセッサの消費電力を並列処理無しの場合と比較して示す。ゲートリーク電流が流れない時と同様に、並列処理の導入により消費電力を大幅に削減できる(2GHz 動作で 0.47 倍、3GHz 動作で 0.17 倍)。但し並列処理の場合に電源電圧を消費電力を最小にする値より高く上げすぎると、ゲートリーク電流による消費電力が支配的になって、並列処理の導入によって消費電力は増加してしまうので設計上考慮する必要がある。

図5に今回検討した結果をまとめた。ゲートリークの有無によらず、組み込み用プロセッサの消費電力は並列処理の導入により大幅に削減できる。ゲートリーク電流の効果は今後更にMOSFETの微細化が進むと大幅に増加し無視できなくなる。

3. おわりに

MOSFETのリーク電流が流れる場合、システムLSIの消費電力はリーク電流が流れない場合と同様に、並列処理の導入により大幅に削減できる事を組み込み用プロセッサをモチーフにして示した。今後MOSFETの微細化が進みリーク電流としてサブスレッショルドリーク電流のみならずゲートリーク電流を考慮しなければならない場合、並列処理による消費電力の削減効果は更に大きくなる。

参考文献

- [1]G.E.Moore, "No exponential is forever: but "forever" can be delayed!", ISSCC Dig. Tech. Papers, 2003.
- [2]S. Naffziger et. Al., "The implementation of a 2-core multi-threaded Itanium family processor" (Montecito), ISSCC Dig. Tech. Papers, 2005.
- [3] 渡辺：微細MOSFETのゲートリーク電流の低消費電力用2電源方式に及ぼす影響の検討、電子情報通信学会和文誌 C, VolJ86-C, no. 6, pp. 658-660, 2003年6月.
- [4] 渡辺：微細MOSFETのリーク電流を考慮したシステムLSIの高速低消費電力設計法の検討、電子情報通信学会和文誌 C, VolJ86-C, no. 9, pp. 1034-1037, 2003年9月.