

3次元型トランジスタを用いたシステムLSIの設計法

渡辺 重佳

湘南工科大学 情報工学科

1. はじめに

近年の高集積化されたシステムLSIでは、2点の大きな問題が指摘されている。1点目はシステムLSIを構成する平面型CMOSトランジスタの微細化の限界である。ショートチャンネル効果の増加、サブスレッショルド特性の劣化が解決困難となってきた。2点目はユーザーからの高機能化の要請に答えるために必然的に生じるチップの大型化に伴う製造コストの増大である。大型化に伴いグロスは低下し、歩留りも大幅に低下してしまう。

これらの問題を解決する新技術としてFinFETに代表される3次元型トランジスタが現在注目されている[1], [2], [3]。本研究ではFinFET導入によるシステムLSIのパターン面積の縮小効果を通信用システムLSI等で見積もった[4]ので報告する。

2. 通信用システムLSIでの面積縮小効果

図1にFinFETの平面図及び断面図を示す。

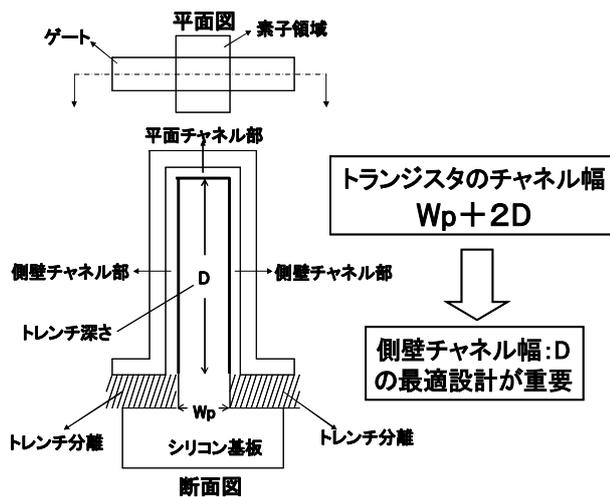
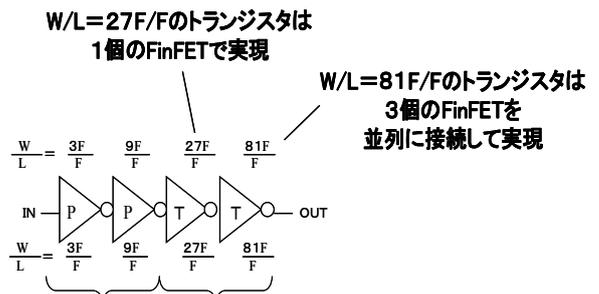


図1. FinFETの平面図及び断面図

平面部だけでなく側壁部もトランジスタのチャンネルになるため高密度化に適しているのが特徴である。FinFET導入の際側壁チャンネル幅Dの値の設定とどのトランジスタをFinFET型にするかという選択がポイントとなる。その選択法としてチャンネル幅の小さいトランジスタを平面型とし、チャンネル幅の大きいトランジスタをFinFET型とする“平面型+FinFET型”(図2)を今回採用した。次に素子部分のパターン面積の縮小効果を見積もるために、“平面型+

D=13F(Fは設計寸法)の場合を想定する
1個のFinFETのチャンネル幅=F+2×13F=27F



平面型で実現 FinFET型で実現

図2. “平面型+FinFET型”方式

FinFET型”法を通信用システムLSI用セルライブラリに適用した。各セルライブラリを用いて設計したパターン面積がチップ全体の面積に占める割合を図3に示す。トランジスタのチャンネル幅で分類した結果を見るとチャンネル幅5F(Fは設計寸法)のトランジスタ(図中ではx1で示す)が全体の74%の面積を占めている事がわかる。次にパターン面積の縮小効果が最も大きい側壁チャンネル幅を図3を元に求めた(図4)。チップの大部分の面積を占めているチャンネル幅5Fのトランジスタを1個のFinFET型で実現するD=2Fの時パターン面積の縮小効果は最も大きい。パターン面積は全て平面型で設計した時の約35%まで縮小出来る。

New design method of system LSI with three-dimensional transistor
Shigeyoshi Watanabe
Department of information science, Shonan Institute of Technology

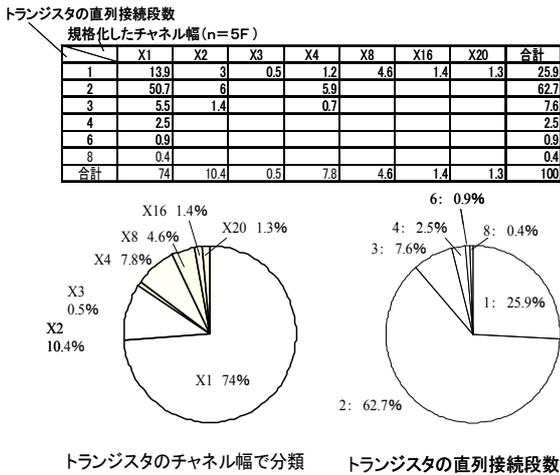


図 3. 各セルライブラリを用いて設計したパターン面積がチップ全体の面積に占める割合

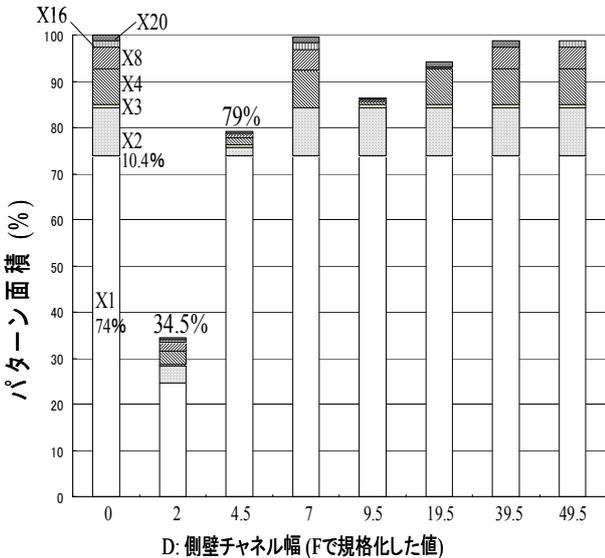


図 4. パターン面積の縮小効果のD依存性

3. 各種システムLSIでの面積縮小効果

パターン面積の大きな縮小効果が通信用システムLSI固有の結果では無い事を示すため、プロセッサと民生向けASICに使用しているセルライブラリ及びDRAM用バッファ回路で同様の検討を行った。結果を図5に示す。チャネル幅5Fのトランジスタで構成されたセルライブラリx1のチップ全体に占めるパターン面積(素子領域)はモチーフによって異なるが、いずれも約30%までパターン面積は縮小されている。(パターン面積を最小にする最適な側壁のチャネル幅はモチーフによって若干異なる)。

	パターン面積比	最適側壁チャネル幅	最適パターン面積
プロセッサ	X1: 90% X2+X3: 9%	2F	33%
民生向けASIC	X1: 88% X2+X3: 12%	2F	33%
通信用システムLSI	X1: 74% X2+X3: 10%	2F	35%
DRAM用バッファ回路	X1: 2% X2+X3: 7% X27: 34% X81: 31% X9: 25%	4.5F	28%

図 5. 各種システムLSIでの面積縮小効果

4. 素子領域以外のパターン面積縮小効果

システムLSIでは“平面型+FinFET型”の導入により素子領域のパターン面積が大幅に削減出来る事が分かった。しかしながらウェル境界領域や配線領域ではパターン面積の縮小効果は余り期待出来ない。例えば自回路内に数多くの内部配線が通るフリップフロップ回路では素子領域だけでなく配線領域等も含めた全パターン面積は約70%程度に縮小されるのに止まる。今後具体的なセルライブラリでの詳細なパターン面積の見積もりが必要になる。

5. おわりに

“平面型+FinFET型”導入によりシステムLSIの素子部のパターン面積が従来の平面型を用いた場合の約30%に削減できる事を示した。設計手法の構築により“平面型+FinFET型”は将来のシステムLSI実現の有力な候補になる。

参考文献

- [1] 渡辺: TISを用いたバッファ回路の新設計法とその大容量DRAMへの適用検討、“電子情報通信学会和文誌C, VolJ86-C, no.3, pp.301-306, 2003年3月。
- [2] S. Watanabe, "Impact of three-dimensional transistor on the pattern area reduction for ULSI," IEEE Trans. ED, vol.50, no.10, pp.2073-2080, Oct. 2003.
- [3] 渡辺: “TISを用いたバッファ回路とそのDRAMへの適用検討”2003年電通学会大会。
- [4] 渡辺: TISを用いたシステムLSIの設計法、“電子情報通信学会和文誌C, VolJ88-C, no.12, pp.1-11, 2005年12月。