デ-14

システムLSI統合開発環境EDA Linux及びプラットフォームボードの開発

飯田 佳洋 †　　清水 尚彦 ††

† 東海大学大学院工学研究科 〒 259-1292 神奈川県平塚市北金目 1117
†† 東海大学電子情報学部コミュニケーション工学科 〒 259-1292 神奈川県平塚市北金目 1117
{†3aepm001, ††nshimizu}@keyaki.cc.u-tokai.ac.jp

1　概要

HDL 設計から、RTL 検証、C 言語協調検証、レイアウト設計までを行うことができるシステム LSI 統合開発環境の構築を行った。また、SoC 環境として FPGA に様々な IP コアを集積するためのプラットフォームボードの開発を行った。これらを用いることで開発のスタートアップを早め、低コストにシステムを構築することができる。本環境を用いたシステム LSI 設計技術者教育として、プロセッサ設計から オペレーティングシステム動作までを通して学習するアプリケーションを展開していく。開発を行った統合開発環境 EDA Linux 及びプラットフォームボードの詳細を報告する。

2　システム LSI 統合開発環境 EDA Linux

EDA Linux は、HDL から CMOS パターンレイアウトまでの設計ツールならびに演習テキストを統合したものである。設計ツールは全て再配布可能なソフトウェアを用いて構成し、これをブート可能な Linux Live CD として収録した。学習者はオフラインでシステム LSI 設計を学習することができ、そして実際の研究開発への応用が可能である。我々はシステム LSI 設計技術者の育成を目指し、講義及び学生実験にて本環境を導入している。また、本環境を用いた ASIC 設計を行い、VDEC を通してチップの試作を行った。

再配布可能な EDA ツールを統合したものとして、gEDA[1] 等が知られている。しかし Linux 環境をベースにしており、また、Verilog あるいは VHDL を用いるために学習者のスタートアップが遅いという問題があった。そこで我々はツールを統合した Live Linux 環境を構築することによって環境構築を容易にし、設計言語として抽象度の高い SFL[2] を用いた。SFL は設計者のスタートアップが早く、Verilog や VHDL と比べて記述量が少ないため設計コストが小さい点が特徴である。SFL から Verilog・VHDL に変換を行うツール *sfl2vl*[3]、*sfl2vh*[4] を開発することにより、Verilog・VHDL 両環境を連携させて利用することを実現した。これによって RTL・C 言語協調検証を行う Verilog 環境 (Icarus Verilog, GTKwave, Verilator[5]) とレイアウト設計や論理合成を行う VHDL 環境 (Alliance VLSI CAD System) を統合した。

EDA Linux は CD ブートが可能な SLAX Linux をベースに構築し、表 1 に示すツールを収めている。図 1 に EDA Linux を用いた設計画面の一例を示す。EDA Linux では、RTL 設計、RTL 検証、ソフトウェア/ハードウェア協調設計、サイクルアキュレートモデル検証、論理合成、配置配線、電源・クロックリング・パッド配置配線、実配置、SPICE 検証をサポートする。演習テキストとして、本環境を用いた LSI 設計チュートリアルならびに Makefile や起動スクリプトなどの利用環境を収録し、ツールの詳細ドキュメント、HDL 記法や演習問題をまとめた [6][7]。EDA Linux の CDROM イメージ及び演習テキストは次のウェブサイトからダウンロードが可能である [8]。

表 1　EDA Linux に収録したツール

ツール名	使用用途
sfl2vl	SFL-Verilog 変換
sfl2vh	SFL-VHDL 変換
Icarus Verilog	Verilog 処理系、RTL シミュレータ
GTKwave	波形ビューア
Verilator	Verilog-C++変換、C 言語協調検証
Alliance	VHDL 処理系、レイアウト設計
SPICE3F5	回路シミュレータ

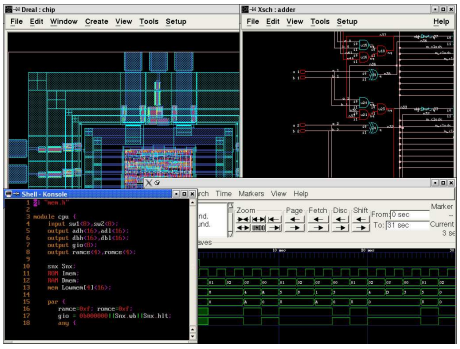

図 1　EDA Linux を用いた設計画面の一例

3　ASIC 試作による実用性の検証

EDA Linux は再配布可能であるだけでなく、高度な設計・検証を可能とし、VDEC によるチップの試作を通して実用レベルにまで応用が可能であることを確認した [9][10]。本環境を用いて全設計・検証を行い、ROHM 0.35 μ m プロセスにて試作を行った TEG チップを図 2 に示す。試作を行ったチップは図 3 に示すボードに実装し、正常動作を確認した。

4　プラットフォームボードの開発

本研究では、システム LSI 統合開発環境の構築と共に、設計物の評価・実装を行うプラットフォームボードの開発を行った [11]。本プラットフォームは、様々なインタフェースやメモリを実装し、FPGA 設計への展開を

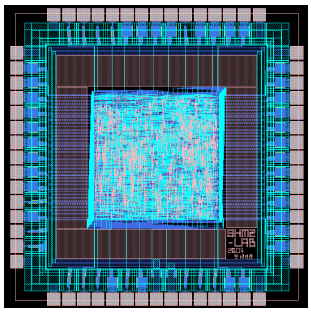

図 2　TEG チップのレイアウト

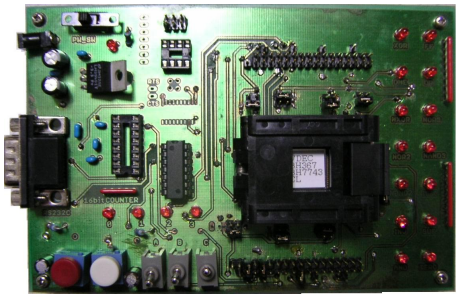

図 3　TEG チップの評価ボード

行う。システム LSI を設計する上では各機能を構成する IP コアの設計が重要となり、またそれらの規模が複雑化していることから、C 言語協調設計と共に FPGA 上でのエミュレーションによる検証が必要となる。システム LSI 設計教育へ導入するために、大規模システムの構築が可能かつ低価格の FPGA ボードの開発を目標とした。

表 2、図 4 に開発したプラットフォームボードに実装したデバイス・インタフェースの仕様を示す。また、図 5 に開発したボードの概観を示す。本プラットフォームは、プロセッサ、周辺インタフェース回路を実装してオペレーティングシステムを動作させるコンピュータシステムの構築が可能である。今後の展開として、プロセッサ、コンパイラ、オペレーティングシステムの実装を行う教材の開発を行い、コンピュータシステム設計への展開を行っていく。基板設計 EDA として Eagle PCB CAD を用い、4 層基板での設計を行った。コスト削減のため、システムの低消費電力化による電源回路の低コスト化、層数の削減と基板面積の縮小を行った。

表 2　開発したプラットフォームボードの仕様

デバイス/インタフェース	デバイス概要
FPGA	Xilinx Spartan-3 XC3S400-4 PQ208C, PROM
SDRAM	512Mbit(32bit bus)
SRAM	8Mbit(32bit bus)
Flash ROM	4Mbit(SPI)
PCI	x2 SLOT
USB	1.1 Type A&B
ATA/IDE	x1 SLOT
RS-232C	x1 PORT

5　まとめ

本研究では、システム LSI 統合開発環境 EDA Linux を開発し、再配布可能なソフトウェアで構成した様々な検証・論理合成環境を統合した。SFL を設計言語とし、Verilog・VHDL 両環境を活用することによって低コストでより効率的な開発環境となる。チップ試作の成功により実用化への評価も進み、また、プラットフォームボードの開発により FPGA 設計への展開を容易にした。この統合開発環境及びプラットフォーム環境を用いることにより、スタートアップが早く、かつコンピュータシステムの設計・実装まで応用することが可能である。EDA Linux 環境は無償配布を行っており、プラットフォームボードは今後販売していく予定である。これにより、プラットフォームボードのコストのみでコンピュータシステム設計教育への展開が可能となる。

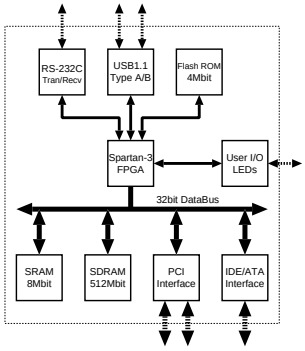

図 4　プラットフォームボードの構成

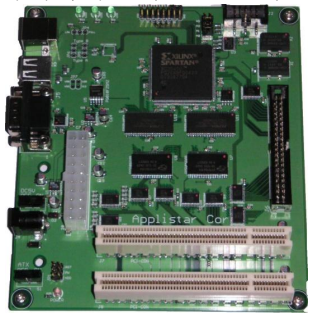

図 5　プラットフォームボードの概観

参考文献

[1] http://www.geda.seul.org/

[2] http://www-lab09.kuee.kyoto-u.ac.jp/parthenon/

[3] N.Shimizu, “Design of *sfl2vl*:SFL to Verilog Converter Based on an LR-Parser”, IEICE Trans. Fundamentals., vol.E86-A, no.12, pp3225-3229, 2003

[4] 清水, “SFL と Verilog を用いる統合設計環境”, SWEST5 予稿集, pp.6-11, 2003

[5] 大山, 田中, 清水,“sfl2vl と Verilator を用いた高速協調シミュレーション環境”,SWEST6 予稿集,pp.69-73,2004

[6] 清水, “SFL による LSI 設計入門”, IP ARCH. Inc., 2004

[7] 清水, “東海大学における LSI 設計教育”, DA シンポジウム, 2004

[8] EDA Linux, http://www.ip-arch.jp/

[9] 飯田, 清水 “システム LSI 統合開発環境 EDA Linux”,SWEST6 予稿集, pp.55-61,2004

[10] 飯田, 清水 “商用ソフトを用いない SFL ベースの LSI 試作の試行”,CPSY2003-57, pp.31-36,2004

[11] 飯田, 清水, “32 ビットシステム LSI 設計プラットフォームの開発”, 第 25 回パルテノン研究会資料集,2004

[12] 石黒健史, “Alliance の Scalable CMOS Library によるチップ試作の研究”, 東海大学工学部卒業研究論文, 2003