1ZB-7

ハード/ソフト協調学習システムにおける アーキテクチャ学習に基づいたプロセッサ設計

中村 浩一郎† Hoang Anh Tuan† 小柳 滋† 山崎 勝弘†

立命館大学大学院理工学研究科†

1. はじめに

我々はプロセッサアーキテクチャの理解を基に、ハード・ソフト両面の学習を体系的に行えるハード/ソフト・コラーニングシステムを考案・構築してきた。本システムはソフトウェアとハードウェアの境界であるプロセッサを意識した学習方法をとることで、ハードウェアとソフトウェアの協調学習を行うことを目的としている。システムを構築するにあたり、教育的に理解しやすい命令セット、各種プロセッサアーキテクチャを考案し、プロセッサ外部とのやりとりを統一化したシステムを FPGA ボード上に構築した。本稿では、ハード/ソフト・コラーニングシステムについて述べた後、各種プロセッサの実装結果を示す。

2. ハード/ソフト・コラーニングシステム

2.1 システムの概要

ハード/ソフト・コラーニングシステムとは、プロセッサアーキテクチャの理解と、それを意識したプログラミング学習を行うためのハードウェアとソフトウェアの協調学習システムである。ソフトウェア面では、アーキテクチャが可変な命令セットシミュレータを用いて、プロセッサアーキテクチャの理解、アセンブリ言語や C 言語で設計したプログラムを各アーキテクチャで評価し、アーキテクチャに最適なプログラミングを学習する[3]。ハードウェア学習では、シミュレータで理解したプロセッサアーキテクチャの知識を基に、HDL を用いて設計した MPU を実際に FPGA 上に実装し、プロセッサの設計と実現方法を理解することを目標とする。システムの構成を図 1に示す。図 1において左側は主にソフトウェア学習を示し、右側がハードウェア学習を示す。

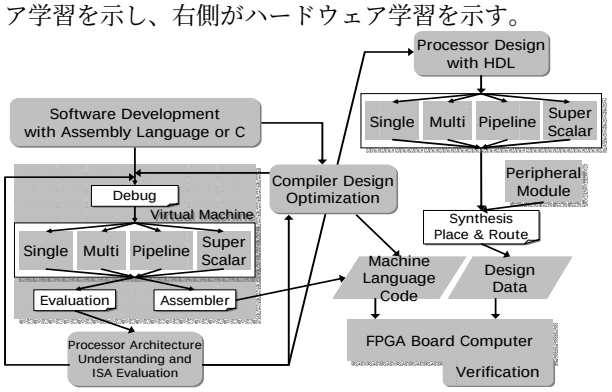


図 1：ハード/ソフト・コラーニングシステム

Processors design based on learning processor architecture in a hardware/software co-learning system

†Koichiro Nakamura, Hoang Anh Tuan ,Shigeru Oyanagi and Katsuhiro Yamazaki

‡Graduate School of Science and Engineering, Ritsumeikan University

2.2 アーキテクチャ学習に基づくプロセッサ設計

本研究では、シングルサイクル、マルチサイクル、パイプライン、スーパースカラなど、各種プロセッサアーキテクチャの動作原理と実現方法を理解し、かつ実際に HDL で設計して FPGA ボード上で動作検証することを目指している。そこで、基本命令セット MONI は、教育システムにおけるアセンブリプログラミングのしやすさを考慮して定義した。MONI 命令セットは MIPS のサブセットで全 43 命令から成り、4 つの命令形式(R、I5、I8、J)を持つ。加減算、論理演算、シフト、セット命令に即値アドレシングとレジスタ･アドレシングの両方を備え、メモリアクセスはレジスタ間接アドレシングを採用した。レジスタ間演算は 3 オペランド方式を採る。学習者は設計した各種プロセッサを周辺回路と共に FPGA ボード上に実装し、FPGA 外部の FlashRAM を用いてプロセッサの動作検証を行う[1][2]。本研究では Celoxica 社 RC100 ボードを使用した。

3. MONI 各種マイクロプロセッサの実装

3.1 シングルサイクルプロセッサ (*SP*)

MONI プロセッサは教育的に理解しやすいデータパス構築を目指して設計した。MONI*SP* のデータパスを図 2 に示す。

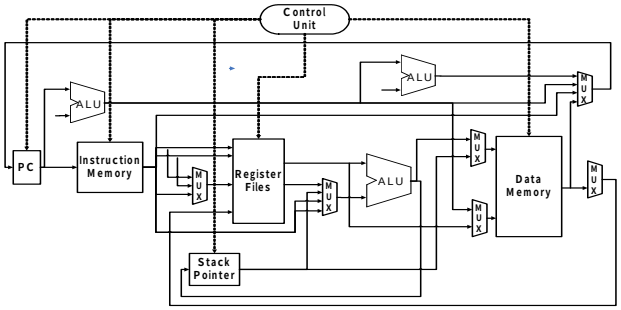


図 2：MONI*SP* のデータパス

3.2 マルチサイクルプロセッサ(*MP*)

MONI*MP* は以下の 5 つのステップで動作する。

1. 命令フェッチ
2. 命令デコード、レジスタフェッチ、分岐先アドレス計算
3. 演算実行、メモリ読み出し、分岐完了、スタックポインタ変更
4. メモリ書き込み、レジスタ書き込み
5. サブルーチンへの分岐完了

ストア、条件分岐、スタックからのポップ、jump 命令は 3 サイクルで終了し、サブルーチンへの分岐のみ 5 サイクル要する。その他の命令は 4 サイクルで終了する。MONI*MP* のデータパスを図 3に示す。

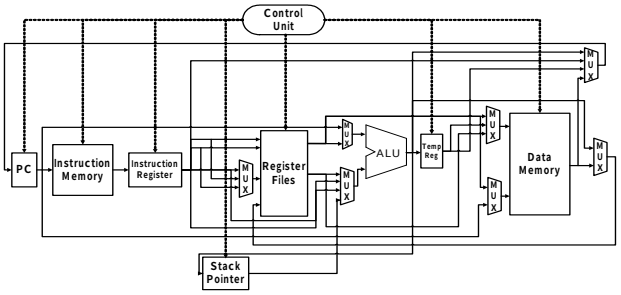


図 3：MONI*MP*のデータパス

3.3 パイプラインプロセッサ(*PP*)

MONI*PP* は MONI*SP* を基本とし、パイプラインレジスタを挿入して 5 段パイプラインを実現した。各ステージでは以下の処理を行う。

IF(第 1)ステージ　：命令フェッチ
ID(第 2)ステージ　：命令デコード、分岐判定
EX(第 3)ステージ　：演算実行
MEM(第 4)ステージ　：メモリアクセス
WB(第 5)ステージ　：レジスタ書き込み

また、各種ハザード回避のためにハザード検出ユニットとフォワーディング判定ユニットを設計し、必要に応じてデータフォワードとパイプラインストールを行う。MONI*PP* のデータパスを図 4に示す。

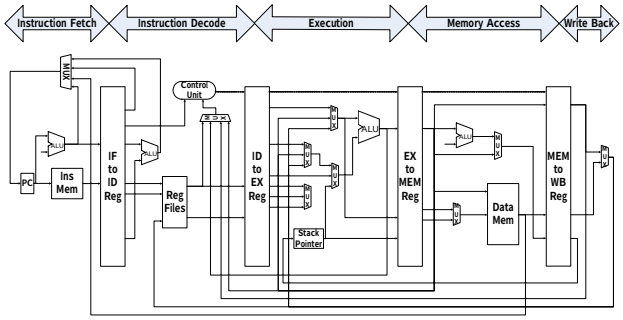


図 4：MONI*PP*のデータパス

3.4 各種プロセッサの性能

コラーニングシステムにおける基本命令セット MONI による各アーキテクチャで設計・実装したプロセッサの性能の詳細と MONI*PP* 搭載時のシステム全体の回路規模と動作周波数を表 1に示す。コラーニングシステムでは Flash RAM への演算結果の書き込みを保証するために、利用者への要求動作周波数を 10MHz に設定しているが、3 種類とも要求を満たしている。

表 1：各種プロセッサ及びシステム全体の回路規模と動作周波数

	Register	LUT	Number of gates	Usage rate (%)	Frequency (MHz)
Single Cycle	161	895	44,000	22	16.4
Multi Cycle	228	1,137	56,000	28	29.2
Pipeline	369	1,044	58,000	29	23.4
System (Pipeline)	1,204	2,616	150,000	75	23.3

3.5 スーパースカラプロセッサ(*SSP*)

MONI*SSP* のデータパスは教育用、また FPGA の回路規模を考慮した結果、現段階では MONI*SP* を基に 2 命令同時発行可能な構造とした。MONI*SSP* は命令ウインドウに格納された命令の資源競合、データ依存、手続き依存などのハザードをアービトレイターによって検出し、ハザードが検出されないか、回避可能ならば 2 命令を同時に発行する。命令発行ポリシーはイン・オーダー発行&イン・オーダー完了である。MONI*SSP* のデータパスを図 5に示す。また、MONI*SSP* の回路規模と動作周波数を表 2に示す。

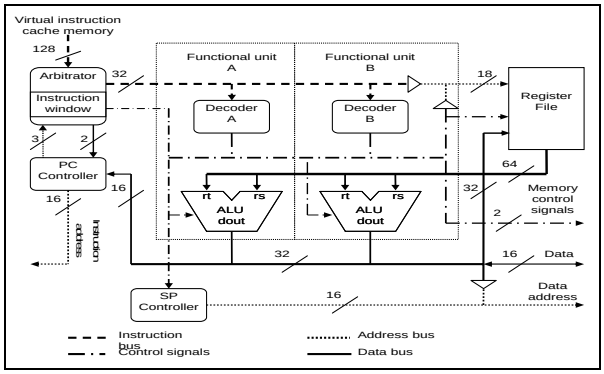


図 5：MONI*SSP*のデータパス

表 2：MONI*SSP*の回路規模と動作周波数

	Register	LUT	Number of gates	Usage rate (%)	Frequency (MHz)
Super Scalar	215	2,346	102,000	51	1.8

4. おわりに

本稿では、ハード/ソフト・コラーニングシステムにおける協調学習法、及び基本命令セット MONI による各種プロセッサの実装について述べた。設計したプロセッサの動作検証を FPGA ボード上で行ったことにより、コラーニングシステムにおける MONI 命令セットでの学習体系が確立したことを示した。今後は、プロセッサデバッガ[5]、汎用アセンブラ、汎用シミュレータなどのプロセッサ開発支援環境の構築を目指す。

参考文献

[1] 中村 他：プロセッサアーキテクチャ教育用 FPGA ボードコンピュータシステムの開発，FIT2004,LC-008,2004.

[2] 池田 他: ハード/ソフト・コラーニングシステムにおける FPGA ボードコンピュータの設計,情報処理学会第 66 回全国大会論文集,5T-5,2004.

[3] 大八木 他：ハード/ソフト・コラーニングシステムにおけるアーキテクチャ選択可能なプロセッサシミュレータの設計,情報処理学会第 66 回全国大会論文集,5T-6,2004.

[4] H. Anh Tuan et al. : Superscalar microprocessor design in a Hardware/Software co-learning system,FIT2004,C-030,2004.

[5] 中村 他：ハード/ソフト・コラーニングシステムにおける各種マイクロプロセッサの設計と実装,電子情報通信学会,コンピュータシステム研究会,2005.