

非同期式回路を FPGA へ実装するための遅延回路の検討

堀田 真吾[†] 中野 秀洋[†] 桑子 雅史[†] 宮内 新[†]

[†] 武蔵工業大学工学部

1 はじめに

現在主流の同期式設計は、消費電力やクロックスキューといった問題を抱えている。グローバルクロックを持たない非同期式設計は、これらの問題を解決する有効な方法であるが、同期式設計と比較して開発環境が整っていない。

同期式回路のプロトタイプ用デバイスとして広く用いられている FPGA (Field Programmable Gate Array) は、ツールを使用して自動的に論理合成や配置・配線を行うことができる。それに対して非同期式回路は、遅延仮定を常に満たすように、遅延を考慮した設計手法が必要である。

非同期式回路を FPGA 上に実装するための従来研究 [1] では、遅延を調整するために配置・配線の結果を維持する必要があった。そこで本稿では FPGA での配置・配線後に、遅延時間を動的に変化させることのできるプログラマブル遅延回路を検討し、遅延調整に要する手順の簡略化を図る。

2 FPGA の内部構造

FPGA の内部構造はメーカーやシリーズによって様々である。FPGA は、LUT (Look Up Table) と FF (Flip-Flop) を持つ LE (Logic Element) を最小単位として構成される。図 1 に示すように、4 入力 1 出力の LUT を持つ LE の内部構造を示す。LE の集合で構成される LAB (Logic Array Block) は、格子状のインタコネクタに囲まれる形で規則的に配置される。FF の制御信号は LAB 単位で連動するデバイス [2] も存在するため、同一 LAB 内における FF は、独立したタイミングで制御することができない場合もある。

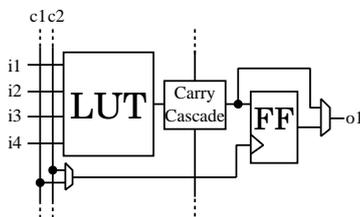


図 1: LE の内部構造

3 提案手法

3.1 遅延モジュール

プログラマブル遅延回路は遅延量が柔軟に調整でき、生成可能な遅延量に対して小規模であるのが理想的である。ここで遅延回路の面積に対して、遅延量が指数関数的に増加する構成を考える。

遅延回路の構成単位を、遅延量 D を持つ遅延モジュールとする。モジュール数 k に応じて指数関数的に総遅延量を増加させるには、式 (1) を満たせばよい。

$$D_k = \alpha D_{k-1} + \beta \quad (1)$$

一般項を求めると、

$$D_k = \gamma \alpha^{k-1} + \delta \quad (2)$$

よって総遅延量は $O(\alpha^k)$ であることが分かる。

次に遅延モジュールをカスケード接続し、外部入力を受けるモジュール側を上位、その逆を下位とする。式 (1) より係数 α は下位の遅延量に対する倍率、定数 β は各モジュールが持つ遅延量にあたる。 α または β を調整することで、総遅延量の制御が可能と考えられる。

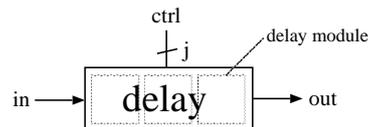


図 2: プログラマブル遅延回路

FPGA 上の素子や配線には、それぞれ微小な遅延を持つ。信号遷移によってこれらを集積すると、適当な遅延量を得ることができる。また信号遷移の回数を重ねることにより、遅延量に倍率を与えることができる。

ここで上位モジュールは、下位に与えた信号遷移の回数を保持する必要がある。FF を用いる代わりに、LE の出力をフィードバックすることで、FF と同様な機能を実現する。

3.2 プログラマブル遅延回路

1 個のモジュールに必要なインターフェースとして、遅延信号の外部入出力 D 、カスケード接続のための入出力 C 、フィードバック入出力 F 、そして α ないし β の値を調整するために必要な制御信号入力 n がある。以下、4 入力 1 出力の LUT を例にとって説明す

Delay Circuit for Asynchronous Circuit on FPGA

[†] Shingo HOTTA, Hidehiro NAKANO, Masashi KUWAKO, Arata MIYAUCHI

Faculty of Engineering, Musashi Institute of Technology ([†])

る．4 入力以上の LUT の場合も同様の手法で構成することができる．

各入力信号をすべて 1 ビットに制限することで，4 入力 LUT を持つ LE の利用効率が最大となる．そこで制御信号 n は，遷移倍率 $\alpha = \{1, 2\}$ を選択し， β はモジュールにおける固定値と定義する．

提案するプログラマブル遅延回路と，対応する STG (Signal-Transition-Graph) を図 3 に示す．図 3(a) において，外部からの入出力は最上位の D_i, D_o から行い，最下位の C_i, C_o は直接配線を行う．STG での実線は D_i に 0 → 1 が入力されたときの遷移，点線は D_i に 1 → 0 が入力されたときの遷移を表す．

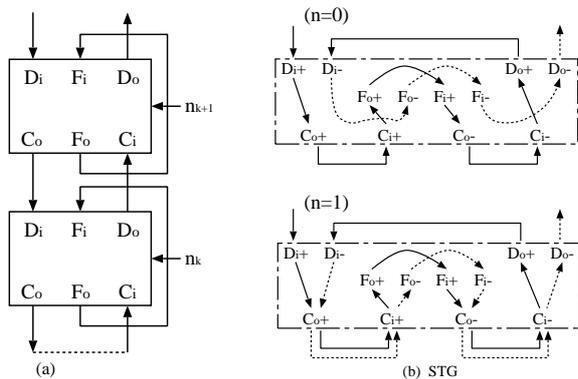


図 3: 遅延モジュールと STG

3.3 遅延回路の特性

k 番目のモジュールにおいて，配線遅延はなく，LE の通過に 1 単位時間かかると仮定する． $D_i^+ \rightarrow D_o^+$ に要する時間を P_k ， $D_i^- \rightarrow D_o^-$ を Q_k とすると，遅延時間の関係式は以下の通りである．

$$P_{k+1} = P_k + Q_k + 4 \quad (3)$$

$$Q_{k+1} = \begin{cases} 2 & (n=0) \\ P_k + Q_k + 4 & (n=1) \end{cases} \quad (4)$$

外部から入力される信号は，0 → 1 の稼働時に遅延を要する．1 → 0 の復帰時には遅延は不要であるため，最上位モジュールの制御信号は常に $n = 0$ である．

先頭を除くすべての制御信号が $n = 1$ のとき，総遅延量は最大となる．モジュールの接続数を k としたときの遅延時間は $P_k = 2^{k+2} - 4$ を満たす．逆にすべての制御信号が $n = 0$ のとき，遅延時間は最小値 $P_k = 6k - 4$ となる．

モジュール数を $k = 6$ に固定したときの，制御値に対する遅延時間の変動を図 4 に示す．ただし遅延時間の昇順にソートを行った．

4 ループを用いない遅延回路との比較

ところで制御入力とデータ入力を持つ LE をカスケード接続すると，同様な機能を持つ“単純でループを用いないプログラマブル遅延回路”を実現できる．

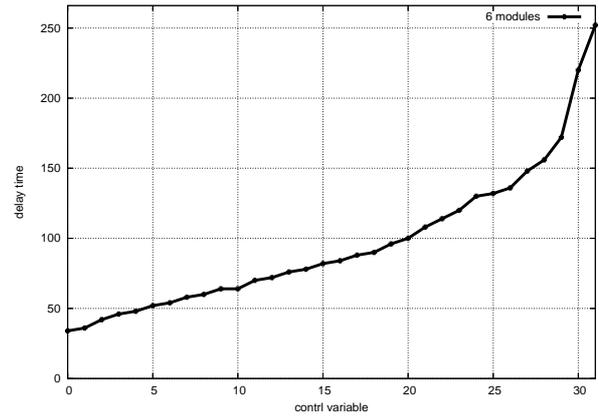


図 4: 制御変数と遅延時間の関係 ($k = 6$)

ただし遅延量に比例して面積を必要とするため，大きな遅延量を生成することが難しい．

“単純でループを用いないプログラマブル遅延回路”と“提案手法”との比較を行う．遅延量が最大となるときの遅延時間と面積の関係を図 5 に示す．ただし提案した遅延モジュールは，1 個あたり 3 つの LE を必要とする．

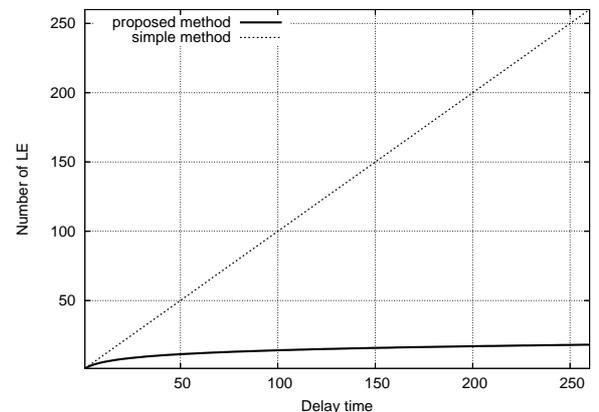


図 5: 遅延時間と LE 数の関係

5 おわりに

LE をカスケード接続した遅延回路と比較し，提案した手法では回路量を大幅に抑えることができた．

制御値と遅延時間は，増加関係のある程度持ったものとなる．あらかじめ遅延時間に対応する制御値を計算することによって，遅延量を簡単に調整することが可能である．

参考文献

- [1] 佐々木 明彦, 安部 光輝, “FPGA における非同期式設計と評価”, 情報処理学会第 65 回全国大会講演予稿集, Vol.65, No.1, pp.153-154, Mar. 2003.
- [2] Altera Co., “FLEX 10K Programmable Logic Device Family”, Data Sheet, ver. 4.2, Jan. 2003.