

メタレベル最適化計算機システム YAWARA のシミュレーション環境 — PISA をベースとした VLIW アセンブラの開発 —

月川 淳† 古川 文人‡ 大津 金光† 横田 隆史† 馬場 敬信†
†宇都宮大学工学部情報工学科 ‡宇都宮大学ベンチャー・ビジネス・ラボラトリー

1 はじめに

我々は、ユーザープログラムの挙動を動的に監視するとともに最適化を行う、メタレベル最適化計算機システム YAWARA^[1]を提案している。そして、その実験評価環境である、単一 VLIW プロセッサのシミュレーションシステム CHA-MEN^[2]を開発している。本稿では、本システムの命令セットアーキテクチャおよび CHA-MEN の言語処理系について述べる。

2 YAWARA 実行エンジン

YAWARA の実行エンジンは、複数のスレッドエンジン(Thread Engine, TE)と呼ばれる VLIW プロセッサから構成されている。プログラムの動的なプロファイリング、マルチスレッド化を含む最適化、およびハードウェアリソース管理の処理を”メタレベル”の処理と定義する。本システムはこれらメタレベル処理のためのハードウェア支援機構を備えるとともに、それぞれの TE にプログラムとメタレベル処理を負荷分散しながら割り付け、動的かつ自律的な最適化を施すことで実行性能の向上を図る。

3 命令セットアーキテクチャ

TE 命令セットアーキテクチャは、PISA (Portable Instruction Set Architecture)^[4]をベースとして VLIW へ拡張したものであり、YAWARA システムの初期評価実験を目的として設計した。

命令セットを設計する際に考慮した点は a) ハードウェアリソースの増加に対応可能であり、b) 本システムと他のスーパースカラプロセッサシステムとの性能比較が容易であり、c) 処理系の開発期間を可能な限り短縮できることである。

本システムに要求されるレジスタ数や同時実行可能命令数などのハードウェアリソースは、そのコスト見積とともに実験的に検討していく必要がある。PISA フォーマットでは最大 256 個と、実験に必要なかつ十分なレジスタ数を使用可能である。また、既存の SimpleScalar Tool Set^[4]などの利用により、スーパースカラプロセッサと本システムとの性能比較も容易に行える。

図 1 に TE 命令形式を示す。同時実行する命令

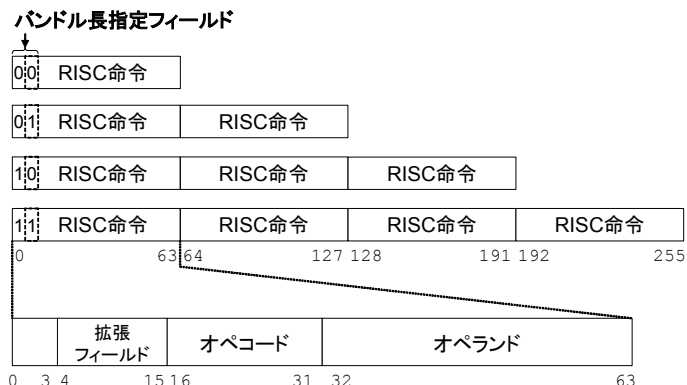


図 1: スレッドエンジン命令形式

の単位をバンドルと呼び、各バンドルは複数の RISC 命令(64 ビット)から構成される。バンドル先頭の RISC 命令中のバンドル長指定フィールドを用いて、同時実行命令数を指定する。バンドル長指定フィールドには最大 4 ビット割り当て可能である。過去のハードウェア見積より、現在はバンドル長指定フィールドのうち 2 ビットを使用し、最大 4 命令同時実行として実験している。RISC 命令中の拡張フィールドは、シミュレータに対する統計情報表示などの指令に使用する。

4 言語処理系

4.1 処理系の構成

CHA-MEN の言語処理系は、VLIW スケジューリング手法の検討を効率よく行えることを念頭に設計した。また、処理系の開発期間の短縮のために、命令スケジューリングは、既存の PISA 用コンパイラ(gcc)の出力したアセンブリコードをもとに行うこととした。

gcc の出力するアセンブリコードには、最終的に複数の機械語命令に展開されるマクロ命令が含まれるため、このまま命令スケジューリングを行うことは不可能である。そこで、機械語命令と一対一に対応した記述が可能なアトミックアセンブリ言語を設計した。そして、PISA アセンブリコードをアトミックアセンブリコード(以下、アトミックコード)に展開するマクロ展開器、アトミックコードを並べ替えて VLIW 化する命令スケジューラ、アトミックコードからオブジェクトコードを生成する YAWARA アセンブラを新規に設計・実装した。

さまざまなスケジューリングの実験に対応するために、命令スケジューラ^[3]は独立したコンポーネントとした。命令スケジューラの入出力には、

Simulation Environment for Meta-Level Optimizing Computer System YAWARA — Development of PISA-based VLIW Assembler —

†Atsushi Tsukikawa, Ootsu Kanemitsu, Takashi Yokota and Takanobu Baba, Department of Information Science, Faculty of Engineering, Utsunomiya University

‡Fumihito Furukawa, Venture Business Laboratory, Utsunomiya University

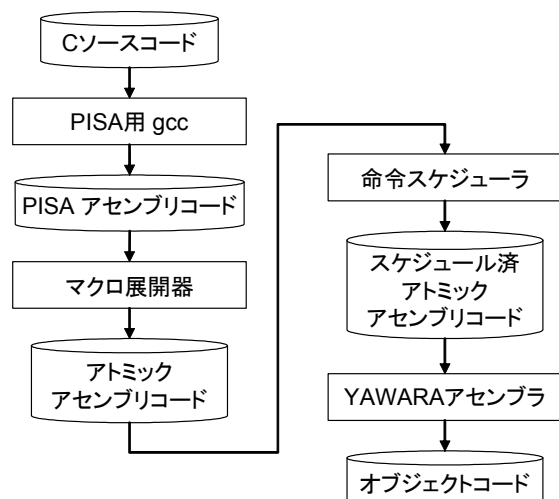


図 2 オブジェクトコードの生成

前述のアトミックコードを用いることで、手動による命令スケジューリングの実験も容易である。

CHA-MEN 処理系のオブジェクトコード生成までの過程を図 2 に示す。C ソースコードは gcc によりアセンブリコードへと変換される。この PISA アセンブリコードを、マクロ展開器によりアトミックコードに変換後、命令スケジューラにより VLIW 化する。スケジュール済のアトミックコードは YAWARA アセンブラによりオブジェクトコードに変換され、リンクの後に単一 TE シミュレータ⁴にロードされる。

4.2 アトミックアセンブリ言語

PISA アセンブリ言語にはマクロ命令でなければ記述できない処理が存在し、このままでは機械語レベルの命令配置を完全に表現することができない。32 ビットの有効アドレスを指定したレジスタにロードする **la** (Load Address) マクロ命令を例に説明する。この命令は

```
la $REG, SYMBOL
```

の形式をとり、以下のような 2 命令に展開される。

```
lui    $REG, 0xhhhh
addiu  $REG, 0xllll
```

ここで 0xhhhh は SYMBOL の指す有効アドレスの上位 16 ビット、0xllll は下位 16 ビットを示す即値である。また、生成するオブジェクトファイルには、再配置のためのリロケーション情報を付加する必要がある。

マクロの展開からリロケータブルオブジェクトの生成までを単一プロセスで実行する PISA アセンブラとは異なり、CHA-MEN 処理系においては、一旦マクロ展開したアトミックコードをスケジューリングし、その後にアセンブルする必要がある。このとき、la 命令から生成されたアトミックコードを、上記のようなアドレスを即値に置き換えたフォーマットで記述すると、アセンブ

```
.set vliw
addiu    $16,$0,0x0002
lui      $1,0xffff    ##
ori      $1,$1,0xffff
lui      $5,0x0001    ##
sb       $0,0($6)
addu     $7,$6,$1
ori      $5,$5,0x86a0  ##
```

図 3: VLIW 命令の記述例

ル処理時にリロケーション情報を付加することが不可能となる。同様の問題は、la マクロ以外にも sw 命令などの有効アドレスを扱ういくつかの命令でも生じる。

この問題に対処するために、アトミックアセンブリコードのためのフォーマット拡張を行った。具体的には、lui 命令、addiu 命令などのオペランドに、ラベルによるアドレス指定を許可することとし、ラベルの参照するアドレスに応じて適切なリロケーション情報を設定するようにした。

VLIW 命令の記述は .set vliw 擬似命令により VLIW 命令列の開始を宣言した後に、バンドルターミネータ記号(##)により同時実行する命令の終端を示すことで行う。(図 3)。

5 まとめ

本稿では、TE のために開発した命令セットアーキテクチャと、単一 VLIW プロセッサシミュレーション環境 CHA-MEN の言語処理系の特徴について述べた。現在、この処理系を用いてスケジューリング手法の実験を行っている。今後は、マルチスレッド命令セットの検討と、それをサポートした処理系の実装を行う予定である。

謝辞 本研究は、一部日本学術振興会科学研究費補助金(基盤研究(B)14380135, 同(C)16500023, 若手研究 14780186)の援助による。

参考文献

- [1] T. Baba, et al.: YAWARA: A Meta-Level Optimizing Computer System, International Workshop on Innovative Architecture for Future Generation High-Performance Processors and Systems, pp.148-153 (2004.1).
- [2] 青木 隆行ほか:メタレベル最適化計算機システム YAWARA のシミュレーション環境 — スレッドエンジンシミュレータの実装 —, 情処第 67 回全国大会 (2005.3).
- [3] 古川 文人ほか:メタレベル最適化計算機システム YAWARA のシミュレーション環境 — VLIW プロセッサ向け命令スケジューラの実装 —, 情処第 67 回全国大会 (2005.3).
- [4] D. Burger, T. Austin: “The SimpleScalar Tool Set, Version 2.0,” Univ. of Wisconsin-Madison Computer Sciences Department Technical Report #1342 (1997.6)