4A-1

AWE 法を用いた VLSI 配線遅延解析

鈴木　五郎　　下村　勇希　　伊藤　富裕美

北九州市立大学情報メディア工学科

1　はじめに

150nm 以下のプロセスでは、配線遅延が素子遅延に比べて圧倒的に大きく支配的になり、より高精度の配線遅延解析が必要となってきている。又、従来 Elmore[1]により解析を行ってきたが精度が問題であり、不要に大きいマージン設計が余儀なくされている。一方 SPICE による解析は精度は良いものの、膨大な解析時間が必要であり、実用に供さない。そこで、MOR(Model Order Reduction)が注目されてきているが、その一つである AWE(Asymptotic Waveform Evaluation) 法[2]を用いて 150nm プロセッサの配線に関する信号解析を行ったので報告する。

2　AWE 法による MOR

配線を RC 回路としてモデル化し、それを SIMO(Single Input Multi Output)の状態方程式として表現する。

$$\mathbf{C}\frac{d\mathbf{x}}{dt} = -\mathbf{G}\mathbf{x} + \mathbf{B}i \qquad \mathbf{O} = \mathbf{r}^t\mathbf{x} \qquad \mathbf{x} \in R^{Nx1} : node\ voltage$$

$$\mathbf{C} : capacitance\ matrix,\ \mathbf{G} : conductance\ matrix$$

$i = \delta(t)$　$\mathbf{r} = \mathbf{I}$ とすると

$$(s\mathbf{C} + \mathbf{G})\mathbf{X} = \mathbf{B}$$

$$\mathbf{T}(s) = \mathbf{X} = (s\mathbf{C} + \mathbf{G})^{-1}\mathbf{B}$$

$$\mathbf{X} = \mathbf{m}_0 + \mathbf{m}_1 s + \mathbf{m}_2 s^2 + \cdots + \mathbf{m}_{2n-1}s^{2n-1} + \cdots \qquad n << N$$

$$(s\mathbf{C} + \mathbf{G})(\mathbf{m}_0 + \mathbf{m}_1 s + \mathbf{m}_2 s^2 + \cdots + \mathbf{m}_{2n-1}s^{2n-1} + \cdots) = \mathbf{B}$$

この式でモーメントを比較すると

$$\mathbf{G}\mathbf{m}_0 = \mathbf{B},\ \ \mathbf{G}\mathbf{m}_1 + \mathbf{C}\mathbf{m}_0 = \mathbf{0},\ \ \cdots$$

以上より$\mathbf{m}_0, \mathbf{m}_1, \mathbf{m}_2, \cdots, \mathbf{m}_{2n-1}$ が求まる。

あるノードにおける伝達関数は、このモーメントを使い*Pade*近似によって決定される。

$$\tilde{T}(s) = \frac{\tilde{b}_0 + \tilde{b}_1 s + \tilde{b}_2 s^2 + \cdot\ \cdot + \tilde{b}_{n-1}s^{n-1}}{1 + \tilde{a}_1 s + \tilde{a}_2 s^2 + \cdot\ \cdot + \tilde{a}_n s^n} = m_0 + m_1 s + m_2 s^2 + \cdots + m_{2n-1}s^{2n-1}$$

3　評価結果

Al 配線を segment に分割し、集中定数にモデル化された RC 回路は SPICE の入力記述として表現し、incident matrix を利用して状態方程式を作成している。表１に示した clock tree と dataline 計８種類の配線を評価に用い、過渡解析による遅延解析と周波数解析の CPU 処理時間に関して、伝達関数縮約前と縮約後で比較を行った。clock tree 5 は 1200 segment に分割しているが、primary 端子からある F/F 端子までの伝達関数の分母多項式の次数は 320 であり、AWE 法を用いて次のように２次まで縮約している。

$$\tilde{T}(s)\frac{7.659e11s + 1}{-4.399e19s^2 - 3.302e9s + 1}$$

この伝達関数を用いた遅延解析結果を図１に示す。縮約前の伝達関数を用いた解析と比較して、ほとんど誤差がみられない。８種類の回路に関して 50%遅延解析精度の平均値を求め表２にまとめた。Elmore と比較すると高精度の解析が実現できていることが分かる。同一伝達関数に関する周波数解析結果を図３に示す。ゲイン・位相とも 1GHz 付近まで縮約前と一致している。data line1　に関しては、遅延解析に於いて不安定な現象が現れた。これは縮約に関して安定性の保証が無いためであり、試行錯誤的に次数を変えて安定な伝達関数を求める等の処理が必要となる。

4　まとめ

解析精度及び解析時間の点で AWE 法が優れていること、及びごく一般的な配線でも安定性が保証されない場合があることを確認した。

[1]M.Celik,L.Pileggi,andA.Odabasioglu, ”IC Interconnect Analysis”, Kluwer Academic Publishers, 2002

[2]]L.Pileggi, and R.Rohrer,”Asymptotic Waveform Evaluation for Timing Analysis”, IEEE Tran. CAD of integrated circuits and systems, Vol.9,No.4, pp 352-366,1990

VLSI Interconnect Signal Analysis Using AWE
Goro Suzuki Yuuki Shimomura Fuyumi Itou
University of Kitakyushu

表１　遅延及び周波数解析時間

(sec)

Circuit	Order of TF	# of segments	Original		AWE	
			Delay	Frequenc	Delay	Frequenc
clock tree 1	4	15	0.641	1.218	0.656	1.109
clock tree 2	15	35	0.719	1.328	0.640	1.125
data line 1	80	220	2.231	2.154	発散	1.121
clock tree 3	64	240	2.469	2.391	0.640	1.110
clock tree 4	128	480	29.937	6.938	0.621	1.109
data line 1	700	700	96.375	13.016	0.625	1.110
data line 2	1000	1000	252.406	31.203	0.656	1.109
clock tree 5	320	1200	519.437	70.407	0.641	1.109

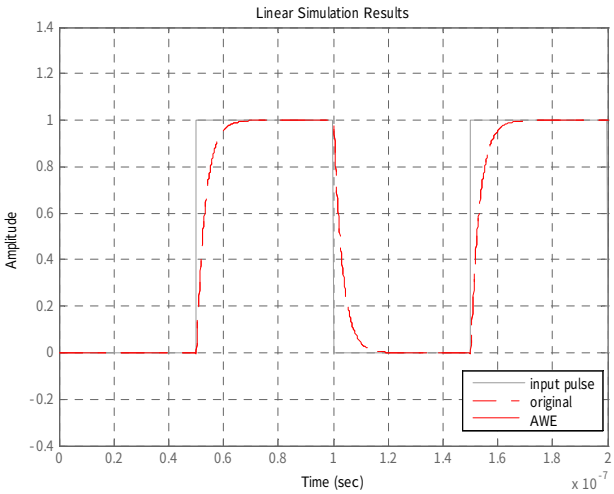

図１　遅延解析(clock tree 5)

表２　50%遅延解析精度

Method	Two degrees	Three degrees
AWE	0.005%	0.003%
Elmore	39.167%	

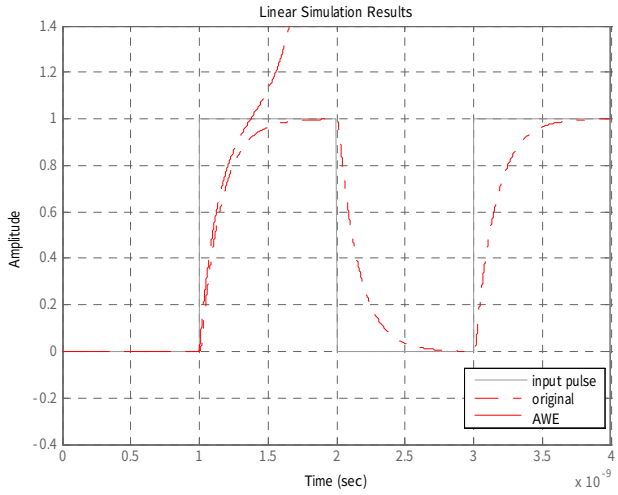

図２　遅延解析(data line 1)

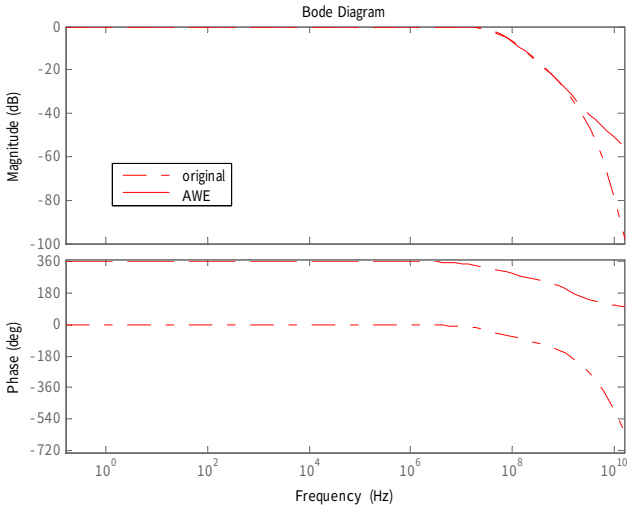

図３周波数解析(clock tree 5)