

3Z-7 リアルタイム OS を組み込んだ HW/SW 協調設計環境の構築

田嶋 聡 五十嵐 真悟

(株) 東芝 研究開発センター システム技術ラボラトリー

1 はじめに

組込みシステムの設計上流での、ハードウェア (HW) とソフトウェア (SW) のトレードオフを考慮して機能分割を行う作業は、開発コストや開発期間に大きく影響している。システムが大規模かつ複雑になるにつれて、適切な HW/SW 機能分割を行う事は容易ではなくなってきており、定量的な方法に基づく機能分割手法が非常に重要となっている [2]。

また、組込みシステムにおいてはリアルタイム OS が重要な位置を占めており、リアルタイム OS を組み込んだシミュレーションによって性能を精確に見積る事は、システム設計を効率よく支援する手法として非常に有用である。

本稿では、我々の開発した HW/SW 協調設計環境において、定量的な方法に基づく機能分割の一例を示す。また、リアルタイム OS を含めたシミュレーションによる設計の上流でのより詳細な性能見積りに関する考察を述べる。

2 HW/SW 協調設計

一般に HW/SW 協調設計には、(1) HW と SW を含むシステム全体または一部を迅速にモデル化し、機能検証を行う、(2) HW と SW のトレードオフを考慮した適切な機能分割を行う、(3) HW コスト、性能、消費電力を精確に見積もる、(4) HW と SW の記述言語を自動生成する、といった要素技術がある。我々は、特に (2) および (3) の技術に関して、市販されているツール Foresight^[1] を用いて HW/SW 協調設計環境の構築を行った。

Foresight はモデルの作成とシミュレーション実行環境を提供しており、図 1 で示すように、対象となるシステムの動作モデルと、そのシステムを実現するアーキテクチャモデルと、シミュレーションによる結果出力モデルから構成されている。さらに、動作モデルは、システムの処理ブロック毎のデータフロー図で構成されており、アーキテクチャモデルは CPU、バス、HW エンジン等のモデルから構成されている。機能分割案

に対する性能見積りは、動作モデルの各処理ブロックをアーキテクチャモデルの CPU や HW エンジン、バスなどにマッピングし、シミュレーションを実行することによって行う。我々はこれに加えて、CPU で実行される処理のスケジューリングやメモリ管理などを精確にシミュレーションする事が可能なリアルタイム OS モデルを開発し、これを CPU モデルに組み込むことによってより詳細な性能見積りを可能にした。

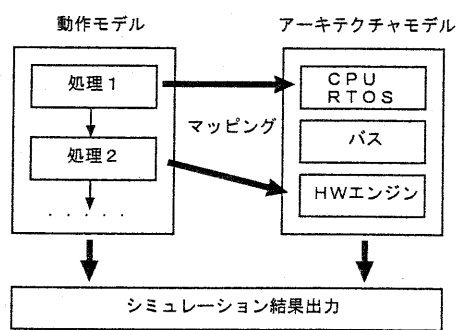


図 1: シミュレーション環境の構成

3 機能分割

ここでは、我々の提案する機能分割手法と MPEG2 デコーダの設計を例題とした実験について述べる。

3.1 分割手順

設計対象となるシステムの機能分割を行う場合の主要な評価項目としては、性能、HW コスト、消費電力の 3 種類があり、それぞれが制約を持っている。我々の提案する機能分割手法は、ある分割案に対する性能をシミュレーションによって評価し、十分な性能が得られなかった場合、評価項目の制約を考慮した上でシステムの各処理に対応する機能分割指標に基づいた新たな分割案を決定する。これを十分な性能が得られるまで繰り返すといった手法である。以下にその手順を示す。

Step 0: 全ての処理を SW へ割り当てる。

Step 1: シミュレーションを行い、性能を評価する。

Step 2: 十分な性能が得られなかった場合、機能分割指標のもっとも大きい処理を HW へ割り当てる。

この時 HW コストの制約を満たさない場合、次に機能分割指標の大きい処理を HW へ割り当てる。

Step 3: Step 1～Step 2 を繰り返す。

3.2 MPEG2 デコーダの例

MPEG2 は、デジタルビデオと付随するオーディオに対する汎用的な符号化標準規格である。MPEG2 デコーダは、図 2 のように一般的な処理を持つブロック図で表される。以下では、ヘッダーデコード、動きベクトル再構成と参照アドレス計算、参照画像読み込み、DCT 係数デコード、IQ-IDCT、動き補償、デコード画像書き込みを、それぞれ処理 1～処理 7 で表す。

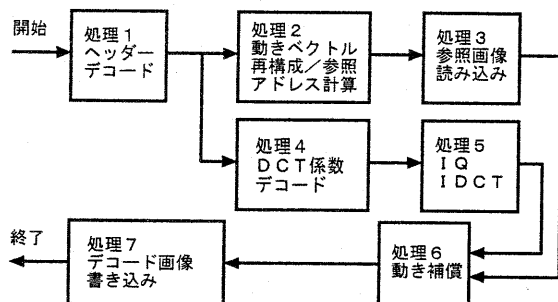


図 2: MPEG2 デコーダのブロック図

前提として、動作クロック周波数を 150MHz とし、マクロブロック毎のパイプライン処理を行うものとする。評価項目はフレームレートと HW コストとしての総 Gate 数であり、要求される性能はフレームレートが 30[fps] 以上で、総 Gate 数をなるべく減らしたいというものである。なお、次の表 1 で示すように各処理の処理量と HW で実装した場合の Gate 数が分かっており、CPU コアは 56[KGate] とする。

表 1: 予測される各処理の処理量と Gate 数

	処理量 [clock]	Gate 数 [KGate]
処理 1	100	20
処理 2	200	13
処理 3	20	5
処理 4	384	18
処理 5	470	22
処理 6	396	70
処理 7	20	5

今回我々は、機能分割指標として、(a) CPU 待ち時間と処理量の積、(b) 処理量/Gate 数 (ただし、HW コストに制約がない場合は Gate 数を 1 とする)、の 2 つの場合について上記分割手順によるシミュレーション実験を行った。なお、SW へ割り当てられた処理は、CPU に組み込まれたリアルタイム OS モデルによって FIFO スケジューリング方式でシミュレーションされている。

分割指標 (a) の場合：HW コストの制約がない場合、処理 4、処理 5、処理 6 の順に HW へ割り当てる事によって、フレームレート 37.8[fps]、総 Gate 数 166[KGate] というシミュレーション結果が得られた。また HW コストの制約が総 Gate 数 160[KGate] 以下であった場合、処理 4、処理 5、処理 1、処理 2 の順に HW へ割り当てる事によって、フレームレート 34.8[fps]、総 Gate 数 129[KGate] という結果が得られた。

分割指標 (b) の場合：HW コストの制約がない場合、処理 5、処理 6、処理 4 の順に HW へ割り当てる事によって、(a) と同様にフレームレート 37.8[fps]、総 Gate 数 166[KGate] というシミュレーション結果が得られた。また HW コストの制約として総 Gate 数 160[KGate] 以下であった場合も、処理 4、処理 5、処理 2、処理 1 の順に HW へ割り当てる事によって、(a) と同じ結果が得られた。

4 リアルタイム OS を考慮した機能分割指標

最初に述べたように、組込みシステムにおいてリアルタイム OS は重要な位置を占めている。我々の開発した HW/SW 協調設計環境では、リアルタイム OS モデルを組み込む事で、各処理の CPU 待ち時間などの詳細な性能見積りをシミュレーションによって得ることが可能である。MPEG2 デコーダの場合でも、各処理のスケジューリングやバッファ管理などの詳細な情報をシミュレーション結果として出力し、これらの結果を HW/SW 機能分割の指標として有効に活用する事で、より適切な機能分割ができると思われる。

5 おわりに

今回我々は、より精確な性能見積りを可能とするリアルタイム OS を組み込んだ HW/SW 協調設計環境を構築した。さらに、機能分割に関する一手法を提案し、MPEG2 デコーダの設計を例に、(a) CPU 待ち時間と処理量の積、(b) 処理量/Gate 数、の 2 つを HW/SW 機能分割における指標とする事で定量的に機能分割が行える事を示した。

今後は、本稿で提案した機能分割指標が他の例題でも有効かどうかを実験すると共に、リアルタイム OS を含めたシミュレーションによる具体的な機能分割指標を調査する予定である。

参考文献

- [1] Gaiser,B.: Foresight Tutorial Release 4.20.00, Nu Thena Systems, (<http://www.nuthena.com/>).
- [2] 今井 正治：ハードウェアの見積りと生成、情報処理、Vol.36, No.7, pp.614-619 (July 1995)