

# 近細粒度並列処理に適した シングルチップマルチプロセッサの メモリアーキテクチャの評価

松元 信介, 木村 啓二, 笠原 博徳

早稲田大学理工学部電気電子情報工学科

## 1 はじめに

複数のプロセッサコアを1チップに集積するシングルチップマルチプロセッサ (SCM) が、次世代マイクロプロセッサのアーキテクチャとして注目を集めている [1, 2]. SCM では、チップ内に複数プロセッサ及びメモリを集積することで、これまでのマルチプロセッサシステムでは得られなかった低レイテンシ・高バンド幅のプロセッサ間通信、及びチップ内メモリアクセスが可能となる。このような特性を活用し、加えて、ステートメントレベルの近細粒度並列処理、ループイタレーションレベルの中粒度並列処理、及びサブルーチンやループブロックレベルの粗粒度並列処理を階層的に組み合わせて利用するマルチグレイン並列処理 [3] をサポートすることで、PE 数の増加に伴うスケラブルな性能向上が可能な価格性能比に優れたコンピュータシステムを構築できる、OSCAR マルチグレインシングルチップマルチプロセッサが提案されている [4].

本稿ではマルチグレイン並列処理に適した SCM 用メモリアーキテクチャを検討するために、同程度のトランジスタ数を前提とし、複数のメモリアーキテクチャの性能を評価したので、その結果について述べる。

## 2 近細粒度並列処理

近細粒度並列処理とは基本ブロック内のステートメント間の並列性を利用する並列処理方式であり、マルチグレイン並列処理の一要素となる。これを実現している OSCAR Fortran マルチグレインコンパイラ [5] では、ステートメントをプロセッシングエレメント (PE) に割り当てる際、スケジューリング手法としてデータ転送オーバーヘッドを考慮し実行時間を最小化するヒューリスティックアルゴリズムである CP/DT/MISF 法、CP/ETF/MISF 法、ETF/CP 法、あるいは DT/CP 法 [6] の4手法を適用し最良のスケジュールを選んでいる。

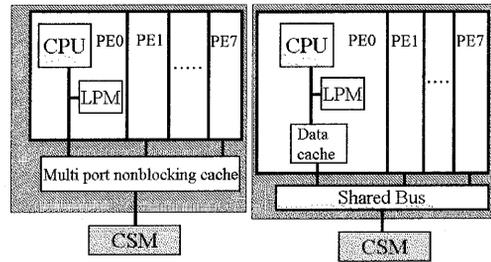
## 3 評価対象アーキテクチャ

本章では今回評価対象としたシングルチップマルチプロセッサアーキテクチャについて述べる。また、評価対象メモリアーキテクチャとして、マルチプロセッサシステムで一般的なデータキャッシュ共有型、及び分散データキャッシュ型、また、マルチグレイン並列処理に適した OSCAR 型 [4] を用意した。これらをクロックレベルの精密なシミュレーターを用いて評価を行う。

### 3.1 共通仕様

評価に用いたプロセッサは SPARC V9 規格 [7] に準拠した単一命令発行の簡素な RISC プロセッサである。このプロセッサには、SPARC V9 の命令セットに対しシングルチップマルチプロセッサシステムで用いるために、バリア同期機構等のための特殊レジスタの付加、及び特殊レジスタ操作のため命令拡張が行われている。今回の評価ではこのプロセッサコアを持つ PE を1チップ上に8基搭載するものとした。

\* Performance Evaluation  
of Single Chip Multiprocessor Memory Architecture  
for Near Fine Grain Parallel Processing  
Nobuyuki Matsumoto, Keiji Kimura, Hironori Kasahara  
Department of Electrical, Electronics and Computer  
Engineering, Waseda University



(a)データキャッシュ共有型 (b)分散データキャッシュ型  
図 1: キャッシュ型アーキテクチャ

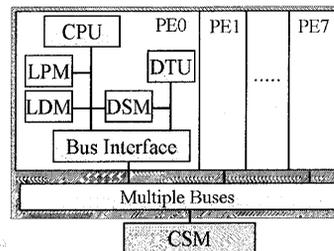


図 2: OSCAR 型アーキテクチャ

PE の内部には各々の CPU で実行するプログラムが格納されるローカルプログラムメモリ (LPM) があり、1 クロックアクセス可能と仮定している。また、プロセッサの外部には各 PE で共有するデータを格納する集中共有メモリ (CSM) が接続され、アクセスレイテンシは 20 クロックと設定している。

### 3.2 データキャッシュ共有型アーキテクチャ

データキャッシュ共有型アーキテクチャとは、図 1-(a) に示す様に、CPU とローカルプログラムメモリ (LPM) を持つプロセッシングエレメント (PE) が、1 つのデータキャッシュを共有するアーキテクチャである。ここでデータキャッシュは、8 つのポートを持つノンブロッキングキャッシュを使用する。キャッシュメモリは 8 つのバンクを持ち、各々のバンクが各ポートとスイッチを介して接続される構成とし、同一バンクへのアクセスが生じた場合は事前に決定された優先順位に基づきアクセスされるが、それ以外の場合は各ポートが独立にキャッシュメモリにアクセスできる。データキャッシュを共有することにより、コヒーレンス制御を簡略化でき、各 PE 間のデータ転送、とりわけ近細粒度タスク間のデータ転送を効率よく行うことができる。本評価では、キャッシュは 4way set associative とし、Write Back 方式を用いる。ヒット時のアクセスタイムは 1 クロック、キャッシュメモリの容量は 1Mbyte とした。

### 3.3 分散データキャッシュ型アーキテクチャ

商用 SMP マシンで広く用いられているバススヌーピングキャッシュを持つ、分散データキャッシュ型アーキテクチャに対しても評価を行った。本評価における分散データキャッシュ型アーキテクチャの構成は、図 1-(b) に示す様に、CPU とローカルプログラムメモリ (LPM) を持つプロセッシングエレメン

ト (PE) が固有のデータキャッシュを持ち、共有バスを介して他 PE 及び集中共有メモリ (CSM) に接続されているものとする。キャッシュのコヒーレンス制御として MOESI プロトコル [8] を用いた。このプロトコルでは、ミスヒット時に他の PE がデータを持っている場合、その PE のキャッシュからデータを転送することが可能であるため、CSM に対する競合を軽減できる。本評価では、キャッシュは 4way set associative とした。ヒット時のアクセスタイムは 1 クロック、他 PE からのデータ転送は最短 12 クロック、キャッシュメモリの容量は 1PE あたり 128Kbyte とした。

### 3.4 OSCAR 型アーキテクチャ

OSCAR 型アーキテクチャ [4] では、図 2 に示す様に、CPU、データ転送ユニット (DTU)、ローカルプログラムメモリ (LPM)、ローカルデータメモリ (LDM)、デュアルポートメモリで構成された分散共有メモリ (DSM) をもつプロセッシングエレメント (PE) と、集中共有メモリ (CSM) が相互接続網 (今回のシミュレーションでは 3 本バス) を介して接続されたものを仮定している。LDM は自 PE の CPU のみが使用するローカルデータを保持するメモリである。LDM には 1 クロックでアクセスできるものとする。DSM は他 PE の DSM に対し直接書き込めるメモリであり、近細粒度タスク間のデータ転送および同期に使用する。自 PE 上の DSM へのアクセスには 1 クロック、他 PE 上の DSM へのリモートアクセスには 4 クロックかかるものとする。メモリ容量は 1PE あたり、LDM は 1Mbyte、DSM は 16Kbyte とした。

また、以上の各メモリアーキテクチャのメモリ容量は、同程度のトランジスタ数を前提として決定した。

## 4 性能評価

本節では各メモリアーキテクチャの性能評価の結果について述べる。性能評価に使用したプログラムは、SPECfp95 ベンチマークの「fpppp」より実行時間の 34.6% を占めるサブルーチン FPPPP を取り出したもの (FPPPP.f)、及び航空宇宙技術研究所の数値流体解析プログラム NS3D のサブルーチン SUB4 のうち 2 番目の DO ループをとりだしたもの (SUB4D2.f) である。FPPPP.f は 333 個、SUB4D2.f は 429 個の近細粒度タスク (ステートメント) を持つ。これらのプログラムに近細粒度並列処理を施し、PE 数 1, 2, 4, 8 において、データキャッシュ共有型、分散データキャッシュ型、OSCAR 型のそれぞれについて評価した。この結果を OSCAR 型の PE 数 1 の処理時間に対する速度向上率として図 3, 4 にそれぞれ示す。

データキャッシュ共有型は 4PE 使用時に、FPPPP で 3.23 倍、SUB4D2 では 2.61 倍と PE 数増加に対してスケラブルな速度向上が得られているが、8PE 使用時では、FPPPP で 0.68 倍、SUB4D2 では 0.45 倍と大幅に性能が低下している。これは、共有変数へのアクセス、データ転送および同期フラグチェック時のビジーウェイトの全てを共有キャッシュに対して行うため、PE 数の増加に伴うバンクコンフリクトの増加が性能低下を引き起こしているためと考えられる。分散データキャッシュ型は、4PE 使用時に、FPPPP で 2.32 倍、SUB4D2 では 1.57 倍と PE 数増加に伴い速度は向上しているが、他のアーキテクチャに比べて速度向上率は低い。また、4PE と 8PE ではほぼ同じ速度となっている。これは、キャッシュ間データ転送によるオーバーヘッド、PE 数増加に伴うバストラフィック増大による性能低下が原因として考えられる。

これに対して、OSCAR 型では PE 数の増加と共にスケラブルな性能向上が得られており、8PE 使用時に、FPPPP では 4.62 倍、SUB4D2 では 3.30 倍の速度向上率が得られた。結果として OSCAR 型アーキテクチャは、8PE 使用時に、データキャッシュ共有型に対し FPPPP で 6.74 倍、SUB4D2 で 7.34 倍、また、分散データキャッシュ型に対し FPPPP で 2.00 倍、SUB4D2 で 1.93 倍の性能が得られた。これはローカル変数

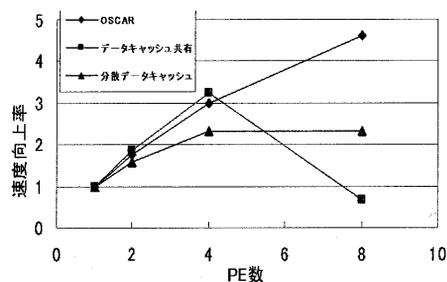


図 3: FPPPP.f における速度向上

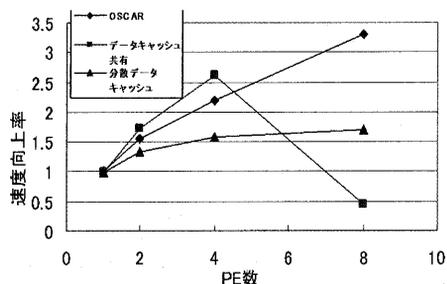


図 4: SUB4D2.f における速度向上

へのアクセスをローカルメモリに、共有データの転送、同期を DSM を用いて行うため、他 PE のメモリアccessを妨げることなく、同期及びデータ転送を行うことが可能であるためと考えられる。

## 5 まとめ

本稿では、近細粒度並列処理に適したシングルチップマルチプロセッサのメモリアーキテクチャを決定するために、データキャッシュ共有型、分散データキャッシュ型、OSCAR 型について評価した。その結果、コンパイラがメモリの使用方法を細かく制御できる OSCAR 型アーキテクチャが、データキャッシュ共有型に対し最大 7.33 倍、分散データキャッシュ型に対し最大 2.00 倍の性能を得ることができ、近細粒度並列処理に対して有効であることが確認された。

今後の課題としては、キャッシュを階層化した場合の考慮、粗粒度並列処理、および粗粒度並列処理を含めたマルチグレイン並列処理を施した大規模プログラムについて各種メモリアーキテクチャ上で評価を行うことが挙げられる。

## 6 謝辞

本研究の一部は、STARC「自動並列化コンパイラ協調型シングルチップマルチプロセッサの研究」により行われた。また、本論文作成にあたり、有益なコメントを頂いた、STARC 小澤時典氏、平田雅規氏、東芝 浅野滋徳氏、富士通 高橋宏政氏、ソニー 倉田隆弘氏、松下 高山秀一氏に感謝します。

## 参考文献

- [1] L. Hammond, B. Hubbert, M. Siu, M. Prabhu, M. Chen, K. Olukotun, "The Stanford Hydra CMP", IEEE MICRO Magazine, March-April 2000
- [2] E. Masato, M. Satoshi, Y. Masayuki, N. Naoki, NEC Corp., "A Single-Chip Multiprocessor for Smart Terminals", IEEE MICRO Magazine, July-August 2000
- [3] H. Kasahara, H. Honda, and S. Narita, "A multigrain parallelizing compilation scheme for oscar", Proc. 4th Workshop on Lang. And Compilers for Parallel Computing, 1991
- [4] 木村 啓二, 尾形 航, 岡本 雅巳, 笠原 博徳, "シングルチップマルチプロセッサ上での近細粒度並列処理", 情報処理学会論文誌, Vol.40, No.5, May, 1999
- [5] H. Kasahara, M. Obata, K. Ishizaka, "Automatic Coarse Grain Task Parallel Processing on SMP using OpenMP", Proc. 12th Workshop on Languages and Compilers for Parallel Computing (2000)
- [6] 笠原, "並列処理技術", コロナ社, Jun.1991
- [7] SPARC International, Inc., "SPARC V9 Architecture Manual", 1994
- [8] Sun Microelectronics, "UltraSPARC<sup>TM</sup> User's Manual", Jul.1997