

S-TDMA スイッチングハブの実装とその評価

太田原香菜[†] 矢向高弘[‡]

慶應義塾大学院 理工学研究科総合デザイン工学専攻[†] 慶應義塾大学 理工学部システムデザイン工学科[‡]

1. 序論

近年研究されているネットワークを用いた遠隔制御システムにおいては、閉ループ制御がネットワークを介して行われる。そのため、制御用データの通信は遅延の決定性が要求されるリアルタイム通信である。

TDMA 方式に基づいたリアルタイム通信プロトコルが数多く研究されているが、これを遠隔制御に用いるためには大きく2つの課題がある。1つに TDMA はマルチホップでの遅延の決定性を保証できないこと、2つ目に TDMA のリアルタイム通信と現状のインターネットの通信を共存させることである。これらの課題を解決するプロトコルとして S-TDMA(Synchronous-TDMA)が提案されている。

本研究では、S-TDMA に対応したスイッチングハブを FPGA ボードに実装した上で、それぞれの課題に関する性能評価と、その結果に対する考察を行った。

2.S-TDMA

S-TDMA ネットワークにおけるリアルタイム通信は以下のように行われる。まず、リアルタイム通信のタイムスロットが制御周期に基づいて周期的に割り当てられる(この周期を S-TDMA サイクルとする) (図 1)。このタイムスロットはリアルタイム通信をするエンドノード間の通信路にあるすべてのスイッチ・サブネットにおいて同期され、タイムスロットの時間中は定められた通信のみがその通信路を使用できる。これにより、マルチホップネットワークでも通信遅延の決定性が保証される。エンドノードには RT-Messenger[1]が提案されている。また、スイッチでは、割り当てられた通信のみを排他的に中継する。なお、タイムスロットの同期のための時刻同期方法は IEEE1588[2]をベースとしたアルゴリズムが考えられている。

リアルタイム通信に割り当てられた時間外は TCP/IP 通信が可能である。これによりリアルタイム通信とそうでない通信が同じ回線に共存でき、帯域を効率的に利用できる。

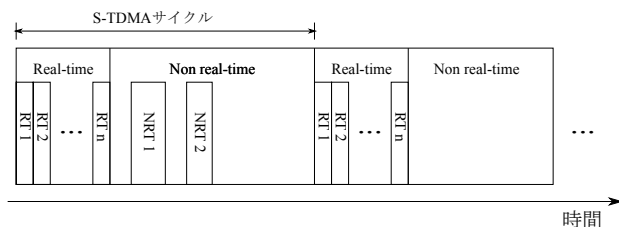


図 1 : S-TDMA タイムスロット

3.S-TDMA スイッチの設計と実装

S-TDMA スイッチではリアルタイム通信のタイムスロットが割り当てられた時間を Exclusive モード、それ以外の TCP/IP 通信が行われる時間を Shared モードとしている。S-TDMA スイッチには、(1)Exclusive・Shared モードのフレーム転送機構、(2)モードのスケジューリング機構、(3)スイッチ間の時刻同期機構、(4)タイムスロットのスケジューリング・予約プロトコル が必要である。現在までに(1)(2)までの実装を行った。

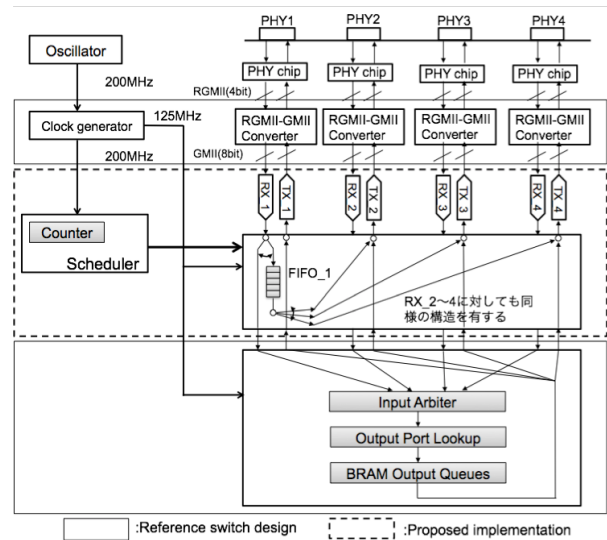


図 2 : S-TDMA スイッチのブロック図

今回、NetFPGA 1G-CML という FPGA ボードに S-TDMA スイッチを実装した。このボードの PHY ポートはガビットイーサネットに対応している。PHY チップは Realtek RTL8211 であり、データ読み取りクロックは 125 MHz、RGMII 形式に対応している。実装した S-TDMA スイッチのブロック図は図 2 に示す通りである。オープンソースのリファレンススイッチデザイン[3]を Shared モードの転送機構として使用し、それに Exclusive モードの転送機構とモードの切り替え機構を追加した。

Exclusive/Shared モードの転送機構 フレームを受信したポートを n 、その宛先が m としたとき、Exclusive モード時なら RX_n の信号は $FIFO_n$ にキューイングされ、読み出されたフレームは TX_m に転送される。また、Shared モード時は 4 つの RX_n の信号が Input Arbiter でシリアルライズされ、次に Output Port Lookup で宛先 MAC アドレスの探索が行われる。最後に BRAM Output Queues では宛先ポートに対応したキューにフレームが記録され、 TX_m につながる。

モードのスケジューリング機構 各ポートを Exclusive/Shared モードで使うのが選択でき、その上で Exclusive モードの 2 ポートの組み合わせは 3 つある(①1-2,3-4 ②1-

Implementation and Evaluation of S-TDMA switching hub

[†] Kana Otawara, Keio University

[‡] Takahiro Yakoh, Keio University

3,2-4, ③1-4, 2-3). よって, 例えば 1-2 間を Exclusive モード, 3-4 間を Shared モードとすることも可能である. このとき, 宛先がポート 1 か 2 になるような TCP/IP 通信のフレームをポート 3 から受信したら, それは保存せずに破棄する実装とした. また, 今回, タイムスロットの予約機構は実装していないので, Scheduler において前述のモードの設定, S-TDMA サイクルの長さとしてそれに対する Exclusive モードの占有率を設定可能とし, 切り替え指令を与える機構を実装した. Counter において時刻のカウントを 100 MHz のクロックに基づいて行う.

4. 性能評価

A. 遅延測定

S-TDMA スイッチの Exclusive/Shared モード, 市販のスイッチ corega SW08GTX2W について, 1 ホップから 5 ホップのトポロジで遅延測定を行った. 測定機構も NetFPGA に実装し, 64byte のテストフレームを 1000 回送信してラウンドトリップタイムを計測した. 時刻のカウントは周期 8ns のクロックで行った. なお, 0 ホップは測定機構における処理遅延を測定することを目的とした.

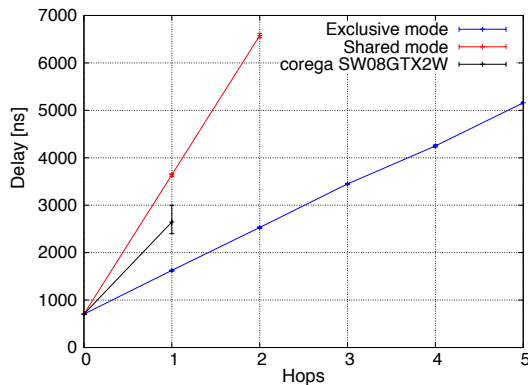


図 3: 遅延測定の結果

図 3 の結果から, 1 ホップでは corega と比べて Exclusive モードの遅延は 61%, ジッタは 40%であることがわかる. また, Exclusive モードではホップ数に伴う遅延の増加が Shared モードよりも抑えられていることがわかる. これにより, Exclusive モードの遅延がマルチホップネットワークでも決定的であることが示された.

B. リアルタイム通信により周期的な途絶が起こる TCP/IP 通信のスループット測定

現在のインターネット環境に S-TDMA ネットワークを構築すると, リアルタイム通信が周期的に帯域を使用することになる. これによる非リアルタイム通信のスループットへの影響を調査した.

図 4 のようなネットワーク・タイムスロットの予約状況を考える. S-TDMA スイッチ内において, ポート 2-3 間が繋がれる Exclusive モード中は, PC 1 から 2 への Shared モードの通信は中断されることとなる. S-TDMA サイクルを 10 μ s, 100 μ s, 1 ms とし, サイクル中の Shared モードの占有率を変えた場合の PC1 から PC2 へのスループットを測定した. 測定結果は図 5 に示す通りである. なお, 計測に用いたアプリケーションは Netperf であり, 1400 byte の TCP パケットを 10 秒間送信した.

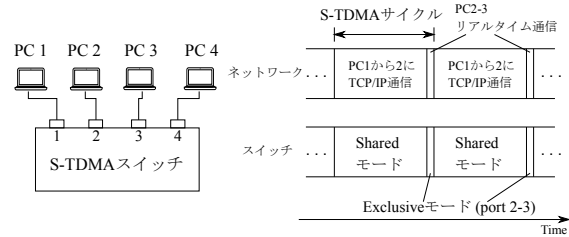


図 4: スループット測定環境

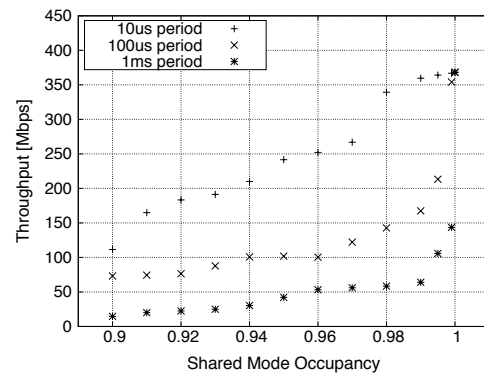


図 5: スループット測定結果

Shared モード占有率 1 はモードの切り替えを行わずにリファレンススイッチのみを使用した場合である. 図 5 から, 通信の途絶時間が長いほどスループットが低くなることがわかる. また, 実装上の観点からは, 今回は Exclusive モード中に PC 1 から受信したフレームが S-TDMA スイッチ内で破棄されている. スループットの低下はできる限り抑えられることが望ましい. フレームをキューに保存し, Shared モードに切り替わったら再送するような実装とすることが改善策として考えられる.

5. 結論

S-TDMA スイッチングハブの実装を行った. 性能評価により, 1 ホップでは corega と比べて Exclusive モードの遅延は 61%, ジッタは 40%であり, またマルチホップでも遅延が決定的であることが示された. また, S-TDMA スイッチにおいて周期的に途絶が起こる TCP/IP 通信のスループットの測定を行い, 通信の途絶時間が長いほどスループットが低くなるという結果が得られた.

今後の課題としては, まずは S-TDMA スイッチの実装を改善し TCP/IP 通信途絶時のスループット低下を抑えることがあげられる. さらに, 時刻同期やタイムスロット予約の機能を実装し, S-TDMA ネットワーク全体を構築して評価を行うということが考えられる.

謝辞

本研究は JSPS 科研費 24300086 の助成を受けたものです.

参考文献

- [1] T. Yakoh, H. Sato, and T. Aoyama, "Fine real-time processing in distributed systems," in Proceedings of IEEE International Workshop on Factory Communication Systems (WFCS), 2000, pp. 135–142.
- [2] "IEEE Standard for a Precision Clock Synchronization Protocol for Networked Measurement and Control Systems," IEEE Std 1588-2002, pp. 1–144, 2002.
- [3] (2016, Jan) Home_NetFPGA 1G CML · NetFPGA/NetFPGA-public Wiki. [Online]. Available: https://github.com/NetFPGA/NetFPGA-public/wiki/Home_NetFPGA-1G-CML