

超低電力再構成可能アクセラレータ CCSOTB の実装と評価

増山 滉一朗† 藤田 悠† 奥原 颯† 天野 英晴†

† 慶應義塾大学

1 Introduction

Cool mega array (CMA)[1] および CMA CUBE SOTB (CCSOTB) は、近年の高度なセンサネットワークや IoT, ウェアラブルコンピューティングに向けた、超低消費電力な粗粒度再構成可能アーキテクチャ (CGRA) [2] である。CCSOTB は大規模な組み合わせ回路のみから成る PE アレイ, データ転送を管理する小さな μ コントローラ, データメモリから構成されている。実装には silicon on thin buried oxide (SOTB) と呼ばれる新たな silicon on insulator (SOI) 技術を使用している。SOTB は低電圧での動作が可能で, またボディバイアス制御を広く制御することができる。CCSOTB の設計においては従来の試作機である CMA-SOTB-2 の改良を行い, さらなる性能改善と電力効率化を図った。

2 CCSOTB アーキテクチャ

2.1 CMA アーキテクチャ

CMA の主要なコンセプトは、演算に必要な電力以外のエネルギー使用量を削減することである。図 1 は CMA アーキテクチャのブロック図である。PE アレイは組合せ回路のみから構成されており, 中間結果を保存するために必要な電力と各 PE へのクロック分配に必要な電力を削減している。PE アレイサイズは 8×8 で, 各 PE 内 ALU のデータ幅は 24-bit である。launch register にデータがセットされると演算が始まり, 一定時間後に PE アレイからの出力が result register に格納される。マイクロコントローラはメモリに格納された 16-bit のコードを実行する小さなマイクロプロセッサで, single-read/single-write のデータメモリと PE アレイに接続されたレジスタ間のデータ転送を管理する。

2.2 PE アレイサイズの拡大

データ並列性向上のため, CCSOTB では PE アレイサイズの拡張を行った。PE アレイの横幅を拡張し, 8×8 から 12×8 のアレイサイズとなった。これにより 1 度に処理可能なデータ数が増加し, パフォーマンス向上を見込むことができる。

2.3 ウェーブパイプラインモードの実装

今回は CMA のさらなる性能向上を達成するため, ハイパフォーマンス処理を目的としたウェーブパイプラインモードの実装を行った。通常モードでは前回流した入力データが PE アレイ内で数クロック後に演算を終えて, データがマイクロコントローラに戻ってくると, 次の入力データを PE アレイに流して演算を開始する。一方でウェーブパイプラインモード時は, 前クロックで流したデータが PE アレイ中でまだ演算を行っている段階で, 次のデータを PE アレイに流して

実行を始める。図 2 は 2 つのモードにおける処理の比較を示している。

2.4 PE アレイ内リンクの最適化

CMA-SOTB-2 においては, PE アレイ内の隣接する PE 間のデータ転送を全て SE を通して行っていた。CCSOTB においては SE を 1 つ減らし, ある PE の ALU の出力から隣接する PE の ALU の入力に直接接続されるダイレクトリンクを設けた。これにより SE を使わずに隣接 PE 間のデータ転送を行うことによる電力の削減, PE アレイの面積縮小, それからリーク電力の削減を図った。ダイレクトリンクの方向であるが, CCSOTB の設計に際して図 3 のように 3 つのパターンを提案した。3 つ目のパターン c) はマージ演算やバタフライ演算を意識した構成となっている。CGRAs 向けのアプリケーションはマージ演算やバタフライ演算を多く含む傾向があるため, このようなパターンを用意した。

3 SOTB

3.1 SOTB 技術

Silicon on thin buried oxide (SOTB)[3] とは, 日本の超低電圧デバイス技術研究組合 (LEAP) によって開発された, 新しい完全空乏型 SOI CMOS 技術である。図 4 のように, SOTB トランジスタは薄い埋め込み酸化膜 (BOX 層) 上に形成されている。SOTB ではボディバイアスを広範囲に制御することができ, 製造後にパフォーマンスと電力消費の最適化を行うことが可能となる。SOTB 技術の詳細と低電力動作によるその他の利点については, 論文 [3] に記述されている。CCSOTB において, ボディバイアスは PE アレイと μ コントローラ, DMEM にそれぞれ独立して与えられる。それぞれを独立してボディバイアスを制御することで, 必要なパフォーマンスを維持しつつ電力消費を最適化することができる。

4 シミュレーション評価

前バージョンの CMA-SOTB-2 と, 今回設計した CCSOTB のシミュレーション評価の比較を示す。今回の評価においては, 表 1 に示す 5 つの画像処理アプリケーションを使用した。図 5 (a) の CMA-SOTB-2 と CCSOTB の電力効率比較については, CCSOTB の PE アレイ内ダイレクトリンクのパターン a を使用して行った。

4.1 電力効率

電源電圧 0.55 V 時の電力効率の評価結果を図 5 (a) に示す。MOPS とは million operation per second のことであり, 電力効率は単位電力あたりの MOPS 値

である MOPS/mW を指標とする。また、図中の WP とはウェーブパイプラインモード時を表している。いずれのアプリケーションにおいても、CCSOTB の電力効率値は CMA-SOTB-2 を上回り、特にウェーブパイプラインモード時は非常に高い電力効率値を達成した。通常モード時は CMA-SOTB-2 と比較して平均 40%、ウェーブパイプラインモード時は 78% 向上した。

4.2 ダイレクトリンクパターン別の電力効率

またダイレクトリンクの方向パターンの違いによる、CCSOTB の電力効率の比較を図 5(c) に示す。アプリケーションによって効果が大きいものとそうでないものがあるが、全てのアプリケーションにおいてパターン c) の構成が電力効率の最高値を示した。ダイレクトリンクを設けずに SE を 2 つ使用したアーキテクチャと比較すると平均で 10%、特に *gray* においては最大で 15% 電力効率が向上した。このようにダイレクトリンク方式を採用することで、ハードウェアリソースを削減しつつ電力効率化を達成できた。

5 結論

CMA の新しいバージョンである CCSOTB の設計、実装、評価を行った。今回は PE アレイサイズを従来の 8×8 から 12×8 に拡大した。またウェーブパイプラインモードの実装により、大幅なパフォーマンスの向上を試みた。シミュレーション評価において、電力効率がウェーブパイプラインモード時に 78% 向上した。さらに各 PE 間でのデータ転送において、PE 間を直接接続するダイレクトリンクを使用することにより、ダイレクトリンク無しの CMA アーキテクチャと比較して平均で 10%、最大で 15% 電力効率の改善を達成した。

謝辞

本研究は東京大学大規模集積システム設計教育研究センター (VDEC) を通じ、独立行政法人新エネルギー産業技術総合開発機構 (NEDO)、超低電圧デバイス技術研究組合 (LEAP)、および科学研究費助成事業の協力によって行われたものである。関係者各位に深く感謝する。

参考文献

- [1] N. Ozaki et al., "Cool Mega Arrays: Ultra-low-Power Reconfigurable Accelerator Chips," IEEE Micro, vol.31, No.6, pp.6-18, 2011.
- [2] Y.Yuyama, et.al., "A 45nm 37.3GOPS/W Heterogeneous Multi-core SoC," Proc. of ISSCC, pp.100-101, 2010.
- [3] Takashi Ishigaki, et al., "Ultralow-power LSI Technology with Silicon on Thin Buried Oxide (SOTB) CMOSFET," Solid State Circuits Technologies, Jacobus W. Swart (Ed.), ISBN: 978-953-307-045-2, In-Tech, pp.146-156, 2010.

表 1: アプリケーションプログラム

alpha	8-bit アルファブレンダ
af	24-bit (RGB) アルファブレンダ
gray	24-bit (RGB) グレースケール
sepia	8-bit (RGB) セピアフィルタ
sf	24-bit (RGB) セピアフィルタ

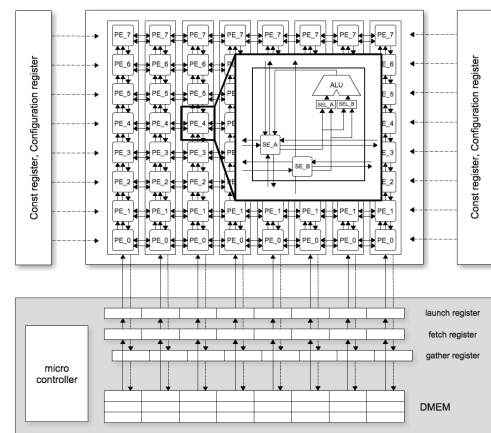
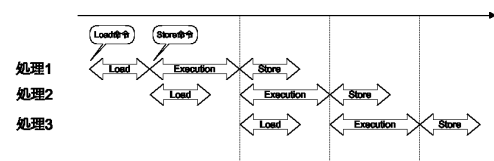
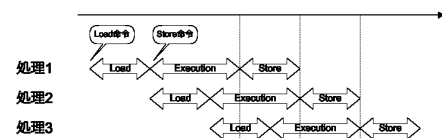


図 1: CMA アーキテクチャ



(a) 通常モード



(b) ウェーブパイプラインモード

図 2: 通常モードとウェーブパイプラインモードの比較

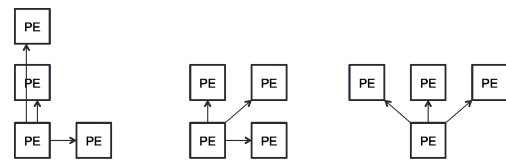


図 3: ダイレクトリンクのパターン

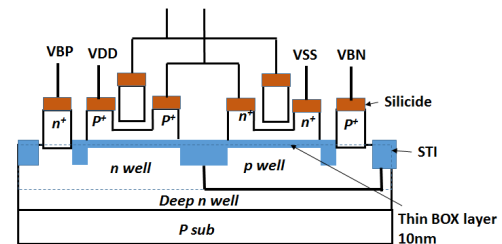


図 4: SOTB デバイスの断面図

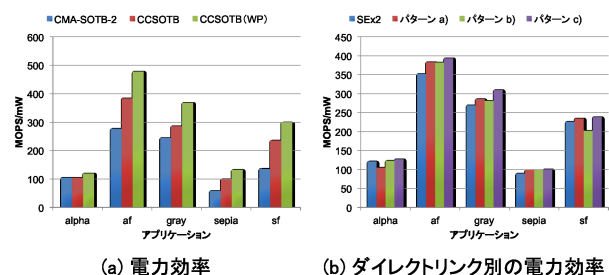


図 5: 評価結果