

# FPGA 実験ボード上のオーディオコーデックを用いた A/D-D/A 変換に関する研究

杉本 尚之<sup>†</sup> 松崎 隆哲<sup>‡</sup>

近畿大学大学院産業理工学研究科<sup>†</sup> 近畿大学産業理工学部<sup>‡</sup>

## 1. はじめに

近年、雑音除去などの音声信号処理技術が高機能化している。そのために、ソフトウェアによる逐次処理では実時間での処理が困難となりつつある。実時間での音声信号処理を実現する方法としては、高機能なコンピュータを用いて計算時間を短縮する方法とハードウェアを用いて音声信号処理アルゴリズムを並列化したシステムを構築して、計算の効率化を図る方法の二通りを考えることができる。そこで、私の所属している研究室では、音声信号処理をソフトウェアによる逐次処理から、ハードウェアによる並列処理へと変更して、音声信号処理アルゴリズムの並列ハードウェア化による実時間処理の可能性について研究を行っている。

本研究では、ハードウェアとして、回路変更が容易に行うことができる FPGA 実験ボードを用いて、実時間音声信号処理回路の構築を行うこととした。FPGA では、音声信号をそのまま処理することはできないため、先行研究で、音声信号を取り扱う為のドライバの構築を行った。しかし、A/D-D/A 変換を行った際に入力信号と出力信号に遅延と信号歪みが確認された。また、A/D-D/A 変換が正しく行われているかが不明であった。そのため、A/D-D/A 変換回路の再構築を行うこととした。

本発表では、FPGA 実験ボード上のオーディオコーデックを用いた A/D-D/A 変換回路の再構築と、信号遅延と歪みに関する実験結果を発表する。

## 2. FPGA 実験ボードを用いた音声信号処理

本研究では、マイクロフォンを用いて音声信号を FPGA 実験ボードに入力し、音声信号処理を行っている。マイクロフォンから取り込まれた音声信号は、アナログ信号として FPGA 実験ボ-

ードに取り込まれる。しかし、アナログ信号のままでは FPGA で音声信号処理が行えないため、A/D 変換を行って、デジタル信号に変換した後に、FPGA 上に構築した音声信号処理回路で音声信号処理を行う。音声信号処理回路から出力されたデジタル信号はスピーカーを用いて音声として出力される。しかし FPGA から出力される信号はデジタル信号のため、そのままではスピーカーから出力することはできない。そのため、D/A 変換を行いアナログ信号に変換した後に、スピーカーから音声として出力する。

図 1 に FPGA 実験ボードを用いた音声信号処理の概略図を示す。現在は FPGA 上の音声信号処理回路は構築されていない。

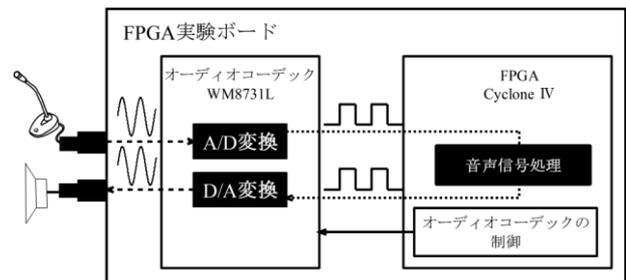


図 1: FPGA 実験ボードを用いた音声信号処理の概略図

## 3. オーディオコーデックの制御と通信

本研究では、オーディオコーデックとして FPGA 実験ボード DE2-115 に搭載されている WM8731L を用いて、A/D-D/A 変換を行っている。WM8731L は、初期設定のままでは使用することはできない。そのため、オーディオコーデック WM8731L に 11 個搭載されているレジスタの内容を変更する必要がある。また、変更を行うにあたって、I<sup>2</sup>C (2 線モード) を用いて変更を行った。

### 3.1. レジスタ内容と変更

オーディオコーデック WM8731L のレジスタ内容は左ライン入力、右ライン入力、左ヘッドフォン出力、右ヘッドフォン出力、アナログオーディオパス制御、デジタルオーディオパス制御、パワーダウン制御、デジタルオーディオデー

Research of A/D-D/A conversion using Audio CODEC on the FPGA board

<sup>†</sup>Takayuki Sugimoto, Graduate School of advanced technology, Kinki University

<sup>‡</sup>Takanori Matsuzaki, Faculty of Humanity-Oriented Science and Engineering, Kinki University

タ通信規格制御、サンプリング制御、アクティブ制御、リセットである。

今回は、アナログオーディオパス制御、デジタルオーディオデータ通信規格制御、サンプリング制御の3種類について設定を変更した。

### 3.2. I<sup>2</sup>C(2線モード)

2線式のI<sup>2</sup>Cとは、同期式シリアル通信インターフェースのことで、シリアル・データ信号(SDA)とシリアル・クロック信号(SCL)の2本の信号線で通信する方式である。図2にI<sup>2</sup>C(2線モード)の概略図を示す。シリアル・データ信号は送受信により信号の流れが変わる双方向信号である。この方式は、各スレーブに固有のアドレスが割り当てられているので、複数のスレーブと接続することが容易である。

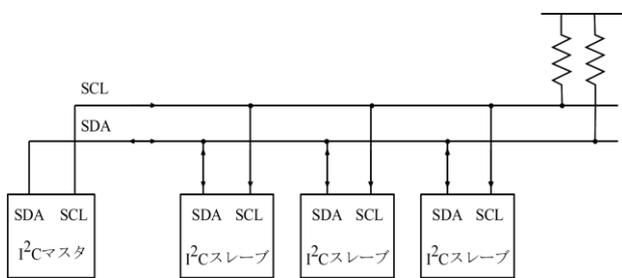


図2: I<sup>2</sup>C(2線モード)の概略図

### 3.3. オーディオコーデックとFPGA間での通信

オーディオコーデックで変換したデジタル信号は、I<sup>2</sup>S通信、左詰め通信、右詰め通信、DSP/PSM通信(モードA)、(モードB)の5種類の通信規格でデータを送受信することができる。図3に左詰め通信のタイミングチャートを図4にDSP/PSM通信(モードB)のタイミングチャートを示す。

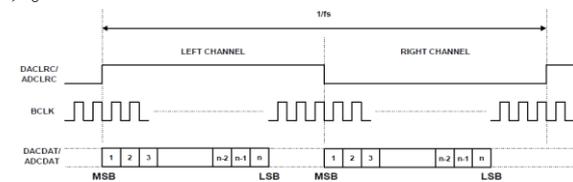


図3: 左詰め通信のタイミングチャート

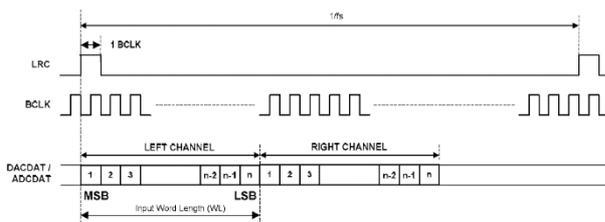


図4: DSP/PSM通信(モードB)のタイミングチャート

図3の左詰め通信のタイミングチャートを基準として、基準クロック(BCLK)1クロック分遅れ

てデジタルデータ(ADC DAT/DAC DAT)の送信が始まる規格がI<sup>2</sup>S通信、左チャンネルの区別信号(ADCLRC/DACLRC)の終わりと同時にデジタルデータの転送が終了する規格が右詰め通信である。

図4のDSP/PSM通信(モードA)のタイミングチャートから、LRCLK 1クロック分遅れてデジタルデータの転送が始まる規格がDSP/PSM通信(モードB)である。

### 4. オーディオコーデックの動作と遅延調査

FPGA実験ボード上のオーディオコーデックを用いてA/D-D/A変換回路の再構築を行い、音声信号を取り扱うことができたかどうかを確認するために、FPGA実験ボードのライン入力とライン出力に対してオシロスコープと発信器を用いて動作確認を行うこととした。

その後、5種類あるオーディオコーデックとFPGAでの通信規格それぞれに対して、量子化ビット数を32/24/20/16[bit]、サンプリング周波数8-8/8-48/48-8/48-48/96-96[kHz](A/D変換時のサンプリング周波数-D/A変換時のサンプリング周波数)に変更して遅延と歪みの調査を行うこととした。

### 5. まとめ

本発表では、オーディオコーデックのレジスタ変更と、変更を行う為のI<sup>2</sup>Cについて発表し、5種類あるオーディオコーデックとFPGAでの通信規格に対する、遅延と歪みの調査の方針について報告した。

これらの結果を踏まえて今後、音声信号処理アルゴリズムの並列ハードウェア化による実時間処理の可能性に適した組み合わせを見つけて行くこととする。

### 参考文献

- [1]. 杉本 尚之, 松崎 隆哲: “FPGA実験ボード上のオーディオコーデックを用いた、A/D・D/A変換時における動作解析及び信号遅延に関する研究,” 第68回電気・情報関係学会九州支部連合大会, 2015
- [2]. 杉本 尚之, 松崎 隆哲: “FPGA実験ボードを用いたA/D・D/A変換時に生じる信号歪みに関する研究,” 情報処理学会第77回全国大会, 2014年
- [3]. 中尾 司: “マイコンの1線2線3線インターフェース活用入門,” CQ出版社, 2012年
- [4]. 小林 優: “FPGAボードで学ぶ組み込みシステム開発入門,” 技術評論社, 2011年
- [5]. 正木 範朗, 松崎 隆哲: “FPGAボード上における音声データの取り扱い手法に関する検討,” 情報処理学会第76回全国大会, 2013年