

縦方向への積層技術を用いた低コスト高速半導体不揮発性メモリの設計法

渡辺重佳

湘南工科大学 情報工学科

1. はじめに

LSI は過去ムーアの法則にしたがって平面型トランジスタの微細化が進み、大容量化、低コスト化、高速化、低消費電力化が着実に進められてきた。しかしながらこの平面型トランジスタの微細化もショートチャネル効果等のため近年限界に近付いている。この問題を解決するため、ショートチャネル効果に強い3次元型トランジスタが開発された。その代表例がSGT(Surrounding Gate Transistor)[1] やFinFET[2][3]である。

2. 今後の大容量メモリ

SGT は縦方向に積層すると容易に大容量化できるため NAND フラッシュメモリの積層化に関する提案がなされた[4]。当初提案された積層型 NAND フラッシュメモリでは、1層ずつ独立したプロセスでメモリセルを製造する方式になっていたため、積層することにより大容量化できる半面、1ビット当たりのコストであるビットコストは安くならなかった。その問題を解決するために提案されたのが多段積層縦型トランジスタ構造である[5]。これはゲート電極とゲート電極間の層間絶縁膜の積層をひとつの製造工程のセットとして、このセットを積層する層数だけ繰り返した後に、一括して基板の一番下までトレンチを形成し、積層数分だけまとめて同一の工程でメモリセルを形成する製造技術である。多段積層縦型トランジスタ構造を導入することにより、積層することにより大容量化だけでなく、ビットコストを積層しない1層構造と

比較して大幅に低減することが初めて可能になった。この多段積層縦型トランジスタ構造はその後現在最も大容量化されている NAND 型フラッシュメモリで本格的に導入された[6]。その状況を表1[7]に示す。32~48層積層した積層型 NAND フラッシュメモリが開発され、東芝、サムスン、Intel/Micron が開発、製品化を進めている。多段積層縦型トランジスタ構造を用いると積層数を増やすとともに大容量化されるだけでなくビットコストも安くなり低コスト化できる特徴がある。つまり大容量メモリはムーアの法則による平面型トランジスタの微細化が限界に達した後も、多段積層縦型トランジスタ構造を用いて積層化を進めることにより、従来同様大容量化、低コスト化が実現できる可能性が高い。

3. 今後のロジック LSI の候補

それに対し大容量メモリと比較して複雑な回路構成を平面型のトランジスタと配線で形成しているロジック LSI では、トランジスタの微細化の限界後の大容量化、低コスト化、高速化を推進できる有力な候補はまだ提案されていない。

そこで今後も継続してロジック LSI の大容量化、低コスト化、高速化を実現する手段として、今後も大容量化、低コスト化が期待できる大容量メモリに適用されている多段積層縦型トランジスタ構造を利用することを検討している。検討の第一歩として今回多段積層縦型トランジスタ構造を利用した積層型 NAND メモリで NAND フラッシュメモリ以上に高速化に適した積層型 NAND メモリを抽出した(表2)。積層型 NAND FeRAM[8]、積層型 NAND MRAM[9]、chain 構造(NAND 構造に類似した構造)PRAM[10][11]がその候補で、いずれも多段積層縦型トランジスタ構造を用いて積層化することにより、大容量化、低コスト化のみならず、高速化も実現できる可能性がある。

	NAND Flash		
Company	Toshiba	Samsung	Intel/Micron
Number of layer	48	32	32
Cell type	Charge Type	Charge Trap	Floating Gate
Shipping of Sample	2015	2014	2015
Design rule	-	30~40nm	-
Bit density	128Gbit	128Gbit	256~384Gbit
Access Speed	10 μ s	10 μ s	10 μ s

表1 多段積層縦型トランジスタ構造型 NAND フラッシュ

Design of stacked type low-cost high speed semiconductor memory
Shigeyoshi Watanabe
Department of information science, Shonan Institute of Technology

	FeRAM	MRAM	PRAM
Company/University	SIT	SIT	SIT/hitachi
Number of layer	64	64	64
Cell type	Fe-FET	Spin transistor	chain
Shipping of sample	Reserch phase	Reserch phase	Reserch phase
Design rule	39nm	39nm	39~50nm
Bit density	1Tbit	1Tbit	1Tbit
Access speed	50ns	50ns	50ns

表2 多段積層縦型トランジスタ構造型 NAND メモリの比較

いずれも積層型 NAND フラッシュメモリと異なり現時点では研究レベルにとどまっているが、既にデバイス・回路方式に関して詳細に検討されている。

4. まとめ

今後これらの候補を中心としてロジック LSI への適用を検討していく。発表では FeRAM (図1)、MRAM (図2) を中心としてその可能性について述べる。

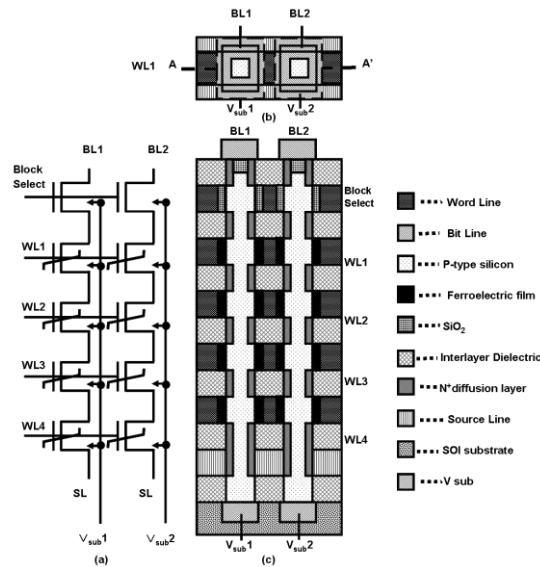


図1 積層型 NAND FeRAM の構成, (a) 等価回路図、(b) 上面図、(c) 断面図

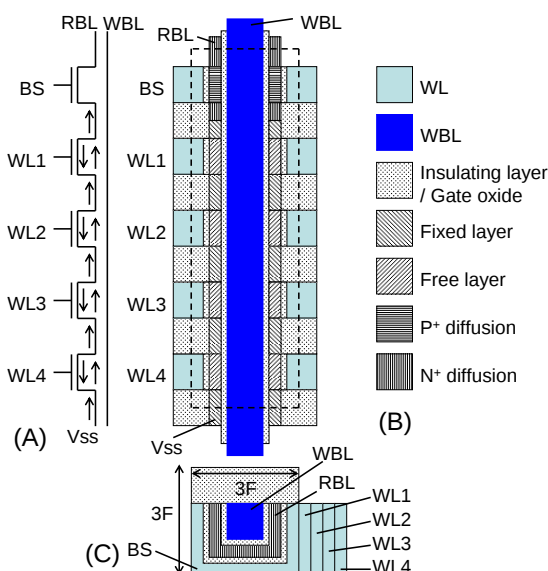


図2 積層型 NAND MRAM の構成, (a) 等価回路図、(b) 上面図、(c) 断面図

参考文献

- [1] H. Takato et al., "Impact of SGT for ultra - high density LSIs", IEEE Trans. Electron Devices, vol. 38, pp. 573 - 578, 1991.
- [2] D. Hisamoto et. al., "A fully depleted lean-channel transistor (DELTA)-a novel vertical ultra thin SOI MOSFET", Electron Device Meeting Tech. Dig. pp.833-836, 1989.
- [3] 横田智広、渡辺重佳 "SGTによるシステムLSIのパターン面積縮小効果の検討" 電子情報通信学会 C, Vol.J92-C, No.9, pp.537-539, 2009.
- [4] T. Endoh et. al., "Novel Ultrahigh-Density Flash Memory With a Stacked-Surrounding Gate Transistor (S-SGT) Structured Cell", IEEE Trans. Electron Devices, vol.50, no.4, pp.945-951, 2003.
- [5] H. Tanaka et al., "Bit Cost scalable Technology with Punch and Plug Process for Ultra High Density Flash Memory", Symp.on VLSI Technology, 2007.
- [6] R. Katsumata et al., "Pipe-shaped BiCS flash memory with 16 stacked layers and multi-level-cell operation for ultra high density storage devices", Symp. on VLSI Technology, pp.136-137, 2009.
- [7] "3次元 NAND が出荷フラッシュ東芝、Intel らが Samsung を追う" 日経エレクトロニクス 5月号 2015年
- [8] 菅野孝一、渡辺重佳 "積層型 NAND 構造 1トランジスタ型 FeRAM の読み出し方式の検討" 電子情報通信学会 C, Vol.J91-C, No.11, pp.668-669, 2008.
- [9] 玉井、渡辺、"スピントランジスタを用いた積層型 NAND MRAM の読み出し法の検討" 電子情報通信学会論文 vol.J91-C, no.11, pp.666-667, 2008.
- [10] 加藤翔、渡辺重佳、"積層方式 Chain 構造 PRAM の設計法、" 電気学会論文誌 C, Vol.133, No.5, pp.937-946, 2013.
- [11] Y. Sasago et al., "Phase-change memory driven by poly-Si MOS transistor with low cost and high-programming gigabyte-per-second throughput," Symp.on VLSI Technology, pp.96-97, 2011.