

3E - 6 概略配線, バッファ挿入, タイミング制約を考慮した フロアプランニング手法[†]

中矢 真吾*

若林 真一*

小出 哲士*,**

*広島大学工学部

**東京大学大規模集積システム設計教育研究センター

1 まえがき

近年の超大規模集積回路 (VLSI) の集積度の増加に伴い, VLSI 設計におけるパフォーマンスの考慮の重要性が益々増大している [2]. レイアウト設計における配置, 配線は, チップのパフォーマンスを決定する重要な設計ステップであるが, 従来の多くの研究では配置と配線は別々に扱われている. しかし, 回路の複雑化と素子遅延の減少に伴い, 回路全体の遅延における配線遅延の割合が相対的に大きくなっている. したがって, 配置のできるだけ早い段階から配線プランを立てる必要がある [1].

本研究では, ソフトモジュールを許したビルディングブロックレイアウト設計に対し, 配線に関する情報をできる限り取り入れることにより, よりパフォーマンスの高い配置を出力するフロアプランニング手法を提案する. 提案手法では, シミュレーティッドアニーリング (SA) [3]に基づいて配置を行い, 探索が進行するにつれてより詳細に配線を見積ることにより, 短時間で効率良く配置を決定する. 配線では近似的にスタイナ木を生成し, 配線長をより正確に見積もり, 得られた配線長により配線遅延とバッファ挿入を考慮する.

2 準備

2.1 配置モデル

本研究では, 配置モデルとして, 配置領域を水平, 垂直の線分で再帰的に分割して得られるスライシング構造を採用し, スライシング構造の表現としてスライシング木 [2] を用いる. スライシング構造はソフトモジュールを扱うことが容易であり, コーディングが単純でチップ面積とモジュールの座標も容易に求めることができるという特徴を持つ. 図 1(a), (b) にそれぞれスライシング構造とそれに対応するスライシング木の例を示す. 図 1(b) で表されるようにスライシング木はボーランド記法により文字列として表現可能であり, スライシング木に基づく SA 等のヒューリスティックアルゴリズムを用いたフロアプランニング手法が多く提案されている [1, 2].

2.2 フロアプランニング問題

入力: モジュールの集合 M (ハードモジュール M_H , ソフトモジュール M_S) のサイズと端子位置
ネットリスト \mathcal{N}

出力: 各モジュール m_i ($m_i \in M$) の座標 (x_i, y_i) , 総配線長 W , 挿入するバッファの個数 C_N

[†]"A Floorplanning Method with Global Routing Considering Buffer Insertion under Timing Constraints", Shingo NAKAYA*, Shin'ichi WAKABAYASHI*, Tetsushi KOIDE**,

*Faculty of Engineering, Hiroshima University, **VLSI Design and Education Center, University of Tokyo. e-mail:{nakaya,wakaba}@ecs.hiroshima-u.ac.jp, koide@vdec.u-tokyo.ac.jp

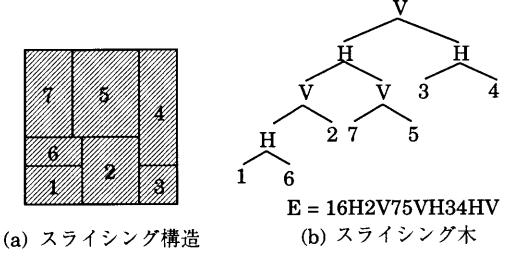


図 1 スライシング木の例

目的: チップ面積 A , 総配線長 W , 配線遅延 D の最小化

制約: 各ソフトモジュール m_j ($m_j \in M_S$) のアスペクト比の上限 as_j^u , 下限 as_j^l

チップアスペクト比の上限 AS^u , 下限 AS^l

タイミング制約 $Cons(\mathcal{N})$

3 提案手法

3.1 提案アルゴリズムの概要

本研究では, ソフトモジュールを考慮し, 配線長, タイミング制約, バッファ挿入の配線情報を取り入れた SA に基づくフロアプランニング手法を提案する. SA 実行中の許容解の評価では, チップ面積に加えて 5 段階の配線評価基準によりフロアプランを評価する. 配線遅延の計算は非常に時間を要するため, 初期探索では配線長のみを計算し, 探索の後半で配線遅延を見積ることにより, 計算時間を短縮し, 効率良く高い配線パフォーマンスを持つフロアプランを得ることを可能とする. また, SA 実行中に, 評価基準を変更する場合, 文献 [1] の手法と同様に, 新しい評価基準で N_{test} 回試験的に探索を行い平均のコスト変化量 ΔC_{ave} を調べる. この値から, コストの大きい解を受け入れる確率 $e^{-\frac{\Delta C_{ave}}{T_0}}$ が P_{ac} になるように新しい評価基準での初期温度 T_0 を調整する. N_{test} , P_{ac} については実験的に決定する.

ソフトモジュールについては, 文献 [4] に基づく手法を適用し, 各ソフトモジュールに対してアスペクト比の異なる幾つかの候補を抽出し, その中から多項式時間で最適なソフトモジュールのアスペクト比を決定する.

以下に提案アルゴリズムと配線評価基準を示す.

[提案アルゴリズム]

1: SA に関する初期パラメータ (温度 T , 冷却係数 α , 内部ループ回数 N_{max} , 終了温度 T_{min}) を設定する. 反復回数 $N \leftarrow 0$, 配線評価基準 $Step \leftarrow 1$ とする.

2: スライシング木により初期解 S_i の生成と評価を行う. S_i のコスト C_i とすると, $S_{cur} \leftarrow S_i$, $C_{cur} \leftarrow C_i$

とする。

- 3: 近傍解 S_n の生成と評価を行う。 S_n のコストを C_n とし, $N \leftarrow N+1$ とする。
- 4: $\Delta C = C_n - C_{cur}$ とし, $C_n < C_{cur}$, 又は, $e^{-\frac{\Delta C}{T}} > Rand(0, 1)$ ならば, $C_{cur} \leftarrow C_n$, $S_{cur} \leftarrow S_n$ とする。ここで, $Rand(0, 1)$ は 0 から 1 の実数の乱数である。
- 5: $N < N_{max}$ ならば, 3 に戻る。そうでなければ, 次へ進む。
- 6: 温度を更新するため, $T \leftarrow \alpha T$, $N \leftarrow 0$ とする。 $T > T_{min}$ ならば, 3 に戻る。そうでなければ, 評価基準を更新するため $Step \leftarrow Step + 1$ とし, 初期温度 T_0 を調整した後, $T \leftarrow T_0$ とする。 $Step \leq 5$ ならば, 3 に戻り, そうでなければ, S_{cur} を最良フロアプランとして出力し終了する。

[配線評価基準]

- 1: 各モジュールの中心を端子位置として総配線長を半周近似により見積もる。
- 2: 端子位置を決定し総配線長を半周近似により見積もる。
- 3: 3.2節で述べる方法で, 近似スタイナ木により総配線長を見積もる。
- 4: 3.3節で述べる方法により各シンクまでの配線遅延を求める。しきい値より大きい場合には, 評価関数において, 配線長にペナルティを与える。
- 5: 同様に, 各シンクまでの配線遅延を求め, バッファ挿入を考慮する。バッファの個数を評価関数で考慮する。

3.2 近似スタイナ木による配線長の見積もり

提案手法では与えられた配置の総配線長を見積もある必要がある。通常, 使用されるネットの全端子を囲む最小矩形の半周長をネットの配線長として近似する半周近似法では, 短時間で見積もることができる反面, 端子数が増加した場合に実際より小さく見積もる可能性が高くなる[2]。そこで, 計算時間を短縮化し配線長をより正確に見積もるため, ネットの全端子の平均座標を軸として作成した近似スタイナ木を用いる。図2に例を示す。図2(a), (b)のように, 近似スタイナ木は水平, 垂直方向の2通りが考えられ, 配線長の小さいスタイナ木を選択する。近似スタイナ木を用いると端子数に依存することなく, 配線長を正確に見積もることが可能になる。

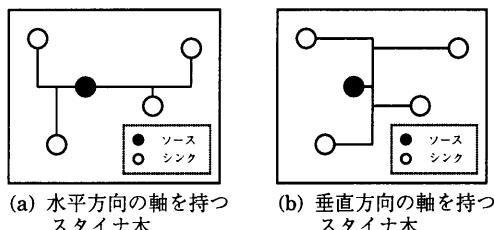


図 2 配線長を見積もるためにスタイナ木生成の例

3.3 タイミング制約の考慮

提案手法では, 探索の後半においてタイミング制約を満たしているかどうかを調べるために, 配線遅延を評価する。以下に配線遅延の計算アルゴリズムを示す。以下の説明では, 左右が x 軸方向, 上下が y 軸方向とする。

[配線遅延の計算]

- 1: シンクを上下, 又は, 左右に2分割する。さらに, 図3に示すように, 上下に分割した場合には, 各領域の x 座標の平均値を通過する垂線を軸としてスタイナ木を生成する。左右に分割した場合もこれと同様にスタイナ木を生成する。
- 2: 各スタイナ木から, 軸と各シンク間の総配線長を計算し, 小さいスタイナ木を配線経路として選択する。
- 3: 選択したスタイナ木を基に, 各シンクの配線遅延を計算する。シンク t_i の領域の総配線長を L とし, シンク t_i からの垂線とスタイナ木の軸との交点をスタイナポイント p_i とし, ソース s から p_i までの配線長を l_s とし, p_i から t_i の配線長を l_t とすると, シンク t_i の配線遅延 d_{t_i} を以下の式で定義する。

$$d_{t_i} = cL \cdot rl_s + cl_t \cdot rl_t = cr(Ll_s + l_t^2)$$

ここで c と r は単位長あたりのキャパシタンス, 及び抵抗であり, 実数で表す。

- 4: 各シンクに対して, 計算した遅延があらかじめ設定したしきい値を越える場合には, 評価関数にペナルティを与える。

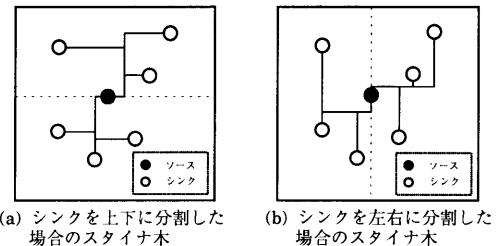


図 3 配線遅延を見積もるためにスタイナ木生成の例

3.4 バッファ挿入の考慮

提案手法では, 配線段階で挿入するバッファの個数ができるだけ少なくするため, フロアプランニングの段階でバッファ挿入を考慮する。3.3節の方法により遅延を計算し, しきい値より大きい場合は, ソース, シンク間のできるだけ中点に近いスタイナポイントにバッファを挿入する。挿入後は遅延が元の遅延の $\frac{1}{2}$ とバッファの固有遅延を加えた値になると仮定し, しきい値を下回るまでこの操作を繰り返す。上記により得られたバッファの個数を評価関数に加えることにより, 挿入バッファ数が少ないフロアプランを得ることが可能となる。

4 あとがき

今後の課題としては, 提案手法の実現, 及び実データを用いた計算機実験による提案手法の評価, 多層配線の考慮等がある。

文献

- [1] H. Chen, H. Zhou, F. Y. Young, D. F. Wong, H. H. Yang and N. Sherwani: "Integrated floorplanning and interconnect planning," Proc. International Conference on Computer Aided Design, pp.354-357 (1999).
- [2] S. M. Sait and H. Youssef: "VLSI Physical Design Automation," IEEE Press (1995).
- [3] S. M. Sait and H. Youssef: "Iterative computer algorithms with applications in engineering," IEEE Computer Society (1999).
- [4] L. Stockmeyer: "Optimal orientations of cells in slicing floorplan designs," Information and Control, Vol.57 pp.91-101 (1983).