

1. はじめに

近年のハードウェア設計では、ハードウェア記述言語を用いてレジスタ転送レベルで設計をおこない、論理合成によって自動的にネットリストを生成する手法が用いられている。この設計手法では合成された回路の回路図を確認する必要はほとんどないが、ハードウェア設計に関する大学教育の現場では合成された回路を回路図として表示して学生に確認させる事が望ましい。しかし、従来の論理回路図生成アルゴリズム^{[1],[2]}は信号線の屈折回数や交差回数を最小とすることを目的としており、必ずしも回路内の各部分の機能的関係を理解しやすい回路図を生成できるとは限らない。本稿ではトップダウン設計法^[3]による回路図の生成とズームングによる表示手法について報告する。トップダウン設計手法にもとづいて、大きなネットリストをより単純な部分回路の集合に分割しながら機能ブロック間の相対的關係を決定していく。このため、設計の各段階におけるブロック間の機能的關係が明確になり、大規模な論理回路に対して理解しやすい回路図を生成できる。また、この設計の各段階における機能的關係を分割履歴として保持するため、ズームング技術^[4]を用いて任意の段階のブロック図を表示することができる。

2. ネットリストの再帰的分割

本手法ではネットリストを再帰的に分割しながら、その分割によって得られる機能ブロック間の相対的配置をトップダウンに決定する。

分割方法としては、逐次的な処理をおこなう2つのブロックに分割するレベル分割、並列的

な処理をおこなう2つのブロックに分割する同等分割、そしてフィードバック信号のように自ブロックへの信号線を派生させるループ分割のいずれかを再帰的に用いる。我々の従来の研究によって、これら3種類の分割だけを用いて任意の論理回路を表現できることが確認されている^[3]。そして、レベル分割によって生成されたブロックを左右に、同等分割によって生成されたブロックを上下に配置することによって、再帰的にブロックの配置を決定する。

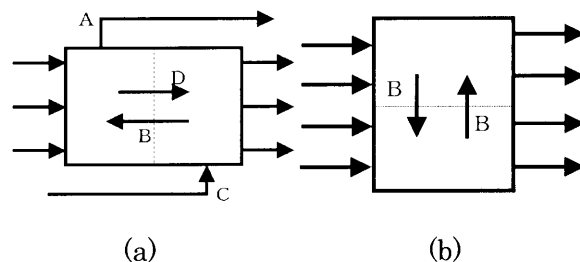


図1 レベル・同等分割の入出力線

分割の各段階でどの分割方法を用いるかは、分割後のブロックへの入出力信号の本数によって決定する。レベル分割後のブロック間には、図1(a)に示す4種類の信号線が発生する可能性がある。Dの線はレベル分割の本来の信号の流れを表すものである。Bの線はフィードバック信号線を必要とし、またA、Cの線は逐次処理に反する信号の流れであるのであるべく少なくなる事が望ましい。同等分割後のブロックには図2(b)の信号線が発生する可能性がある。Bの線はフィードバック信号線を必要とするのであるべく少くする事が望ましい。本回路図生成アルゴリズムでは、これらの信号線の本数に重みをつけて評価値とし、各段階でレベル分割・同等分割それぞれの最良分割を比較する。そして、評価値が最も低い分割を採用する。

3. 評価

図2 論理シンボルによる回路図

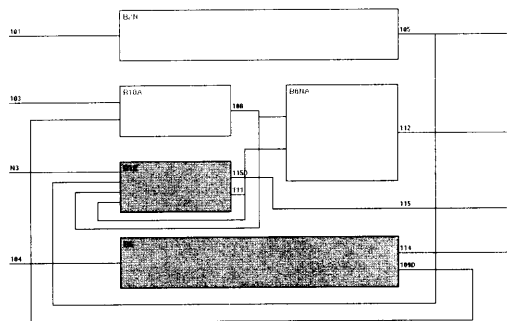


図3 ブロックで表された回路図

4. まとめ

B0
 P
 B1
 P
 B2N B3
 F
 B4
 P
 B6 B5
 L L
 B26N B27N B8N B7
 P P
 B27ND B27ND B8ND B8NA B9
 F F
 B11 B10A
 F F
 B12
 L L
 B13 B14
 L L
 B15 B16A B23
 P P
 B17 B18 B24A B25N
 L L
 B19 B20A
 P P
 B22A B21

B0
 B1
 B2N
 B3
 B4
 B5
 B6
 B7
 B8N
 B8NA
 B9
 B10A
 B11
 B12
 B13
 B14
 B15
 B16A
 B17
 B18
 B19
 B20A
 B21
 B22A
 B23
 B24A
 B25N

P
 L
 F

中間ブロック
 最終ブロック (ゲート)
 ダミーブロック
 同等分割
 レベル分割
 ループ分割

図4 分割履歴

参考文献

- [1] 仲西 他: SFL に基づいたブロック図出力の一手法, 情報処理学会第 33 回全国大会, 2R-3, 昭和 61 年後期.
- [2] 泉野 他: 論理図自動生成の一手法, 情報処理学会第 37 回全国大会, 4U-4, 昭和 63 年後期.
- [3] 新井 他: 分割操作による論理回路のトップダウン設計手法について, 情報処理学会 設計自動化研究会 DA-73-5, pp.33-40, 1995.
- [4] 豊田 他: 大規模なビジュアルプログラムの効率的編集を支援するズーミングインターフェース, 情報処理学会論文誌 Vol.39 No.5, pp.1395-1402, 1998.