

5J-09 MMU 内蔵 M32R の開発 (3)

～ シンセサイザブル・コア ～

毛利篤史、岩崎保男、佐藤雅人、村田裕

三菱電機(株)情報技術総合研究所

1. はじめに

近年、半導体プロセスの進化により大規模なシステム LSI の開発が可能となった。システム LSI 時代には LSI 開発の分業化がますます進み、上流設計サイドでは性能・機能で差別化したものや、標準規格に準拠した機能ブロックを専門に提供し、下流設計サイドでは低コスト・高性能化を両立させた最先端プロセスを提供することを目指している[1]。

従来チップの高性能化や低消費電力化等の付加価値を高めるためには、チップフロアプランや特殊なマクロセル・ライブラリを意識したハードウェア記述言語(HDL)設計が必要であった。しかし、大規模なシステム LSI は複数の機能ブロックより構成され、この機能ブロックの再利用や再構成を意識した HDL 設計がますます重要となってくる。そのため、様々な半導体プロセスに移植可能(汎用性)であり、特定半導体プロセスへ容易に最適化可能(カスタマイズ)であることが求められている。

この要求を実現するために、シンセサイザブル(論理合成可能)を意識した HDL 設計がますます重要となってきた。今回、メモリ管理機構(MMU)を内蔵した三菱オリジナル 32 ビットマイ CPU コア M32R を、シンセサイザブル HDL モデルで開発した。機能レベルの HDL モデルから論理ゲートへのマッピングは論理合成ツールに専門的に任せる。機能設計では、機能的タイミング的自由度を持たせるために、構成要素のパラメタライズを積極的に採用した。

2. メモリ管理機構(MMU)内蔵 M32R コア構成

既存の三菱 32 ビット CPU コア M32R の HDL モデル Development of M32R with MMU (3)

— synthesizable core —
Atsushi Mohri, Yasuo Iwazaki,
Masato Sato, and Hiroshi Murata
Mitsubishi Electric Corporation,
Information Technology R&D Center
5-1-1 Ofuna, Kamakura, Kanagawa, 247-8501, Japan

デルをベースに、MMU 内蔵 M32R コアの設計を行った。新規作成の MMU は、ソフトウェアでメインテナンス処理を行うことを目指して設計した。図 1 に、MMU 内蔵 M32R コアのブロック構成を示す。命令用、データ用の TLB (Translation Lookaside Buffer) を備え、それぞれ命令、データキャッシュメモリまでのアクセス経路を最適化している。メモリ管理制御部内の制御レジスタと TLB バッファは、メモリマップド I/O となっており、ロード/ストア命令によりバス I/F 部を介してアクセス可能である。

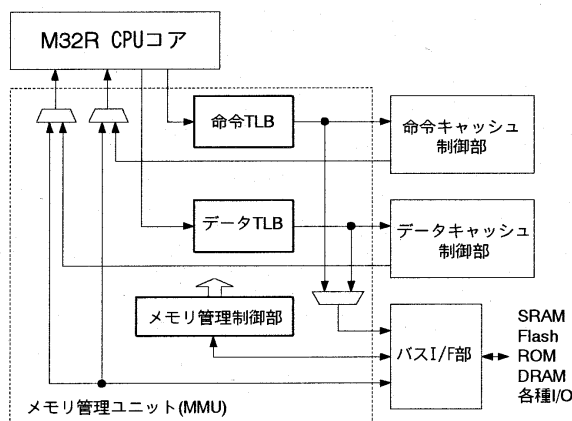


図 1 MMU 内蔵 M32R ブロック構成

3. シンセサイザブル・コア

様々なプロセスに対応可能でかつ特定プロセスへ容易に最適化するための HDL モデル設計が重要である。メモリ管理機構の HDL 設計では、メモリ管理処理性能やゲートサイズ、そしてアドレス変換処理タイミングに関わる重要なファクターである TLB エントリ数のパラメタライズ化を図った。

メモリ管理機構は、命令用、データ用 TLB 部と、MMU 制御部の 3 モジュール構成とした。TLB モジュールでは、TLB エントリ数に関わる全ての処理を 1 モジュール化した。データ用 TLB でエントリ数に関係ある処理は、以下の通りである。

○ TLB のレジスタ部

- アドレス比較処理
- TLBリード/ライト処理
- TLBページ/サーチ処理
- TLBリプレース処理（今回未実装）

その他、シンセサイザブル・コアとしては、論理合成可能な標準的なHDL記述ルールに則すること、各種メモリ構成に対応可能にすることを意識して設計を行った。

4. 論理合成

4.1. 合成環境

論理合成ツールは、Synopsys社のDesign Compilerを使用した。合成ライブラリは、三菱ロジックプロセスの0.25um 3層Alのものをを使用した。合成制約として、入出力ピンに遅延値を設定し、面積よりもタイミング優先で合成を行った。TLBエントリ数に応じて1クロックサイクル周期を変更し、いずれのモデルに対しても仮想遅延によるタイミング違反が0~0.5ns程度発生する条件を採用した。

4.2. アドレス変換処理タイミング

クリティカルパスであるTLBによるアドレス変換処理以外は、タイミングの問題が発生しないよう設計した。図2にTLBエントリ数とアドレス変換の処理時間を示す。エントリ数に応じてほぼリニアに処理時間が減少している。いずれのクリティカルパスも論理から物理アドレスへのアドレス変換経路であり、クリティカルパスが見積もれるHDL設計が行われていることがわかる。

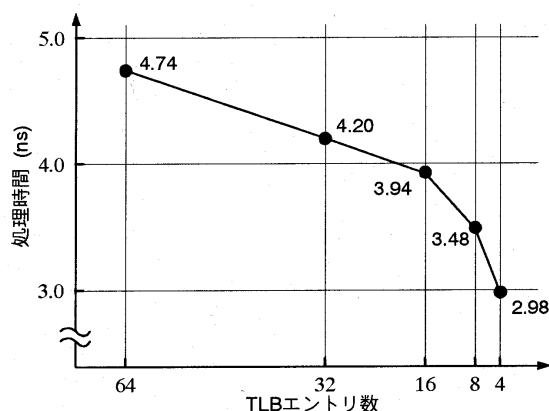


図2 エントリ数と処理タイミング

そしてTLBエントリのページ処理や、サーチ処理

はクリティカルパスに影響を与えないよう最適化した。

4.3. ゲートサイズ

表1にTLBエントリ数とデータTLB部のゲートサイズを示す。TLBエントリ数に比例してゲートサイズが変化している。

エントリ数	組合せ論理	レジスタ等	その他	合計(ゲート)
4	2617	1819	1062	5498
8	5088	3630	2360	11078
16	10068	7242	5465	22775
32	20354	14459	12826	47639
64	40734	28883	30237	99854

表1 TLBエントリ数とゲートサイズ

5. まとめと今後の課題

既存の三菱32ビットCPUコアM32Rにメモリ管理機構を内蔵したMMU内蔵M32RコアのHDLモデルを作成した。様々なプロセスに対応可能でかつ特定プロセスへ容易に最適化するために、全コアのHDLモデルをシンセサイザブルとした。特にTLBエントリ数のパラメタライズ化を図り、機能的タイミング的自由度を持たせた。そしてクリティカルパスであるアドレス変換処理タイミングがエントリ数にリニアになるように最適化を図った。結果的にTLB部のゲートサイズもTLBエントリ数に比例して増減するため、コア全体のゲートサイズ見積りも容易となった。

また将来的には論理合成ツールがより進化し、高性能にマッピング可能となるため、機能モデルはより自由度ある形態で、各種自由度を備えることが可能となり、この自由度を開発自体に適用してくことがより一層必要であると考えられる。

参考文献

- [1]大石ほか、「特集システムLSI時代の勝ち組メーカー」,「日経マイクロデバイス」, pp.46-85, 1999年6月
- [2]矢野ほか(編),「特集システムLSI—マルチメディア社会を支えるIC技術」,「電子情報通信学会誌」, vol.81,no.11, pp.1081-1182, 1998年11月
- [3]システムLSI/DAC特集,「IPベースのシステムLSI設計」,「日経マイクロデバイス」, pp.152-164, 1999年8月