インバータを用いた PLA 畳み込み†

井口幸洋†† 向殿政男††

マスク PLA において，シリコン面積の縮小，信号遅延の改善のために，PLA の占める面積を削減することが望まれている．従来は，切断点を用いて畳み込みを行っている．今回提案する新しい方法は，AND 平面内にインバータを配置し，ある入力線とその否定を1本の列に配置することで列畳み込みを行う方法である．本畳み込み手法はマスク PLA に適しており，畳み込みの構造を数学的に簡単に表現することができることに特徴がある．本論文では，畳み込み構造を，論理式の処理に基づいてすべて求めるアルゴリズムについて述べている．また，本アルゴリズムを小規模な PLA について適用した例を示している．

1. まえがき

ディジタル回路の大規模集積化に伴い，回路，機能の複雑化が進み，これらが設計時間，コストの増大の原因となっている．これに対処するために，構造化設計手法を用いて，設計時間の短縮，回路の検証の容易化が計られている．この方法のもとで，多出力組合せ論理関数を実現する最も適したものの一つに PLA (Programmable Logic Array) を用いる方法がある[1),2)]．

しかし，PLA には，隙間が多く，そのまま LSI 上に実現するのは，シリコン面積の損失，信号遅延の点から得策ではない[1)]．これを解決するために PLA の面積を削減する方法が種々提案されている．例えば，多出力論理関数の簡単化を行うことによって PLA を圧縮する方法がある[3)~5)]．また，入力デコーダを併用することにより PLA パターンの圧縮を行う方法[6)]，出力位相割当を行う方法[6)]，入力パターンの Don't care 化による方法[7)]も報告されている．さらに，近年，畳み込みと呼ばれる方法が提案されている[1)]．

従来の畳み込みには，共通部分のない二つの線対を見いだし，途中に切断点を入れることで，二つの線対を1本の列または行に配置する単純畳み込みや，二つ以上の線対を1本の列または行に配置する多重畳み込みなどがある[8)~12)]．どちらも切断点を用いて畳み込みを行い，トロポジー的に PLA の圧縮を行っている．

図1に，4入力2出力の PLA の例を示す．入力線が，AND 平面に垂直に入り，出力線が OR 平面の上部に出力される．水平線と垂直線の交点の○印は，そこにトランジスタが存在することを示している．図1の PLA に列畳み込みを施した例を**図2**に示す．

列畳み込みを行うための制約条件の一つに「二つの列は，分離していなければ，その2列は互いに畳み込むことはできない」というのがある[8)]．ここで，二つの列が分離しているとは，その二つの列に同時に○印を有する積項線が存在しないということである．

また，通常，実現可能でも，入力線は出力線と畳み込まない[12)]．さらに，ある入力線とそれの否定線は配線とデコーダとの関係から，隣同士に位置し，かつ同じ側 (PLA の上側ないしは下側) から入力されなければならないという現実上の制約が存在する[12)]．このため，ある入力線とその否定の入力線とは，互いに必ず分離しているにもかかわらず，畳み込むことはできない．

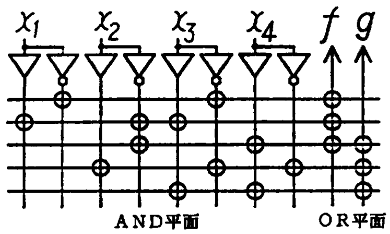
最適な列畳み込みを求める問題は極めて複雑であり，通常は，PLA 内部の接続を無向グラフで表現し，それに畳み込みを表す有向グラフを，交互循環経路を作らないように付け加えるという問題に帰着されている[8),9)]．

本論文では，列畳み込みにおいて，AND 平面内にインバータを配置することで，ある入力線とその否定を1本の列に配置し，AND 平面内の列を畳み込む新しい方法を提案する．本畳み込み手法はマスク PLA に適しており，本畳み込みの構造を数学的に簡単に表現することができることに特徴がある．本論文では，畳み込み構造の数学的表現方法とその性質，及び極大な畳み込み構造を，論理式の処理に基づいてすべて求めるアルゴリズムについて述べている．

2. インバータを用いた PLA 畳み込み

1章で述べたように，入力線 x_i は，その否定 $\bar{x}_i$ とは分離しているにもかかわらず，従来の構造では，互いに畳み込むことはできない．しかし，本章で提案

† PLA Folding Using Inverters by YUKIHIRO IGUCHI and MASAO MUKAIDONO (Department of Electronics and Communication, Faculty of Engineering, Meiji University).
†† 明治大学工学部電子通信工学科



$$f=\bar{x}_1\bar{x}_3+x_1\bar{x}_2x_3+\bar{x}_2x_4$$
$$g=\bar{x}_2x_4+x_2\bar{x}_3\bar{x}_4+x_3x_4$$

図 1 PLA の例
Fig. 1 Example of PLA.

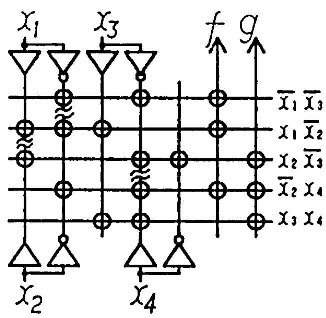


図 2 図1の PLA に列畳み込みを施した例
Fig. 2 Example of column folding for Fig. 1.

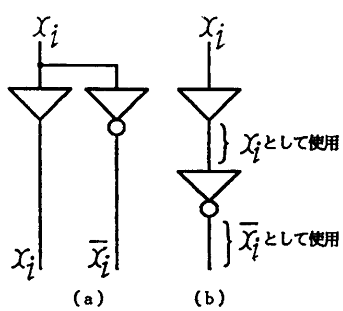


図 3 入力変数のデコード
Fig. 3 Decoding input variables.

する PLA の構造を用いると，二つの入力対 x_i と $\bar{x}_i$ とを同じ列上に配置することが可能となる．

通常，PLA での入力線のデコードは，図 3(a)のように行われる．今，AND 平面内で表される積項を考えると，ある文字 x_i とそれの否定 $\bar{x}_i$ とは同時に現れることはない．よって，ある入力変数にのみ注目してみれば，図3(b)のようにデコードすることが可能となる．これを用いると，ある入力とそれの否定入力とを1本の列上に配置でき，従来の切断点を用いる畳み込みと同じ効果を得ることができる[13),14)]．

通常の列畳み込みは，切断点を配することで2列を1列で実現する．本報告では，二つの列をインバータ

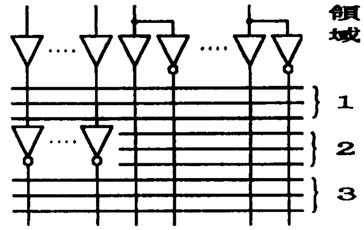


図 4 畳み込み後の PLA の構造
Fig. 4 Structure of folded PLA.

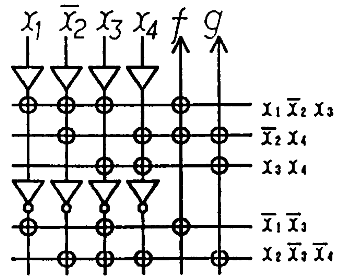


図 5 図1の PLA をインバータを用いて畳み込んだ例
Fig. 5 Example of column folding using inverters for Fig. 1.

を入れることにより一つの列上に配置することを“畳み込み”と呼ぶことにする．

インバータが不規則に入ったのでは必ずしも面積の縮小につながらないし，また，PLA の規則性も乱すので，ここでは，AND 平面内のある高さ横一直線にのみ畳み込み用のインバータの存在を許した PLA を提案する（図4参照）．

［例1］ 図4の構造を用いて，図1の PLA を畳み込んだ例を図5に示す．

3. 実現性

2章で提案した PLA の構造のもとで考えられる問題点について考えてみよう．

AND 平面内のインバータの部分は，積項線の少なくとも約3本分（一般には，m (≧3) 本分）の面積を占めると考えられる．畳み込み前でも AND 平面の外側にデコーダとして必要だから PLA 全体としてみれば，これはさほど，面積の増大にはつながらないと考えられる．ただし，いろいろな高さにインバータを入れると，面積の増大を招くばかりでなく規則性という利点が失われるので，ここでは，ある高さに横一直線にのみ存在を許すこととする（図4参照）．畳み込み後，畳み込まれた入力変数を左側に寄せ，インバータの右側に積項線を配することで，その部分にも積項が作れるのでさらに面積を縮小することが可能である

(図4参照). また, AND 平面内のインバータでの信号遅延は, 通常の PLA の場合とほぼ同じで問題にならない. なお, この畳み込みは, AND 平面内でしか適用できないが, OR 平面については通常の切断点を用いる畳み込みが適用できる. また, 本手法では, これまでの議論で分かるように, フィールド PLA には適用できず, マスク PLA に向いた構造である.

4. 定 式 化

まず, インバータを用いて畳み込みを施した PLA の構造を簡単に表現することを考える. (ただし, この畳み込みは, AND 平面内の列畳み込みを対象としているので, これ以後, 特に断わらない限り AND 平面のみ考えることにする. なお, AND 平面内への入力方法は, 肯定または否定の形のいずれかで入力されるものとする.)

今, 真理値 0 と 1/2 と 1 からなる集合を V で表すことにする.

［定義1］ 畳み込み後の PLA の構造を V^n の元 $\boldsymbol{a}=(a_1, a_2, \cdots, a_n)$ で表す. ここで, n 入力変数のうち i 番目の入力変数について, それが,

（1） 畳み込まれていて, 畳み込みインバータの上部（下部）に肯定変数 x_i が位置する時, 及び, その時に限り,

$a_i=1 \quad (a_i=0)$,

（2） 畳み込まれていない時, 及びその時に限り,

$a_i=1/2$

であるとする. そうすると, 畳み込まれた PLA の構造と V^n の元 $\boldsymbol{a}$ とは, 1対1に対応し, すべての畳み込みの種類は 3^n 個である (ただし, $(1/2, \cdots, 1/2)$ に対応するどの変数についても畳み込まれていないものも畳み込みの一つと考える).

［例2］ **図6**の畳み込みを表す V^n の元 $\boldsymbol{a}$ は, $(1, 1/2, 0)$ である.

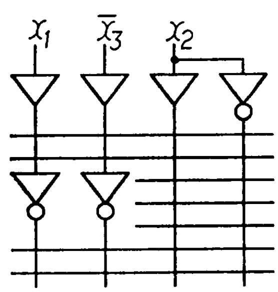


図 6 畳み込みの例
Fig. 6 Example of folded PLA.

以後簡単のために「畳み込み後の PLA の構造を表す V^n の元 $\boldsymbol{a}$」を単に「畳み込み $\boldsymbol{a}$」と表記する. 同様に「畳み込みインバータ」を特に断わらない限り, 単に「インバータ」と表記する.

次に, 畳み込み $\boldsymbol{a}$ と項 β_a との対応を定義しよう.

［定義2］ 畳み込み $\boldsymbol{a}=(a_1, \cdots, a_n)\in V^n$ と相補最小項* $\beta_a=x_1^{a_1}\cdots x_n^{a_n}$ とは, 次の時, 互いに対応しているという.

$a_i=0(1)\leftrightarrow x_i^{a_i}=\bar{x}_i(x_i)$,

$a_i=1/2 \leftrightarrow x_i^{a_i}=x_i\cdot\bar{x}_i$.

［例3］ 例2の畳み込み $\boldsymbol{a}=(1, 1/2, 0)$ は, 相補最小項 $x_1x_2\bar{x}_2\bar{x}_3$ に対応する.

次に, 集合 V の間に, ある半順序関係 $\geqslant$ を定義する.

［定義3］ $1/2\geqslant 0$, $1/2\geqslant 1$, $a\geqslant a$, $a\in V$.

半順序関係 $\geqslant$ を V^n にまで拡張定義しよう.

［定義4］ $\boldsymbol{a}=(a_1, \cdots, a_n)$, $\boldsymbol{b}=(b_1, \cdots, b_n)\in V^n$ において, すべての i について $a_i\geqslant b_i$ が成立する時 $\boldsymbol{a}\geqslant\boldsymbol{b}$ とする.

［例4］ $\boldsymbol{a}=(1, 1/2, 1/2, 1/2)$, $\boldsymbol{b}=(1, 0, 1/2, 1)$, $\boldsymbol{c}=(0, 0, 0, 1/2)$ ならば $\boldsymbol{a}\geqslant\boldsymbol{b}$, $\boldsymbol{a}\not\geqslant\boldsymbol{c}$ である.

［定義5］ ある変数 x_i またはその否定 $\bar{x}_i$ を文字という. 項 α と β とにおいて, α に存在する文字がすべて β にも存在する時, $\alpha\supseteq\beta$ と記す. なお, $\boldsymbol{a}, \boldsymbol{b}$ を V^n の元とし, 対応する相補最小項を β_a, β_b とすると, $\boldsymbol{a}\geqslant\boldsymbol{b}$ なる時及びその時に限り $\beta_a\subseteq\beta_b$ である.

［定義6］ 積項 α に対し, α^* を, α の肯定変数を否定変数に, 否定変数を肯定変数に置き換えたものとする.

［例5］ $\alpha=x_1x_2\bar{x}_4$ の時, $\alpha^*=\bar{x}_1\bar{x}_2x_4$ となる.

次に, ある畳み込みが施された PLA で実現可能な積項について考えてみよう. ある畳み込みを施した後の PLA の AND 平面の構造例は, 一般に図4で示される. すなわち, 畳み込みが施された PLA で, 畳み込まれた列を左端に寄せた後, インバータの上部を領域1, 右部を領域2, 下部を領域3と呼ぶことにする. このとき, 領域1（3）で実現できる積項の集合（少なくとも一つは畳み込まれた変数を含むものとする）を $T_1(T_0)$, 領域2で実現できる集合を $T_{1/2}$ とする.

［例6］ 図6の PLA の構造において, 各領域で実現可能な積項の集合を求めてみる.

$\boldsymbol{T}_1=\{x_1, \bar{x}_3, x_1\bar{x}_3, x_1x_2, x_1\bar{x}_2, \bar{x}_3x_2, \bar{x}_3\bar{x}_2,$

* 相補最小項は, 通常2値では0となるが, 3値論理[15),16)] では必ずしも $x_i\cdot\bar{x}_i=0$ とはならないので意味ある項である. ここでは, 通常の最小項も相補最小項の一種とみなしている.

$x_1\bar{x}_3x_2,\ x_1\bar{x}_3\bar{x}_2\}$,

$\boldsymbol{T}_0=\{\bar{x}_1,\ x_3,\ \bar{x}_1x_3,\ \bar{x}_1x_2,\ \bar{x}_1\bar{x}_2,\ x_3x_2,\ x_3\bar{x}_2,$
$\bar{x}_1x_3x_2,\ \bar{x}_1x_3\bar{x}_2\}$,

$\boldsymbol{T}_{1/2}=\{x_2,\ \bar{x}_2\}$.

畳み込み $\boldsymbol{a}$ が施された PLA に対し，実現可能な積項の集合 $\boldsymbol{T}$ $(=\boldsymbol{T}_1\cup\boldsymbol{T}_{1/2}\cup\boldsymbol{T}_0)$ について，次の定理が成り立つ．

［定理1］ 畳み込み $\boldsymbol{a}$ に対応する相補最小項を $\beta_{\boldsymbol{a}}$ とし，この PLA で実現できる積項αの集合を $\boldsymbol{T}(=\boldsymbol{T}_1\cup\boldsymbol{T}_{1/2}\cup\boldsymbol{T}_0)$ とすると，

$\alpha\in\boldsymbol{T}_1\ \leftrightarrow\beta_{\boldsymbol{a}}\subseteq\alpha$ かつ $\beta_{\boldsymbol{a}}\not\subseteq\alpha^*$,

$\alpha\in\boldsymbol{T}_0\ \leftrightarrow\beta_{\boldsymbol{a}}\not\subseteq\alpha$ かつ $\beta_{\boldsymbol{a}}\subseteq\alpha^*$,

$\alpha\in\boldsymbol{T}_{1/2}\leftrightarrow\beta_{\boldsymbol{a}}\subseteq\alpha$ かつ $\beta_{\boldsymbol{a}}\subseteq\alpha^*$

が成立する．

（証明） $\alpha\in\boldsymbol{T}_1\leftrightarrow\beta_{\boldsymbol{a}}\subseteq\alpha$ かつ $\beta_{\boldsymbol{a}}\not\subseteq\alpha^*$ を示そう．$\alpha\in\boldsymbol{T}_1$ ならば積項 α を構成している文字（変数 x_i またはその否定 $\bar{x}_i$）はインバータによって畳み込まれた変数のうち，上部にある文字かまたは畳み込まれていない変数による文字のいずれかである．ところで畳み込み $\boldsymbol{a}$ に対応する相補最小項 $\beta_{\boldsymbol{a}}$ は，畳み込まれた変数のうち上部にある文字のすべてと畳み込まれていない変数の肯定及び否定の文字のすべての AND をとったものである．よって，α に存在している文字は，すべて $\beta_{\boldsymbol{a}}$ に存在している．よって，定義5より $\alpha\supseteq\beta_{\boldsymbol{a}}$ である．今，α は，少なくとも一つは畳み込まれた変数 $x_i(\bar{x}_i)$ を含んでいるので，α^* には文字 $x_i(\bar{x}_i)$ は含まれず，$\bar{x}_i(x_i)$ が含まれている．一方，$\beta_{\boldsymbol{a}}$ は文字 $x_i(\bar{x}_i)$ を含んでおり，$\bar{x}_i(x_i)$ を含んでいない．よって，$\alpha^*\not\supseteq\beta_{\boldsymbol{a}}$ がいえる．逆に，$\beta_{\boldsymbol{a}}\subseteq\alpha$ ならば，α に存在する文字は，インバータの上部にある変数または畳み込まれていない変数の文字であるから $\alpha\in\boldsymbol{T}_1$ である．$\alpha\in\boldsymbol{T}_0\leftrightarrow\beta_{\boldsymbol{a}}\not\subseteq\alpha$ かつ $\beta_{\boldsymbol{a}}\subseteq\alpha^*$ についても同様．

次に，$\alpha\in\boldsymbol{T}_{1/2}\leftrightarrow\beta_{\boldsymbol{a}}\subseteq\alpha$ かつ $\beta_{\boldsymbol{a}}\subseteq\alpha^*$ を示そう．$\alpha\in\boldsymbol{T}_{1/2}$ であるから積項 α 及び α^* を構成している文字は，領域2にある畳み込まれていない変数からなっている．ここで，$\beta_{\boldsymbol{a}}$ は，畳み込まれていない変数の文字を肯定，否定ともすべて含んでいる．よって，$\beta_{\boldsymbol{a}}\subseteq\alpha$ かつ $\beta_{\boldsymbol{a}}\subseteq\alpha^*$ がいえる．逆に，$\beta_{\boldsymbol{a}}\subseteq\alpha$ であるので α は畳み込まれた変数のうち上部にある文字かまたは畳み込まれていない変数の文字から構成されている．一方，$\beta_{\boldsymbol{a}}\subseteq\alpha^*$ であるので，α は畳み込まれた変数を含んでいない．よって，α は畳み込まれていない変数のみから構成されていることがわかり $\alpha\in\boldsymbol{T}_{1/2}$.

（証明終）

畳み込みが施されていないある PLA で，ある論理関数が実現されているとする．この PLA に，ある畳み込み $\boldsymbol{a}$ が適用可能かどうかを判定してみよう．実現しなければならないすべての積項の集合を $\boldsymbol{P}$ とする．畳み込み $\boldsymbol{a}$ を施した後での領域1か2か3のどれかの部分で各々の $\alpha_i\in\boldsymbol{P}$ が表現できなければならない．言い換えると，領域 1, 2, 3 のどの部分でも表現できない積項 $\alpha_i\in\boldsymbol{P}$ が少なくとも1個存在すると，この畳み込み $\boldsymbol{a}$ は $\boldsymbol{P}$ に対しては適用不可能である．これより，定理1を用いて系1が導かれる．

［系1］ 実現しなければならない積項の集合を $\boldsymbol{P}$ とし，ある畳み込み $\boldsymbol{a}$ に対応する相補最小項を $\beta_{\boldsymbol{a}}$ とする．この時，$\boldsymbol{P}$ に畳み込み $\boldsymbol{a}$ が施せるか否かについて，次の事実が成立する．

$^\forall\alpha_i\in\boldsymbol{P},\ \beta_{\boldsymbol{a}}\subseteq\alpha_i$ または $\beta_{\boldsymbol{a}}\subseteq\alpha_i^*\leftrightarrow$畳み込み $\boldsymbol{a}$ は可能.

言い換えると

$^\exists\alpha_i\in\boldsymbol{P},\ \beta_{\boldsymbol{a}}\not\subseteq\alpha_i$ かつ $\beta_{\boldsymbol{a}}\not\subseteq\alpha_i^*\leftrightarrow$畳み込み $\boldsymbol{a}$ は不可能.

（証明） 定理1より明らか（証明略）．

［例7］ 畳み込まれていないある PLA で表されている積項の集合 $\boldsymbol{P}$ が，$\boldsymbol{P}=\{x_1\bar{x}_3,\ \bar{x}_2\bar{x}_3,\ \bar{x}_1\bar{x}_2x_3\}$ である時，これに畳み込み $\boldsymbol{a}_1=(0,\ 1/2,\ 0)$，$\boldsymbol{a}_2=(0,\ 1/2,\ 1)$ が施せるかどうかを考えてみる．

イ）畳み込み $\boldsymbol{a}_1$ に対応する相補最小項 $\beta_{\boldsymbol{a}_1}$ は，$\beta_{\boldsymbol{a}_1}=\bar{x}_1x_2\bar{x}_2\bar{x}_3$ である．$\alpha_1=x_1\bar{x}_3,\ \alpha_1^*=\bar{x}_1x_3$ について，$\beta_{\boldsymbol{a}_1}\not\subseteq\alpha_1$ かつ $\beta_{\boldsymbol{a}_1}\not\subseteq\alpha_1^*$ である．よって，畳み込み $\boldsymbol{a}_1$ は，不可能.

ロ）畳み込み $\boldsymbol{a}_2$ に対応する相補最小項 $\beta_{\boldsymbol{a}_2}$ は，$\beta_{\boldsymbol{a}_2}=\bar{x}_1x_2\bar{x}_2x_3$ である．

$\alpha_1^*\supseteq\beta_{\boldsymbol{a}_2},\ \alpha_2^*\supseteq\beta_{\boldsymbol{a}_2},\ \alpha_3\supseteq\beta_{\boldsymbol{a}_2}$ となり，系1より，畳み込み $\boldsymbol{a}_2$ は可能.

以上により，ある論理関数が通常の PLA で実現されているとき，これにインバータを用いたある畳み込み $\boldsymbol{a}$ が可能かどうかの判定を行うことができる．

次に，畳み込み $\boldsymbol{a}$ の性質について調べてみよう．

ある積項の集合 $\boldsymbol{P}$ に対して，可能な畳み込みのすべてからなる集合を $\boldsymbol{F}$ とすると，$\boldsymbol{F}$ 内の要素の間の関係について次の定理が成り立つ．

［定理2］ $\boldsymbol{F}$ 内の要素 $\boldsymbol{a}$ について，その1または0を任意に 1/2 に置き換えた $\boldsymbol{a}\leqslant\boldsymbol{a}'$ なる要素 $\boldsymbol{a}'$ もまた，$\boldsymbol{F}$ の要素となっている（定義4参照）．

（証明） $\boldsymbol{a}$ に対応する相補最小項を $\beta_{\boldsymbol{a}}$，$\boldsymbol{a}'$ に対応する相補最小項を $\beta_{\boldsymbol{a}'}$ とする．実現せねばならない積

項の集合を $\boldsymbol{P}$ とする．$\boldsymbol{a}\in\boldsymbol{F}$ とすると，系1より $^{\forall}\alpha_i\in\boldsymbol{P}$, $\beta_{\boldsymbol{a}}\subseteq\alpha_i$ または $\beta_{\boldsymbol{a}}\subseteq\alpha_i^*$ が成立する．今，$\boldsymbol{a}\leqslant\boldsymbol{a}'$ であるので，$\beta_{\boldsymbol{a}'}\subseteq\beta_{\boldsymbol{a}}$ が成立する．よって，$^{\forall}\alpha_i\in\boldsymbol{P}$, $\beta_{\boldsymbol{a}'}\subseteq\alpha_i$ または $\beta_{\boldsymbol{a}'}\subseteq\alpha_i^*$ が成立する．よって，畳み込み $\boldsymbol{a}'$ を施すことは可能である．　　　（証明終）

［例8］ 畳み込み (1, 1/2, 0, 1) が可能ならば，畳み込み (1, 1/2, 0, 1/2) もまた可能である．これは，畳み込み $\boldsymbol{a}$ が実現可能なとき，畳み込まれた入力を任意にもとに戻せることから明らかであろう．

［系2］ ある積項の集合 $\boldsymbol{P}$ に対して，$\boldsymbol{F}$ を畳み込み不可能なすべての PLA の構造の集合とすると，$\boldsymbol{F}$ の要素 $\boldsymbol{a}$ について，その 1/2 を任意に 0 または 1 に置き換えた $\boldsymbol{a}'\leqslant\boldsymbol{a}$ なる要素 $\boldsymbol{a}'$ もまた，$\boldsymbol{F}$ の要素となっている．

（証明） $\boldsymbol{a}$ に対応する相補最小項を $\beta_{\boldsymbol{a}}$, $\boldsymbol{a}'$ に対応する相補最小項を $\beta_{\boldsymbol{a}'}$ とする．$\boldsymbol{a}\in\boldsymbol{F}$ であるから，系1より，$^{\exists}\alpha_i\in\boldsymbol{P}$, $\beta_{\boldsymbol{a}}\not\subseteq\alpha_i$ かつ $\beta_{\boldsymbol{a}}\not\subseteq\alpha_i^*$ が成立する．今，$\boldsymbol{a}'\leqslant\boldsymbol{a}$ より $\beta_{\boldsymbol{a}'}\supseteq\beta_{\boldsymbol{a}}$ である．よって，$\beta_{\boldsymbol{a}'}\not\subseteq\alpha_i$ かつ $\beta_{\boldsymbol{a}'}\not\subseteq\alpha_i^*$ が成立し，$\beta_{\boldsymbol{a}'}$ に対応する畳み込み $\boldsymbol{a}'$ を施すことは不可能であり，$\boldsymbol{a}'\in\boldsymbol{F}$ である．

（証明終）

畳み込まれた PLA で，インバータを挟んで上部と下部とでは，ちょうど，肯定が否定に，否定が肯定になっており，対称となっている．このことから次のことが示される．

［定理3］ ある積項の集合に対して，$\boldsymbol{F}$ を畳み込み可能なすべての PLA の集合とすると，$\boldsymbol{F}$ の要素 $\boldsymbol{a}$ について，すべての1を0に，すべての0を1に置き換えた $\boldsymbol{a}^*$ もまた $\boldsymbol{F}$ の要素となっている．

（証明略）

［例9］ 畳み込み (1, 0, 1/2, 0) が可能なら，畳み込み (0, 1, 1/2, 1) も可能である．

次に，すべての畳み込みを図示することを考えてみよう．一番上部に畳み込み数0の畳み込み (1/2, …, 1/2) を置き，以下，次のように構成する．すなわち，一つ下の段に，上の段の 1/2 の部分を1個のみ0か1

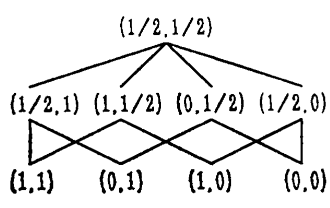


図 7 2入力変数のすべての畳み込み
Fig. 7 All sorts of folded PLA for two input variables.

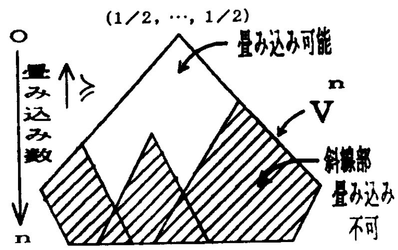


図 8 n 変数のすべての畳み込み
Fig. 8 All sorts of folded PLA for n input variables.

に置き換えた要素を配し，線を結んだ図を描く．これは関係 ≧ に関しての上半束を形成する．

［例 10］ 2入力変数のすべての畳み込みを**図7**に示す．

次に，n 入力変数のすべての畳み込みを図示し，ある積項の集合 $\boldsymbol{P}$ が与えられた時の不可能な畳み込みを斜線で表すと，定理2及び系2より**図8**のように表せる．

図8からも明らかなように，畳み込み不可能な元の集合は，その極大元により，また，畳み込み可能な元の集合は極小元により，一意的に表され，さらに，畳み込みの各要素のうち，0または1の個数が畳み込まれた変数に対応しているから，畳み込み可能な元の集合のうち極小元は極大畳み込みに対応している．

5. 畳み込みアルゴリズム

4章で畳み込みの性質について考察したが，これを用いて，本章では，与えられた積項の集合に対して，すべての可能な畳み込みを求める方法について述べる．

ある積項の集合 $\boldsymbol{P}$ に対して，実現できる畳み込みの集合 $\boldsymbol{F_P}$ は，前述したように，その極小元の集合 $\{\boldsymbol{a}_1, \cdots, \boldsymbol{a}_s\}$ で一意的に表現できる．すなわち，

$$\boldsymbol{F_P}=\{\boldsymbol{a}'\in V^n \mid \boldsymbol{a}'\geqslant\boldsymbol{a}_i\ (i=1, \cdots, s)\}\ \text{(図8参照)}.$$

よって，すべての実現可能な畳み込みを求めるには，その極小元を，すなわち極大畳み込みを求めれば十分である．

今，例えば，積項の集合 $\boldsymbol{P}'$ ($\boldsymbol{P}''$) に対して実現できる畳み込みの集合が唯一の極小元 $\boldsymbol{a}'$ ($\boldsymbol{a}''$) で表現できたと仮定する．この時，積項の集合が $\boldsymbol{P}'\cup\boldsymbol{P}''$ として与えられた時，実現可能な極大畳み込みは，$\boldsymbol{a}'\cup\boldsymbol{a}''$ で与えられる（**図9**参照）．

ただし，記号 ∪ は，上半束 $\langle\geqslant V^n\rangle$ における上限の演算であって，

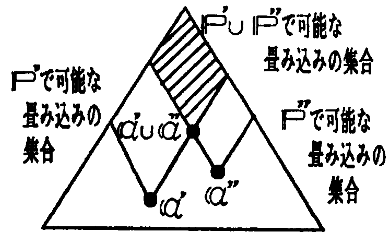


図 9　実現可能な極大畳み込み
Fig. 9　Implementable maximum folding.

$$\alpha_i' \cup \alpha_i'' = 1(0) \quad \text{if} \quad \alpha_i' = \alpha_i'' = 1(0), \quad = 1/2 \quad \text{otherwise}$$

で定義される.

これを論理式を用いて表現してみよう. $\boldsymbol{a}', \boldsymbol{a}''$ に対応する相補最小項を各々, $\beta_{a'}$, $\beta_{a''}$ とする. この時, $\boldsymbol{a}' \cup \boldsymbol{a}''$ に対応する相補最小項は, 単に $\beta_{a'}$ と $\beta_{a''}$ との積 $\beta_{a'} \cdot \beta_{a''}$ で与えられる. ただし, $\beta_{a'}, \beta_{a''}$ で同じ文字は省略するものとする.

［例 11］　$\boldsymbol{a}' = (1, 1/2, 0, 1/2)$,
$\boldsymbol{a}'' = (0, 1/2, 0, 1)$ とすると

$\boldsymbol{a}' \cup \boldsymbol{a}'' = (1/2, 1/2, 0, 1/2)$

$\beta_{a'} = x_1 x_2 \bar{x}_2 \bar{x}_3 x_4 \bar{x}_4$,

$\beta_{a''} = \bar{x}_1 x_2 \bar{x}_2 \bar{x}_3 x_4$,

$\beta_{a'} \cdot \beta_{a''} = x_1 \bar{x}_1 x_2 \bar{x}_2 \bar{x}_3 x_4 \bar{x}_4$,

となり, $\beta_{a'} \cdot \beta_{a''}$ は, $\boldsymbol{a}' \cup \boldsymbol{a}''$ に対応した相補最小項である.

積項の集合 $\boldsymbol{P}'$ ($\boldsymbol{P}''$) に対して実現できる畳み込みの極小元が複数個 $\boldsymbol{a}_1', \cdots, \boldsymbol{a}_s'$ ($\boldsymbol{a}_1'', \cdots, \boldsymbol{a}_t''$) ある場合にも, 同様に

$$(\beta_{a_1'} \vee \cdots \vee \beta_{a_s'}) \cdot (\beta_{a_1''} \vee \cdots \vee \beta_{a_t''})$$

を展開して相補最小項の和を求めることにより, $\boldsymbol{P}' \cup \boldsymbol{P}''$ に対して実現可能な極大畳み込みの集合を求めることができる.

以上の原理に基づいて, 本章では, 積項の集合 $\boldsymbol{P}$ が与えられた時, 可能な極大畳み込みのすべてを求めるアルゴリズムを示す.

［定義 7］　$\{\alpha^+\}$ を積項 α に存在しない文字について展開した最小項の集合とする.

［例 12］　$\alpha = x_1 \bar{x}_4$（4 入力変数）のとき,

$\{\alpha^+\} = \{x_1 \bar{x}_2 \bar{x}_3 \bar{x}_4,\ x_1 \bar{x}_2 x_3 \bar{x}_4,\ x_1 x_2 \bar{x}_3 \bar{x}_4,$
$x_1 x_2 x_3 \bar{x}_4\}$

となる.

$\{\alpha^+\}$ を論理式で扱うために, 以下のように表す.

$$\{\alpha^+\} : \alpha \cdot \prod_{l_j \in \boldsymbol{l}} (l_j + \bar{l}_j).$$

（ただし, $\boldsymbol{l}$ は α に出現しない変数の集合）.

たった一つの積項 α が与えられた時, 可能な極大畳み込みの集合は, その畳み込みに対応する相補最小項で表すと, $\{\alpha^+\} \cup \{(\alpha^*)^+\}$ である（系 1 より）. 論理式で表すと

$$(\alpha + \alpha^*) \prod_{l_j \in \boldsymbol{l}} (l_j + \bar{l}_j)$$

となる.

［例 13］　$\boldsymbol{P}' = \{x_1 \bar{x}_2 x_4\}$（4 入力変数の時）, に対して実現できる畳み込みの極小元の集合を求めてみよう. 極小元に対応する相補最小項の集合は, $\{x_1 \bar{x}_2 x_3 x_4,\ x_1 \bar{x}_2 \bar{x}_3 x_4,\ \bar{x}_1 x_2 x_3 \bar{x}_4,\ \bar{x}_1 x_2 \bar{x}_3 \bar{x}_4\}$ である. よって, 実現可能な極大畳み込みの集合は, $\{(1, 0, 1, 1), (1, 0, 0, 1), (0, 1, 1, 0), (0, 1, 0, 0)\}$. 論理式で表すと $(x_1 \bar{x}_2 x_4 + \bar{x}_1 x_2 \bar{x}_4) \cdot (x_3 + \bar{x}_3)$ となる. また $\boldsymbol{P}'' = \{x_2 x_3 x_4\}$（4 入力変数の時）とすると, $\boldsymbol{P}'$ 及び $\boldsymbol{P}''$ の積項の和集合 $\boldsymbol{P}' \cup \boldsymbol{P}''$ に対して実現可能な極大畳み込みの集合を求めるには, 以下の式を展開すればよい.

$$\begin{aligned}
&(x_1 \bar{x}_2 x_4 + \bar{x}_1 x_2 \bar{x}_4) \cdot (x_3 + \bar{x}_3) \cdot (x_2 x_3 x_4 + \bar{x}_2 \bar{x}_3 \bar{x}_4) \\
&\quad \cdot (x_1 + \bar{x}_1) \\
&= x_1 x_2 \bar{x}_2 x_3 x_4 + x_1 \bar{x}_2 \bar{x}_3 x_4 \bar{x}_4 + \bar{x}_1 x_2 x_3 x_4 \bar{x}_4 \\
&\quad + \bar{x}_1 x_2 \bar{x}_2 \bar{x}_3 \bar{x}_4
\end{aligned}$$

となる.

よって, 極大畳み込みは, $\{(1, 1/2, 1, 1), (1, 0, 0, 1/2), (0, 1, 1, 1/2), (0, 1/2, 0, 0)\}$.

以上, 実現しなければならない積項が 1 個の場合, 及び, 2 個の場合について例を示した. 一般に, n 個の積項がある場合, 同様の演算を $n-1$ 回行えば求められる. 次に, アルゴリズムを示す.

［アルゴリズム］（極大畳み込みを得る手順）

与えられた積項の集合を $\boldsymbol{P}$ とする.

1）　$\alpha_i, \alpha_j \in \boldsymbol{P}, i \neq j$ に対し, $\alpha_i \leqq \alpha_j$, または, $\alpha_i \leqq \alpha_j^*$ なる関係がある時, α_j を $\boldsymbol{P}$ から削除.

2）　${}^\forall \alpha_i \in \boldsymbol{P}$ に対し, 各々その積項に対する極大畳み込み集合を論理式で表現する. すなわち,

$$\beta_i = (\alpha_i + \alpha_i^*) \prod_{l_j \in \boldsymbol{l}} (l_j + \bar{l}_j)$$

を作る.

3）　$U = \beta_1 \cdot \beta_2 \cdot \cdots \cdot \beta_m$（ただし m は $\boldsymbol{P}$ の要素数）を順次展開する. 演算・を 1 回施すごとに, 生成されたすべての相補最小項に対し, $\gamma_i \leqq \gamma_j$ $(i \neq j)$ なる関係がある時, γ_j を削除する.

4）　U 内の相補最小項が, 極大畳み込みに対応する積項である.

なお, ここでは省略するが, このアルゴリズムはさ

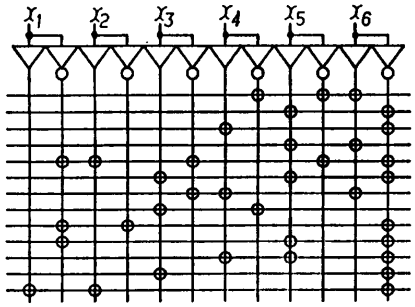


図 10 PLA の例
Fig. 10 Example of PLA.

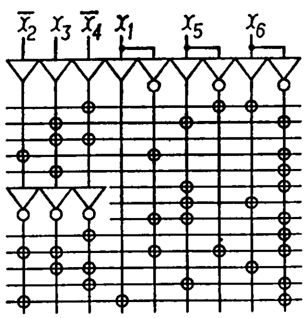


図 11 図10 の PLA をインバータを用いて畳み込んだ例
Fig. 11 Example of column folding using inverters for Fig. 10.

表 1 実験例
Table 1 Experimental results.

行数*列数	畳み込み	縮小率	CPU [秒]
13*12	3	75%	0.05
23*22	4	82%	0.7
13*25	9	63%	0.8
16*24	12	50%	1.6

らに改良することができる．

6. 実 験 例

以下に，5章のアルゴリズムを用いて，PLA に対して畳み込みを施した例を示す．結果の評価については，本畳み込みが AND 平面に対してのものなので，AND 平面内の縮小率とした．ただし，畳み込み用のインバータは，積項線3本分の面積を占めると仮定した．

[例 14] **図 10** で示された PLA に対してインバータを用いて畳み込みを施した例を**図 11** に示す．

簡単な実験例を**表 1** に示す．なお，使用計算機は，FACOM M-180，使用言語は PASCAL である．

7. ま と め

PLA における AND 平面内の入力対を，インバータを用いて畳み込む新しい方法を提案した．本手法による畳み込みの構造の性質を明らかにし，極大畳み込みをすべて求めるアルゴリズムを示した．最適畳み込みは，各種の条件により異なるが，極大畳み込みの中に存在することは明らかである．最適畳み込みを高速に求める手法及びそのためのヒューリスティックな手法については稿を改めて報告する予定である．

謝辞 この PLA の実現性について貴重な御意見を下さいました日本電気(株)の可児賢二氏に深謝致します．

参 考 文 献

1) Wood, R. A.: A High Density Programmable Logic Array Chip, *IEEE Trans. Comput.*, Vol. C-28, No. 9, pp. 602-608 (1979).
2) Mead, C. and Conway, L.: *Introduction to VLSI Systems*, Chap. 3, Addison-Wesley, Reading (1980).
3) Hong, S. J. et al.: MINI: A Heuristic Approach for Logic Minimization, *IBM J. Res. Dev.*, Vol. 18, No. 5, pp. 443-458 (1974).
4) Brayton, R. K. et al.: A Comparison of Logic Minimization Strategies Using ESPRESSO: An APL Program Package for Partitioned Logic Minimization, *ISCAS-82*, pp. 42-48 (1982).
5) Brayton, R. K. et al.: ESPRESSO-II: A New Logic Minimizer for Programmable Logic Arrays, *Custom Integrates Circuit Conference*, pp. 370-376 (1984).
6) Sasao, T.: Input Variable Assignment and Output Phase Optimization of PLA's, *IEEE Trans. Comput.*, Vol. C-33, No. 10, pp. 879-894 (1984).
7) 島，宇野，久保，河崎：PLA 面積縮小の為の一手法，情報処理学会春季全国大会，6H-3 (1985).
8) Hachtel, G. D. and Newton, A. R. et al.: An Algorithm for Optimal PLA Folding, *IEEE Trans. CAD Int. Circ. Syst.*, Vol. 1, No. 2, pp. 63-77 (1982).
9) Hachtel, G. D.: Techniques for Programmable Logic Array Folding, *Proc. 19th Design Automation Conference*, pp. 147-155 (1982).
10) Egan, J. R. et al.: Optimal Bipartite Folding of PLA, *Proc. 19th DAC*, pp. 141-146 (1982).
11) Micheli, G. D. et al.: PLEASURE: A Computer Program for Simple/Multiple Constrained/Unconstrained Folding of Programmable

Logic Arrays, *Proc. 20th DAC*, pp. 530-537 (1983).

12) Hu, T. C. and Kuo, Y. S.: Optimum Reduction of Programmable Logic Array, *Proc. 20th DAC*, pp. 553-558 (1983).

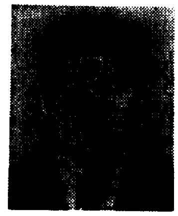
13) 井口，岡村，向殿：PLA のインバータを用いた畳み込み，信学会総合全国大会，1947 (1985).

14) 井口，向殿：インバータを用いた PLA 畳み込み，情報処理学会，設計自動化研究会資料，26-3 (1985).

15) 向殿：B-三値論理関数について―あいまいさを考慮した三値論理関数―，信学論，Vol. 55-D, No. 6, pp. 355-362 (1972).

16) Mukaidono, M.: Regular Ternary Logic Functions—Ternary Logic Functions Suitable for Treating Ambiguity—, *IEEE Proc. 13th International Symposium on Multiple-Valued Logic*, pp. 286-291 (1983).

(昭和60年10月29日受付)
(昭和61年 5 月15日採録)



井口　幸洋（正会員）

昭和35年生．昭和57年明治大学工学部電子通信工学科卒業．昭和59年同大学院修士課程修了．現在，同大学院博士課程に在学中．論理設計，特に PLA の面積縮小に関する研究に従事．電子通信学会会員．

向殿　政男（正会員）

昭和17年生．昭和40年明治大学工学部電気工学科卒業．昭和45年同大学院博士課程修了．同年同大学工学部電気工学科専任講師．昭和53年電子通信工学科教授．工学博士．多値論理，フォルト・トレラントシステム，ファジー理論，論理装置の自動設計等の研究に従事．著書は「スイッチング理論演習」(朝倉，59年)，「PASCAL とプログラミング技法」(工学図書，60年)．電子通信学会，IEEE 各会員．