RC-001

ビアプログラマブルアーキテクチャ VPEX4 の提案と性能評価

Development and Evaluation of Via Programmable Architecture VPEX4

堀 遼平† 上口 翔大† 吉川 雅弥‡ 藤野 毅†
Ryohei Hori Shota Ueguchi Masaya Yoshikawa Takeshi Fujino

1． まえがき

LSI 微細プロセス技術の進歩とともに，マスクコストの高騰が問題となっている．この問題に対して我々は“ビアプログラマブルストラクチャード ASIC”(VPSA)の利用を検討し,これまでに 3 層のビアマスクで論理を変更する独自の VPSA アーキテクチャ，VPEX3 を提案し評価してきた．

本論文では，VPEX3 の改良案として新たに VPEX4 アーキテクチャを開発した．順序回路における消費電力の削減と Utilization の向上による実装時面積の削減について報告する．

2． はじめに

近年，LSI の微細化・高集積化技術の進歩とともに，製造時に用いられるフォトマスクの製造費用の高騰が問題となっている．このコスト増の影響により LSI 開発時の Non-Recurring Engineering(NRE)コストがプロセス進歩ごとに指数関数的に増大している[1]．これに伴い，小・中量生産規模の限られた市場をターゲットにした特定用途向け LSI 開発（ASIC）において，最新プロセスを用いた開発が経済的に困難になっている．

この問題に対して，小量生産品での NRE コストがほとんど不要になる FPGA（Field Programmable Gate Array）を用いた開発が昨今注目されている．FPGA はメモリを使用して LSI の配線経路や論理構造をチップ製造後に変更することが可能なデバイスであり，フォトマスク費用が不要となる．この特性の利用によって，生産数の少ない専用回路の開発が容易になり，特定用途向けの市場は ASIC から FPGA に置き換わりつつある．しかしその一方で，単位面積当たりの論理の集積密度や消費電力量などの性能面では ASIC に及ばず[2]，高性能・極低消費電力デバイスが必要なアプリケーションにおいてはすべての ASIC を置き換えるには至っていない．

これに対して，SRAM を使用せずに NRE コストを極力おさえる LSI 製造手法として，我々の研究室では “Via-Programmable Structured ASIC (VPSA)”と呼ばれる開発手法に注目している．VPSA は図 1 のようにあらかじめ作成しておいたマスター-レイヤを一切変更せずに，カスタム-レイヤと呼ばれる数層分のビア-レイヤのみを変更して論理回路を実現する手法である．この手法は，大部分のフォトマスクをあらゆる開発で流用できる事，デザイン毎に必要となるカスタム-レイヤのフォトマスクが安価で製造可能であるビアレイヤのみであることから，LSI 開発の NRE を大きく削減できることが期待できる．さらには FPGA と異なり SRAM メモリを使用しないため，回路面積や消費電力も十分に小さく抑えることができる．

我々の研究室では“VPEX3”と呼ばれるマスター-レイヤのレイアウトを提唱し[3]，今日までに様々な評価をしてきた[4]．VPEX3 は排他的論理和ゲートをベースとした VPSA であり，1 枚のカスタムマスクだけで 22 種類のいずれかの論理を実装することが可能な Logic Element（LE）をアレイ状に多数配置することで，面積効率のよい LSI 実装を実現している．

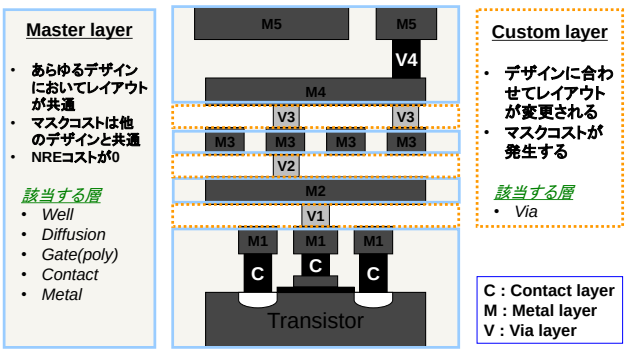


図 1 VPSA の概要

本論文ではこの VPEX3 の性能改善を行った．従来の VPEX3 では配線リソース不足と順序回路における消費電力増大の 2 つの問題を抱えており，モバイル用途で使用する場合に大きな問題となっていた．そこでこれを改善した VPEX4 を新しく提案する．

3 章では従来手法である VPEX3 の特徴を説明する．4 章では VPEX3 の大きな問題点であり，今回改善を行った配線 Utilization と消費電力の性能評価結果を示す．5 章では新提案である VPEX4 の構造について説明し，6 章では性能の回線に関してベンチマーク回路を使用した評価結果を示す．7 章で本論文をまとめる．

3． VPEX3 アーキテクチャ

VPEX3 は我々の研究室で提案している独自の VPSA である．この技術は LE アーキテクチャ，配置配線アーキテクチャ，クロックネットワークアーキテクチャの 3 つから構成される．

3.1 LE アーキテクチャ

通常の ASIC ではセルと呼ばれる論理ゲートを適切に配置することで論理回路を構成する．その一方で VPSA はあらかじめ配置された Logic Element と呼ばれる最小規模の論理回路を所望の論理素子に適切に変更することで論理回路を形成する．これは多くの FPGA の基本構造と同様の構成である．FPGA の多くが Look up-Table と呼ばれる方式を採用しているが，我々の提案する VPEX3 では排他的論理和ゲートを利用した構造になっている．

†立命館大学 理工学部／理工学研究科
‡名城大学 理工部

Copyright © 2014 by
The Institute of Electronics, Information and Communication Engineers and
Information Processing Society of Japan All rights reserved.

VPEX3 の LE 構造とレイアウトを図 2 に示す．VPEX3 では AOI ゲートと NOR ゲート組み合わせた排他的論理和(XOR)ゲートと 1 つの INV ゲートから構成されている．第 1 ビア層の有無によって，各論理ゲート間の接続を任意に変更できる．また AOI は Flexible-AOI[3]という独自のレイアウトになっており，OAI ゲートやトランスミッションゲート(TG)，クロックドインバータ(Clocked-INV)などに機能を変更することが可能である．これらの組み合わせで，22 種類の論理素子機能を再現することができる．

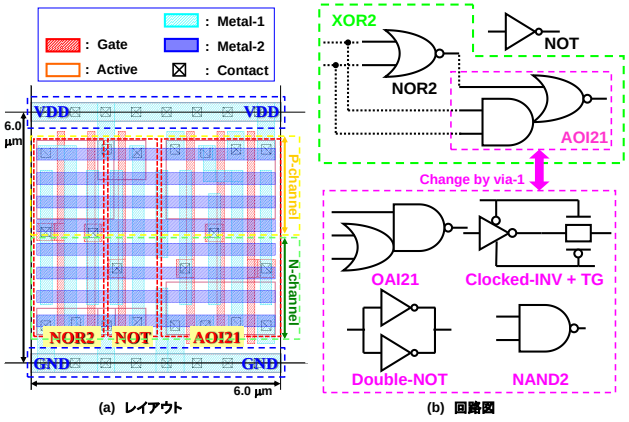


図 2　VPEX3 の Logic Element

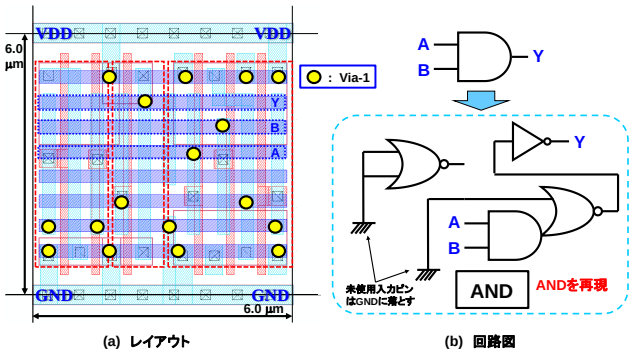


図 3　再現論理の例（AND 回路）

図 3 は 2 入力 AND 論理関数を再現した際の第 1 ビア層のレイアウトと LE 内部の接続状況を示したものである．AOI21 ゲートはビアパターンによって NAND ゲートに変形することができる．NOT ゲート回路と NAND ゲート回路を接続することで 2 入力 AND 論理関数を LE 内で再現することができる．

3.2 配置配線アーキテクチャ

VPEX3 では任意数の LE を相互接続し，組み合わせることで，あらゆる論理回路を実現することが可能である．そのための LE の配置，相互接続の構造として，VPEX3 ではアレイ状配置構造とメッシュ・ジャンパー配線構造を採用している．

3.2.1 配置構造

VPEX3 では図 4 のような LE を等間隔に並べた配置構造をとる．おのおのの LE は任意の論理ゲートを実現することが可能である．

また 2 つの LE を組み合わせて，D-FlipFlop（DFF）を再現することが可能である．FF の実現により，順序回路を含む，すべての論理回路を実現することが可能になっている．

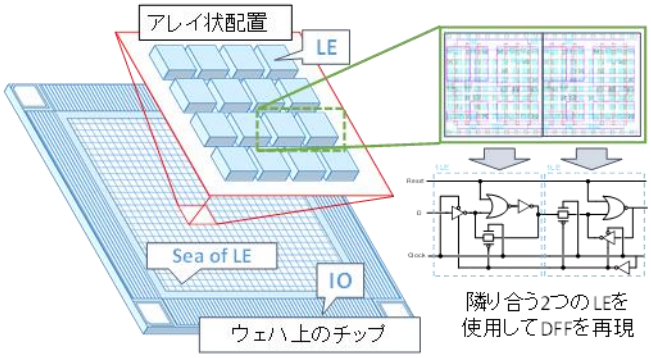


図 4　配置構造

3.2.2 配線構造

異なる領域上の LE を相互接続するには図 5 のような，垂直方向に第 3 メタル層のトラック，水平方向に第 4 メタル層のトラックから構成された配線構造を利用する．

第 3 メタル層および第 4 メタル層のレイアウトは変更されることがなく，第 2 ビア層及び第 3 ビア層のみを実現したい論理回路に合わせて任意に変更していく．したがってメタル層のマスクコストは発生しない．配線経路の方向を変更する際はメッシュ構造と呼ばれる LE 真上の領域を利用する．また配線経路を伸ばす際はジャンパー構造と呼ばれる 2 つの LE 間におかれた小さなトラックを経由する．

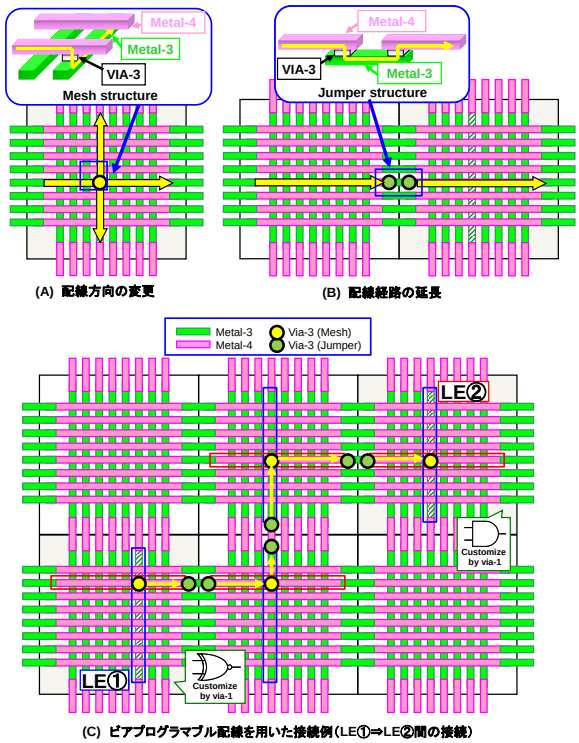


図 5　2 つの LE 間の接続例

図 5(c)は VPEX での 2 つの LE の接続の例を示している．初めに LE①上部の第 3 メタル層メッシュ配線の一つがノ

Copyright © 2014 by
The Institute of Electronics, Information and Communication Engineers and
Information Processing Society of Japan All rights reserved.

ード A として選択される．これを延長させ，LE②上部のノード B と接続することで 2 つの LE 間の接続が実現する．垂直方向に延長させる場合は第 4 メタル層のジャンパー配線と第 3 メタル層のメッシュ配線を第 3 ビア層で接続させていく．また水平方向に延長させていく場合は，まず第 3, 4 メタル層のメッシュ配線の交点を第 3 ビア層によって接続し延長方向を変える．その後第 3 メタル層のジャンパー配線と第 4 メタル層のメッシュ配線を第 3 ビア層で接続させていくことで水平方向の延長を実現する．この方法によって配線層を変更することなく，ビア層のみで 2 つ以上の LE の接続を実現している．

3.3 クロックネットワークアーキテクチャ

順序回路を形成する際に DFF だけでなく，専用のクロックパスを形成する必要がある．一般的な ASIC では配置処理後にクロックシンセシスツールを用いてクロックツリーを形成することで，クロック同期設計を達成している．しかしながら VPEX3 のメッシュ・ジャンパー構造を利用して同様にこのクロックパスを形成した場合は以下のような点が問題となる．

- 従来の ASIC 方式の配線よりも寄生容量が多く，動的消費電力が大きくなる．
- 構造上，冗長な無駄な配線を持っているため，配線長の均一化が困難であり，クロックスキューのバランス調整が難しくなる．
- クロックパスに大量の配線リソースを割いてしまい，ゲート間の配線が困難になる．

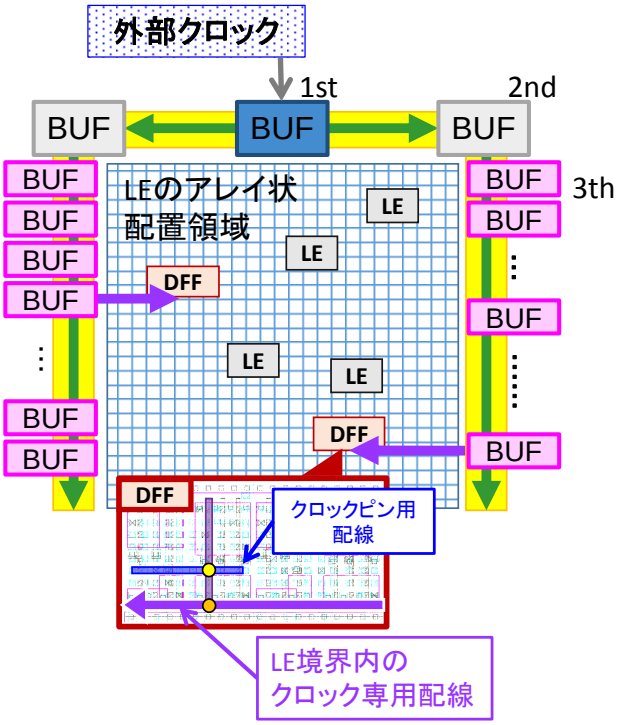


図 6　クロックの経路構造

VPEX3 ではこれらの問題を回避し，クロック同期設計を実現するために「クロックネットワーク」を予め LE アレイ周囲に構成している．

図 6 は VPEX3 のクロックネットワーク構造を示したものである．論理実装領域の周囲には 3 種類のバッファセルを配置している．ソースとなるクロックパルスを受け取り両サイドに伝播させるための「first-buffer」が 1 つ，論理領域の両側部の上部から下部まで伝播させるための「second-buffer」が 2 つ，各列から内部の DFF にクロックパルスを伝える「third-buffer」が LE 行数個分だけ用意されている．この 3 段のバッファを用いてスキュー差が 500ps に抑えることが可能なクロックネットワークを形成している．

4． 現行手法（VPEX3）の問題点

VPEX3 プラットフォーム上で実装した論理回路の性能を評価するために，専用の CAD システムを開発した[5]．この CAD システムでは論理合成後のネットリストに対して配置，配線処理を自動化し，ネットリストと整合の取れた LSI レイアウトのデータを GDSII フォーマットで出力する．この CAD システムを利用して，実際に DES 暗号化回路を設計・製造し[6]，実チップを用いて評価を行った．その結果，次に述べる 2 つの問題点がわかった．

4.1 配線混雑による低 LE 使用率の問題

VPEX3 には 1 LE あたり X 軸方向に 8 本，Y 軸方向時 8 本の配線リソースが存在する．しかし配線最適化を行うに当たって，この本数では配線リソースが少なく，空論理の LE を配置し，その配線リソースを使用しなければすべてのノード間接続が行えないことが明らかになった．再現可能な論理のいずれかが実装された LE を「有効論理 LE」と定義し，実装に用いたすべての LE における，有効論理 LE の比率を「LE 使用率」と定義する．すべてのノード間接続が可能になった時の LE 使用率の見積もりを複数のベンチマーク回路ごとに実験し，見積もりを行った．ベンチマーク回路には ISCAS’89[7]の一部を使用した．結果を以下に示す．

表 1　各ベンチマーク回路における配線成功率

回路名	s9234	s13207	s15850	s38584
LE 使用率	52.4%	25.4%	33.2%	29.8%

この結果より，VPEX3 プラットフォーム上に論理回路を実装するとき，s9234 では半分以上の領域，他の回路も全体の約 70%の領域は配線のための空論理 LE で占められることになる．同様の結果が DES 暗号回路設計時にも観測され，そのときの LE 使用率は約 44.32%であった．したがって VPEX3 の 1 LE あたりの配線リソース数はこの規模の回路の実装においては不足しているとわかる．

4.2 消費電力の問題

実チップを使用した消費電力の測定を行った．測定においては，初めに 3 つの状態で調査を行った．

- 電力供給のみを行い，回路を動作させない場合
- 電源供給に加え，クロックネットワークにクロック信号を供給した場合

Copyright © 2014 by
The Institute of Electronics, Information and Communication Engineers and
Information Processing Society of Japan All rights reserved.

- 上記に加え，入力にテストパターンを供給し，実際に動作させた場合

これらのデータをもとに，実チップにおける消費電力の分布を「静的消費電力」「クロックツリー部の動的消費電力」「実回路部の動的消費電力」として分類した．これらをまとめたものを図 7 に示す．

測定結果より，クロック供給時の消費電力が全体の 60%以上を占めている事が判明した．VPEX 3 のクロックネットワーク構造では合計 203 個のバッファセルを使用している．これらのセルの貫通電流電力，および充放電電力が ASIC と比較して非常に大きいことが明らかとなった．

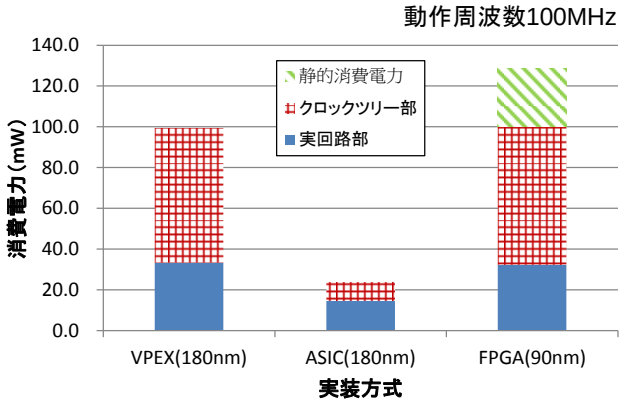


図 7　実装手段ごとの消費電力分布

5． VPEX4 の提案

前章で述べた問題点に対して，それぞれ改良を行った．本章では改良案とその効果について述べる

5.1　LE 構造の改良

配線混雑度の観点より，1 LE あたりの縦横 8 本の配線リソースは最適ではないことがわかった．そこで LE のサイズ変更および 1 LE あたりの配線リソースの増量を行った．

図 8 が新たに提案する VPEX4 の LE アーキテクチャである．まず VPEX4 では LE の縦長および横長が 6.0μm から 8.4μm に変更し，1 LE あたりの配線リソース数を 8 本から 12 本に増やしている．

またこれに伴い拡大した分だけ，より多くゲートを置くことができるようになったため，LE 構造の改良も行った．まず INV ゲート素子を 2 つに増やした．これにより否定論理をあと 1 つ必要としていた 3 入力 AND や 3 入力 OR 回路を再現する事が可能となった．次に AOI ゲート素子を 3 入力論理ゲートから 4 入力論理ゲートに変更した．これによって 4 入力の AOI 論理に加え，図 9 のようにビアを利用して接続経路を変更する事で，4 入力の OAI 回路も再現できるようになった．

この 2 つの改変によって，再現可能な論理ゲートの種類が従来の 22 種類から 30 種類に大きく拡張された（図 10）．これによって，論理合成時に選択できる論理セルが増加したため，論理合成後の LE 総数の削減が期待できる．

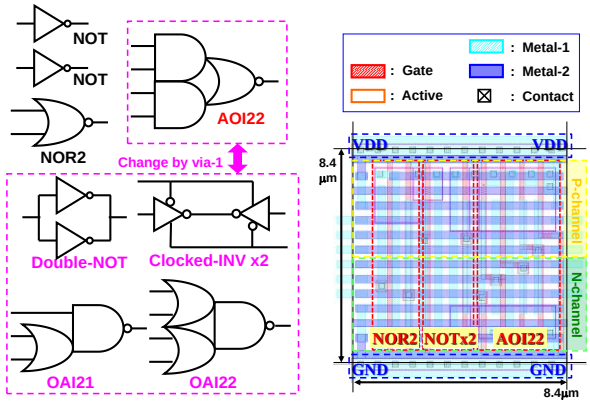


図 8　新アーキテクチャの LE 構造

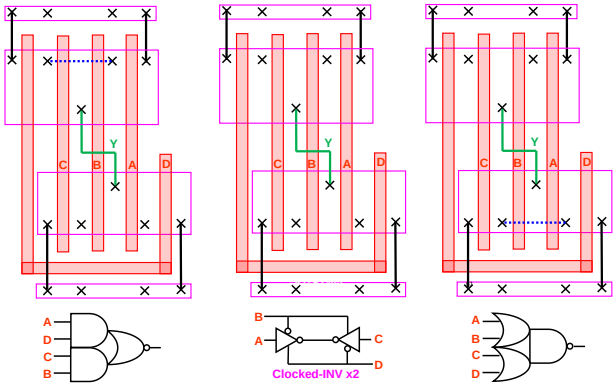


図 9　VPEX4 の Flexible-AOI ゲートの構造

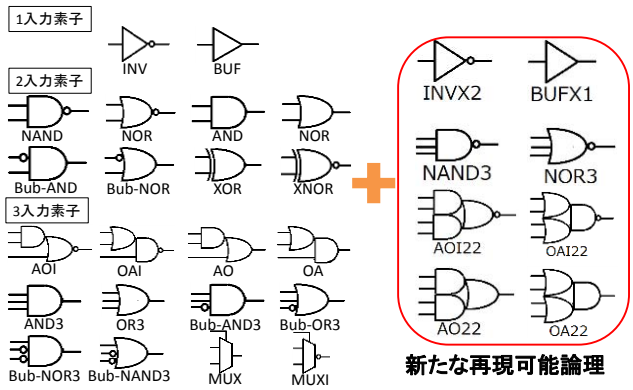


図 10　VPEX4 で再現可能な論理セル

5.2 クロックネットワーク構造の改良

従来のクロックツリーでは図 11(a)のように DFF の入力付加容量が非常に大きく，そのためクロックツリーには非常に大きなドライブ能力を持つバッファを利用していた．

そこで新アーキテクチャでは DFF 構造の改良を施し，入力付加容量を従来の 1/3 程度に削減した．これによりクロックツリーを構成するバッファサイズを非常に小さく，また数自体も少なくすることが可能になった．

新しい DFF 構造の回路図を図 11(b)に示す．DFF のクロックピンにインバータセルを介す事で，クロックツリーのバッファから見える入力負荷容量を削減している．

Copyright © 2014 by
The Institute of Electronics, Information and Communication Engineers and
Information Processing Society of Japan All rights reserved.

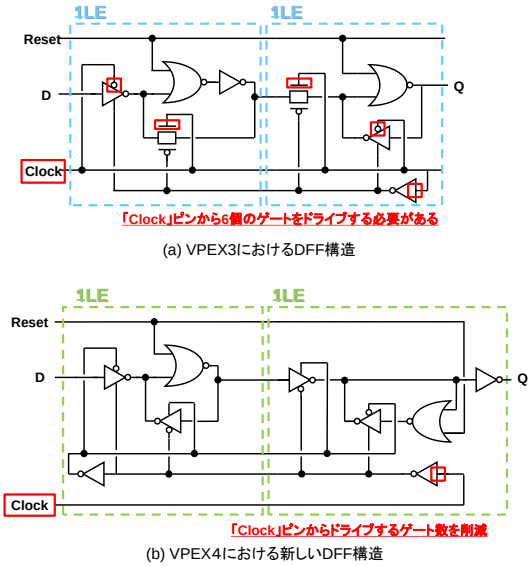


図 11　DFF の構造図

また DFF 再現時のドライブ能力も改善された．従来の DFF は出力素子 Q のドライブ能力は NOR ゲートのドライブ能力に依存していた．しかし VPEX4 の DFF では，出力側を INV でドライブするように変更した．

これらの DFF の改変によって新たに構成したクロックツリーを図 12 に示す．VPEX4 のクロックツリーではバッファのドライブ能力の調整を行い，VPEX3 のものよりも小さいものに変更している．また VPEX3 では両側部の列にバッファを配置していたが，VPEX4 では片側だけに削減する事ができた．

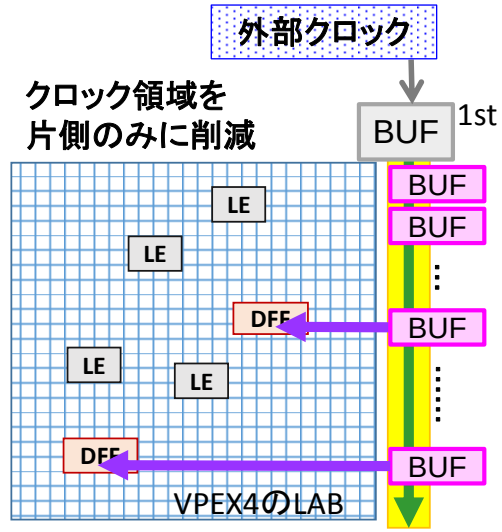


図 12　クロックネットワーク構造

6．性能評価

6.1 DFF の単体特性評価

改良した DFF の性能評価を行った．評価項目は遷移遅延，消費電力の 2 項目で，比較対象は VPEX3 と VDEC から提供されている 0.18um プロセス用のスタンダードセルの DFF を使用した．

図 11 および表 2 に「立ち上がり」，および「立ち下がり」の遷移遅延を示す．これらの結果より，立ち上がり，立下り両方の性能において，従来の DFF よりも大きく改善されていることがわかる．これは DFF の出力端子に INV を接続したことによって，ドライブ能力が大きく改善されたためだと考えられる．

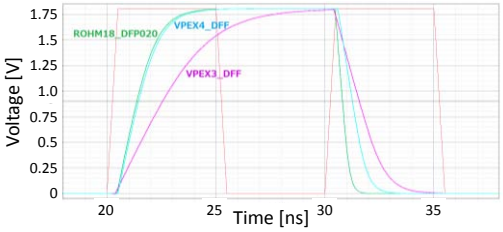


図 13　DFF の遷移遅延の性能評価結果

表 2　DFF の遅延時間

	立ち上がり遅延[ns]	立ち下がり遅延[ns]
ASIC	1.12	0.55
VPEX3	2.31	1.32
VPEX4	1.20	1.01

次に消費電力の比較結果を示す．DFF の消費電力は Cadence 社の SPICE シミュレータ「Spectre」を使用した．結果を図 14 に示す．

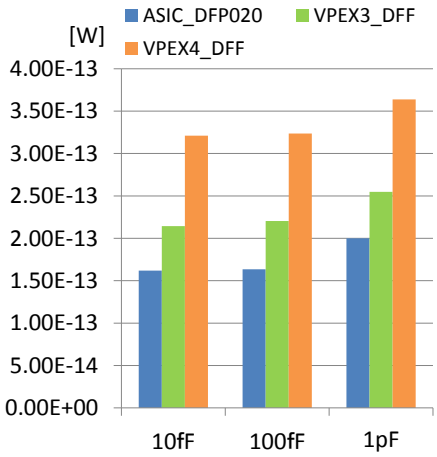


図 14　DFF の消費電力評価結果

結果より，各出力負荷容量において VPEX3 よりも VPEX4 の消費電力の方が非常に大きくなっており，性能が悪くなっていることがわかる．これは VPEX4 の DFF の方が構成により多くの論理ゲートを使用しており，そのためインターナルパワーが大きくなっているためだと考えられる．

6.2 配線混雑度と実装面積の比較

実装面積の比較を行う．対象のベンチマーク論理回路は共通鍵暗号化方式の一種である「DES」「AES」を用いた．以下に結果を示す．

Copyright © 2014 by
The Institute of Electronics, Information and Communication Engineers and
Information Processing Society of Japan All rights reserved.

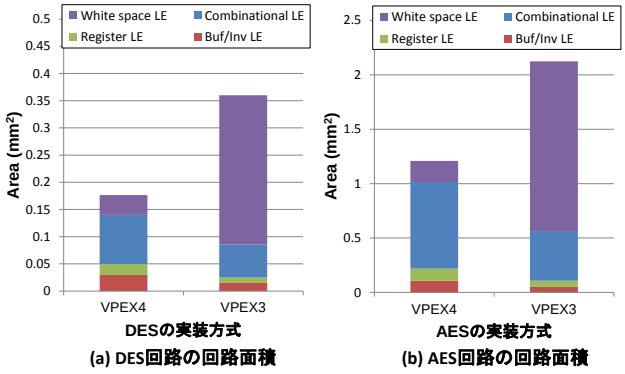


図 15　回路毎の面積性能比較

測定結果より，配線リソースを増やしたことによって LE 使用率が大きく改善された．従来の VPEX3 アーキテクチャは 70%を配線のためのリソースに割く必要があったが，VPEX4 ではこれが改善され，空論理セルを大幅に削減できている．それによって大幅に面積性能が向上した．実際に ASIC と比較すると，2 倍程度の面積増加で VPEX4 プラットフォーム上に同等の回路を形成できている．

6.3 消費電力比較

消費電力の比較を行う．対象のベンチマーク回路は前節同様「DES」「AES」の 2 つの論理回路を用いた．結果を以下に示す．

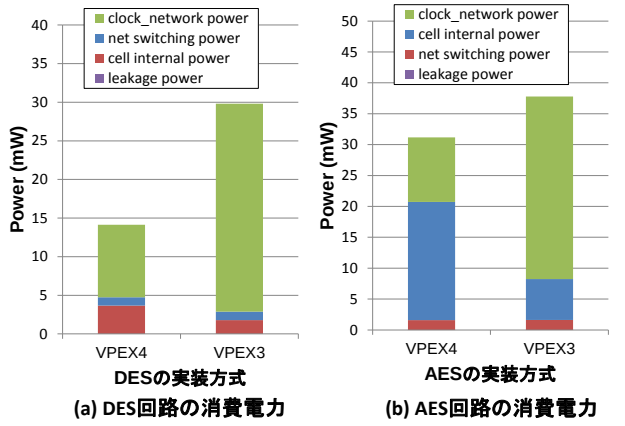


図 16　消費電力の比較

上記の結果より，クロックツリーの消費電力は大幅に削減できたことがわかる．しかしその一方で，論理回路自体の消費電力は非常に大きくなっていることがわかる．これは 5.1 節で述べた VPEX4 の DFF の消費電力が大きくなったことに起因すると考えられる．

消費電力の合計値を比較すると，論理回路部の消費電力の増加分よりもクロックネットワーク部の消費電力削減分のほうが大きく，全体では消費電力の削減に成功していることがわかる．しかしながら，より多くの DFF を使用する論理回路（例えば大規模なカウンタや CISP などのプロセッサ）では VPEX4 の消費電力がより大きくなることが懸念される．

7．まとめ

本論文では既存の VPSA アーキテクチャである VPEX３の課題点を明らかにし，それらを改善した新アーキテクチャとして VPEX4 を提案した．従来の LE よりも面積が大きい構造であるものの配線リソースに余裕のある構成になっている．

実際に改善されたことを証明するために，３つの性能評価を行った．１つ目は DFF の比較を行った．これにより，ドライブ能力が改善されたことを示した．２つ目は実装時の面積比較をおこなった．LE1 つあたりの配線リソースが改善されたことにより，実装領域上の空論理セルが減少し，面積が大きく削減されたことを示した．3 つ目は消費電力の評価を行った．領域を論理実装部とクロックネットワーク部で分けて評価を行ったところ，論理実装部では消費電力が増大していたが，クロックツリーの消費電力は改善されており，結果として消費電力を DES においては約 53%，AES においては 17%削減することに成功した．

今後の課題点としては，デジタル回路以外の CMOS 電子回路（たとえばアナログ回路）に VPSA 技術を適応し，VPSA 技術によって実現できる回路デザインの幅を拡大していくことがあげられる．

8．謝辞

本研究は東京大学大規模システム設計教育研究センターを通し，ローム(株)の協力で行われたものである．関係各位に感謝いたします．

文　献

[1] I M. Ladepus, “Analysis: Photomask Business Model is Broken”, EETimes, http://www.eetimes.eu/germany/211200004?pgno=1

[2] I.Kuon and J.rose “Measuring the Gap between FPGAs and ASICs” IEEE Trans. Computer-Aided Design of Integrated Circuits and Systems， Vol.26 No.2, 2007 p.203.

[3] Ryohei Hori, Tatsuya Kitamori, Taisuke Ueoka, Masaya Yoshikawa, Takeshi Fujino,"Improved Via-Programmable Structured ASIC VPEX3 and its Evaluation", IEICE Trans. on Fundamentals of Electronics, Communications and Computer, Vol.E95-A, No.9, pp.1518-1528, Sep. 2012.

[4] 大谷拓，堀遼平，上岡泰輔，吉川雅弥，藤野毅，“ビアプログラマブルロジック VPEX の配置配線ツールを用いた性能評価”，電子情報通信学会技術研究報告，VLD2012-90，pp.177-182，11 月 2012 年

[5] Ryohei Hori, Taisuke Ueoka, Taku Otani, Masaya Yoshikawa, Takeshi Fujino,"Via Programmable Structured ASIC Architecture “VPEX3” and CAD Design System", IEICE Trans. on Fundamentals of Electronics, Communications and Computer, Vol.E95-A, No.12, pp.2182-2190, Dec. 2012

[6] Ryohei Hori, Taisuke Ueoka, Taku Otani, Masaya Yoshikawa, Takeshi Fujino,"The implementation of DES circuit on via-programmable structured ASIC architecture VPEX3", 2013 International Symposium on VLSI Design, Automation, and Test (VLSI-DAT2013), April 2013

[7] F.Brglez, D.Bryan, K.Kozminski, “Combinational profiles of sequential benchmark circuits,” Proceedings of ISCAS, pp.1929-1934, 1989.

Copyright © 2014 by
The Institute of Electronics, Information and Communication Engineers and
Information Processing Society of Japan All rights reserved.