

省電力化を意識したプログラムの実装の比較と評価 Evaluation and Comparison of Implementation of Power-aware Programming

田中 献大[†]
Kenta Tanaka

黒田 久泰[†]
Hisayasu Kuroda

1. はじめに

近年、計算機システムの高性能化や電力供給不足に伴い、省電力化はとても重要な課題になっている。そこで、我々は省電力化を意識した数値計算ライブラリ [1] や PMC (Performance Monitor Controller) からの情報を元にした動的周波数制御機構の開発を行っている。

一般に、CPU 周波数が高ければ高いほど計算性能は向上するが、計算性能の向上に比べて電力消費量の向上の方が上回ってしまうことが多い。また、実行スレッド数についても、通常であれば、論理 CPU コア数と同じスレッド数で実行すれば、最も高い性能が得られることになるが、その計算性能の向上よりも消費電力の向上の方が上回ってしまうことがある。このような場合、計算性能の低下を許容することで、省電力化を実現することが可能である。

我々は、計算性能と消費電力を測定するプログラムを用いて消費電力情報を作成し、その情報を元に CPU 使用率を動的に変更して、1W あたりの計算性能を最適化する方法を提案する。

2. 関連研究

近年の CPU の多くに動的電源電圧・周波数制御機構である DVFS (Dynamic Voltage and Frequency Scaling) が備わっており、CPU の動作電圧および動作周波数を変更することができる。一般的な CMOS により構成される CPU の消費電力は動作周波数と動作電圧の二乗に比例するため、周波数および電圧を変更することは CPU の消費電力を変更する上で非常に効果的である [2]。更に、メモリの電圧や周波数を変更し消費電力を下げる先行研究も存在している [3]。

DVFS を活用するシステムの一つとして Linux の on-demand governor がある。これは CPU 使用率に応じて、CPU 周波数を動的に設定する仕組みであり、システムの CPU 使用率が低い場合に動作周波数を低く設定することで省電力化する。

CPU 周波数を制御する手法は、事前にアプリケーションの特徴を分析し CPU 周波数を決定するオフライン手法 [4]、PMC などの情報により事前の分析なしに CPU 周波数を決定するオンライン手法 [5][6] が知られており、我々の研究はオンライン手法に属する。

3. アプリケーションのメモリ依存度

アプリケーションには CPU 周波数の変化によって性能が大きく変化するものと変化しないものがある。それらはそれぞれ CPU 依存型のアプリケーションとメモリ依存のアプリケーションとに分類することができ

る。メモリアクセスの多いメモリ依存型のアプリケーションの実行時には、CPU 周波数を低く設定しても、計算性能への影響が小さいことが知られており、CPU 周波数を低く設定することで若干の計算性能の低下を引き換えに消費電力の削減が可能である [7]。CPU 依存型のアプリケーションの場合は、CPU 周波数を低く設定することで大幅に計算性能が低下してしまうため、CPU 周波数を下げることで消費電力が増加する場合もある。

アプリケーションのメモリ依存度の調査と、消費電力推定のために、前もって専用で作成したベンチマークプログラムを実行し CPU 周波数の変化による PMC の LLC のキャッシュミス回数と消費電力を測定し消費電力情報とする。前もって測定した LLC のキャッシュミス回数と、実際のアプリケーションの実行時の回数を比較し、アプリケーションのメモリ依存性度合いを算出できるようにする。

4. PMC による CPU 周波数の決定

数値計算分野のアプリケーションにおいて、浮動小数点演算は処理の要であることが多い。また、多くのアプリケーションで単精度浮動小数点演算と倍精度浮動小数点演算は混在することが少ない。そこで、PMC により LLC のキャッシュミス回数、SSE 演算回数、AVX 演算回数をそれぞれ取得し合計することで、予想計算性能とする。CPU 周波数を最高に設定しアプリケーションを実行し、PMC を元に予想計算性能を算出し、CPU 周波数が最高の状態の時の予想計算性能値から、計算性能低下許容率を下回らない最低の CPU 動作周波数を選択する。なお、ここで選択できる CPU 周波数は 3 章で取得された消費電力情報と取得した LLC のキャッシュミス回数を元に算出されたものを用いる。また、浮動小数点演算回数が大幅に加減した場合は CPU 周波数を最高に設定しなおし、再度 CPU 周波数を下げる。これは動作させるアプリケーションの処理内容が変化した場合を想定している。

5. 動的周波数制御機構の評価

動的周波数制御機構を評価するために計算性能と消費電力の測定を表 1 の環境で行った。

計算性能、消費電力、1W あたりの計算性能を明らかにするためのベンチマークとして NAS Parallel Benchmark (NPB) (Version 3.3.1, OpenMP 版) を用いた。NPB から 8 種類のベンチマークを使用し、問題クラスを C、実行スレッド数は 6 スレッドとしている。計算性能は、ベンチマーク実行時間の逆数とし、1W あたりの計算性能は、計算性能を平均消費電力で割ったものである。なお、実行スレッド数を 12 とした場合、ほとんどの場合で 6 スレッドに比べて計算性能が減少

[†]愛媛大学大学院理工学研究科,
Graduate School of Science and Engineering,
Ehime University

表 1: 計算機環境

CPU	Intel Core i7 3930K 3.2~3.8GHz 6 コア/12 スレッド, LLC 12MB
メモリ	合計 64GB, DDR3-1600 ADATA AD3U1600W8G11-2 × 4
OS	Fedora 18 (Linux 3.9.6 x86_64)
コンパイラ	GCC 4.7.2
電力測定装置	日置 AC/DC パワーハイテスタ 3334

するにもかかわらず消費電力が上がるため採用していない。許容できる計算性能低下率を 5, 10, 15(%) と設定し、実際の計算性能, 消費電力, 1W あたりの計算性能を評価する。CPU 周波数の変更は, 2 秒毎に行い, 過去 2 秒間の PMC から得られる浮動小数点演算回数 (double) から次の CPU 周波数を決定する。

NPB の 9 種類のベンチマークを本機構を用いて実行したときの消費電力を図 1, 1W あたりの計算性能を図 2, 設定した許容できる計算性能低下率と実際の計算性能低下率を図 3 に示す。

図 1 より, 計算性能低下を許容できる場合, 平均消費電力を下げることが可能であることを示している。しかしながら, 平均消費電力は消費電力量などを示していないため 1W あたりの計算性能である図 2 を参照する。図 2 より, ベンチマークの種類によってばらつきはあるが, どのベンチマークにおいても 5%以上の 1W あたりの計算性能が向上しており, またメモリ依存型である ft.C, lu.C, sp.C においては 20%以上向上しており, 効果的に消費電力を削減できることを確認した。

また, 図 3 より, mg.C を除き, 設定した許容できる計算性能低下率と実際の計算性能低下率には大きな乖離は起きておらず, 計算性能の推定がおおむね行われていることが確認できる。しかしながら, mg.C は, 実際に計算性能が低下していないにもかかわらず計算性能が低下していると判定されていたり, 設定値よりも実際の低下率が大きくなっている bt.C, ua.C が存在しているなど, 計算性能の推定能力は不十分であることがわかる。

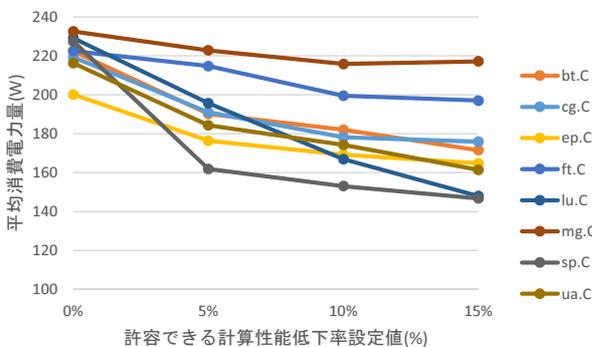


図 1: 消費電力結果

6. まとめ

PMC からの LLC キャッシュミス回数と浮動小数点演算回数情報を用いて計算性能の推定および CPU 周

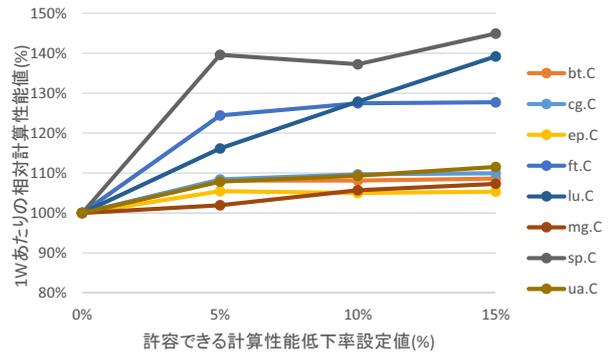


図 2: 1W あたりの計算性能

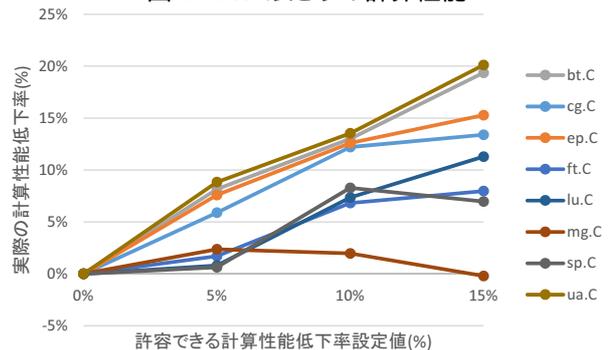


図 3: 計算性能低下率設定値と実際の計算性能低下率

波数の動的制御を行うことで, NPB 実行時の計算性能を 15%低下を許容する条件では 1W あたりの計算性能を平均 18%改善し, 消費電力を削減することができた。

参考文献

- [1] 田中献大, 黒田久泰: 省電力化を意識した数値計算ライブラリの実装と評価, 情報処理学会研究報告, Vol.2012-HPC-135, No.18, pp.1-6 (2012)
- [2] 船岡健司, 加藤真平, 山崎信行: マルチプロセッサ用の実時間電圧周波数制御, 情報処理学会論文誌コンピューティングシステム, Vol.1, No.2, pp.96-110 (2008)
- [3] Qingyuan Deng, David Meisner, Luiz Ramos, Thomas F. Wenisch, and Ricardo Bianchini: MemScale: Active Low-Power Modes for Main Memory, ACM SIGARCH Computer Architecture News, Vol.39, No.1, pp.225-238 (2011)
- [4] 金井遵, 佐々木広, 近藤正章, 中村宏, 天野英晴, 宇佐美公良, 並木美太郎: 性能予測モデルの学習と実行時性能最適化機構を有する省電力化スケジューラ, 情報処理学会論文誌コンピューティングシステム, Vol.49, No.SIG 2(ACS 21), pp.20-36 (2008)
- [5] 佐々木広, 浅井雅司, 池田佳路, 近藤正章, 中村宏: 統計情報に基づく動的電源電圧制御手法, 情報処理学会論文誌コンピューティングシステム, Vol.47, No.SIG 18 (ACS16), pp.80-91 (2006)
- [6] 近藤正章, 中村宏: 主記憶アクセスの負荷情報を利用した動的周波数変更による低消費電力化, 情報処理学会論文誌コンピューティングシステム, Vol.45, No.SIG 6(ACS 6), pp.1-11 (2004)
- [7] 三輪真弘, 中島耕太, 平井聡, 風間哲, 原靖, 成瀬彰: メモリ消費電力に基づく CPU 周波数動的制御手法の評価, 情報処理学会論文誌コンピューティングシステム, Vol.5, No.5, pp.1-9 (2012)