

高性能 MAC ブリッジ構成方式の提案と評価†

福澤 淳二^{††} 寺田 松昭^{††} 溝河 貞生^{†††}

IEEE 802 LAN 間を接続する MAC ブリッジは、受信フレームの発信元アドレスを観察することによって作成する装置アドレスと接続 LAN の対応表（フォワーディングデータベース：FDB）を参照し、フレームの転送とフィルタリングを行う。この MAC ブリッジを設計する上でフレーム転送遅延時間の短縮と、フレーム転送スループットの向上が課題となる。本論文では、メモリ結合・シングルプロセッサ構成とハッシュテーブル方式のアドレス検査・登録処理ハードウェアを特徴とする MAC ブリッジの一構成方式を提案する。次に、提案方式に基づき IEEE 802.4 トークンバス LAN 間接続 MAC ブリッジを試作し、フレーム転送遅延時間、フレーム転送スループットに大きな影響を与えるフレームフィルタリング処理時間を実測する。その結果、伝送速度 10 Mbps の LAN において、MAC サービスデータ単位長 400 バイト以上では転送先 LAN の伝送路容量が制約となる実用上十分なフレーム転送性能と、データ長約 450 バイト以上では伝送速度 10 Mbps の 2 つの LAN の 100% 負荷に相当するフレームフィルタリング性能を得られることを明らかにし、提案方式が有効であることを示す。

1. はじめに

LAN (Local Area Network) が情報化、ネットワーク化の要として広く普及してきている。最近では次のステップとして、LAN の地理的範囲および接続できるステーション数に対する制約を越え、同じ LAN に接続されているステーションと同じように、別の LAN に接続されたステーションと自由に通信できることが求められており、LAN 間接続に関する研究、標準化が活発に行われている。

LLC (Logical Link Control) 層以上のプロトコルが同じ LAN を相互接続する場合には、上位プロトコルへの影響がないことから、ブリッジが使われることが多い³⁾。国際標準規格として標準化が進められている IEEE 802 LAN 間の接続には、MAC (Medium Access Control) 層で相互接続する IEEE 802.1 MAC ブリッジが提案されている¹⁾。MAC ブリッジの主な処理は、①フレーム転送の要否の判定処理、②転送が必要なフレームの宛先 LAN への転送処理、③フレーム転送の要否の判定に使用するテーブルを構築する MAC アドレス学習処理である。LAN 間を MAC ブリッジで接続した場合、転送不要なフレームが MAC ブリッジでフィルタリングされるので、LAN のトラフィックを分割でき、個々の LAN の送信待ち時間を

短縮できる。

上述のとおり、同じ LAN に接続されたステーションと同じように、別 LAN に接続されたステーションと通信したいという LAN 利用者の要求から、MAC ブリッジがフレームを転送する際に生じる遅延が小さいことが求められる。さらに、MAC ブリッジの宛先アドレス検査処理能力およびフレーム転送能力が、接続される LAN で想定される最大負荷に耐えられることが求められる。

従来、MAC ブリッジに関しては、IEEE 802.3 CSMA/CD LAN 間の接続を対象としたエンド-エンドの遅延特性の解析⁵⁾や高速基幹 LAN-支線 LAN 間接続におけるブリッジ方式^{4), 9), 10)}およびストリングサーチデバイスを用いるアドレス検査処理の高速化方式^{7), 8)}が報告されている。アドレス検査処理の高速化は、上記の MAC ブリッジに対する課題を解決するために重要な事項である。しかし、この提案方式は多量のハードウェアを必要とし、かつ、性能も十分とはいえない。また、MAC ブリッジの実測性能に関する報告は少なく、特に IEEE 802.4 トークンバス LAN 間接続を対象としたブリッジの構成およびその性能に関する報告は、筆者らが知るかぎりではない。

本論文では、MAC ブリッジに対する上記課題を解決する方式として、

- ブリッジ処理プロセッサと MAC 制御 LSI をメモリ結合したシングルプロセッサ構成
- ハッシュテーブル方式の MAC アドレス検査・登録処理ハードウェア

を特徴とする MAC ブリッジの構成方式を提案する。

† Proposal and Performance Evaluation of MAC Bridge Configuration Scheme by JUNJI FUKUZAWA, MATSUAKI TERADA (Systems Development Laboratory, Hitachi, Ltd.) and SADA O MIZOKAWA (Omika Works, Hitachi, Ltd.).

†† (株)日立製作所システム開発研究所

††† (株)日立製作所大みか工場

次に提案方式に基づき試作した IEEE 802.4 トークンバス LAN 間接続 MAC ブリッジの性能の実測値を示し、提案方式の有効性を示す。

以下、2章では MAC ブリッジの概要と MAC ブリッジの構成方式を述べ、3章で MAC アドレス検査・登録処理ハードウェア方式について述べる。次に、4章で試作 MAC ブリッジの構成、5章で実験システム構成と試作 MAC ブリッジの実測性能の評価を示す。

2. MAC ブリッジの構成方式

2.1 MAC ブリッジの概要¹⁾

IEEE 802 LAN 間を接続する IEEE 802.1 MAC ブリッジは、フレームをストア & フォワードに中継転送する相互接続装置である。MAC ブリッジはフレーム転送処理部と複数の IEEE 802 LAN インタフェース部から構成され、下記の処理を行う。

①宛先 MAC アドレス検査処理

すべての受信フレームに対し、宛先 MAC アドレスが③で説明するフォワーディングデータベース（以下 FDB と略す）に登録されているかどうか調べる。宛先 MAC アドレスが、FDB に登録されかつ受信した LAN 側のステーションであることを示す場合は、いずれの LAN にもフレームを転送することなく廃棄する。宛先 MAC アドレスが FDB に登録されかつ受信した LAN 側のステーションでないことを示す場合は、宛先 LAN へのフレームの転送を指示する。宛先 MAC アドレスが FDB に登録されていない場合は、受信した LAN を除くすべての LAN へのフレームの転送を指示する。

②フレームの転送処理

受信フレームの宛先 MAC アドレス検査処理の結果、転送が必要と判断されたフレームを宛先 LAN へ転送する。

③MAC アドレスの学習処理

各受信フレームの発信元 MAC アドレスを観察し、FDB とよばれる MAC アドレスと接続 LAN との対応表を以下の手順で作成する。

まず、受信フレームの発信元 MAC アドレスが、FDB に登録されているかどうかを調べる。FDB に登録されていない場合は、接続 LAN の識別子とともに MAC アドレスを登録し、エントリ有効時間監視タイマの初期化を行う。FDB に登録されている場合は、エントリ有効時間監視タイ

マの再初期化と、必要ならば接続 LAN 識別子の更新を行う。FDB の各エントリに対する有効時間監視は、一定期間送信がないステーションに関するエントリを FDB から削除し、FDB のエントリの有効利用を図るとともに、システム構成の変動に自動的に対応できるようにするものである。

このほか、LAN 間に複数のバスが存在する場合にも、宛先 LAN に複数のフレームが到着することがないように、フレームの転送を行わないバックアップブリッジを決定する処理を行う。

上述した MAC ブリッジの動作を図 1 を使って説明する。LAN-1 上のステーション A（以下 ST-A のように略す）から、同じ LAN 上の ST-B に送信したフレームは、MAC ブリッジにも到着する。MAC ブリッジの初期状態では、FDB にエントリが登録されていないので、MAC ブリッジはフレームを LAN-2 へ転送したうえ、ST-A に関するエントリを FDB へ登録する。以降、S-B, C から ST-A 宛のフレームは、LAN-2 へ転送されることなく廃棄される。LAN-2 上の ST-P から ST-A 宛のフレームは LAN-1 へ転送され ST-A に到着する。

このように、MAC ブリッジの動作の特徴は、FDB の構築と、FDB を参照しフレーム転送の可否を判定するフレームのフィルタリングにある。

2.2 MAC ブリッジ構成方式の提案

前述のとおり、同じ LAN に接続されたステーションと同じように、別の LAN に接続されたステーションと通信したいという LAN 利用者の要求から、MAC ブリッジが LAN から LAN へフレームを転送する際に生じる遅延が小さいことが求められる。さらに、MAC ブリッジの宛先アドレス検査処理能力およびフレーム転送能力が、接続される LAN で想定する最大負荷に耐えられることが求められる。そこで、MAC ブリッジの設計においては、MAC ブリッジのフレームの受信完了から、転送先 LAN へのフレーム送信完了までのフレーム転送遅延時間の短縮と、フレーム転送スループット（単位時間当りに転送できるフレーム

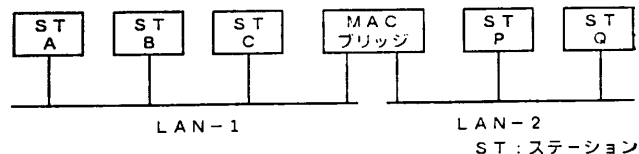


図 1 MAC ブリッジで接続された LAN
Fig. 1 Bridged Local Area Network.

数) およびフレームフィルタリングスループット (単位時間当りに転送の要否が判定できるフレーム数) の向上が課題となる。この課題を解決するための方式として、

- ブリッジ処理プロセッサと MAC 制御 LSI をメモリ結合したシングルプロセッサ構成
- ハッシュテーブル方式の MAC アドレス検査・登録処理ハードウェア

を採用した。以下、この方式について論じる。

(1) メモリ結合・シングルプロセッサ方式

MAC ブリッジのフレーム転送遅延時間を短縮する 1 つの方法は、LAN インタフェース間でバッファメモリを共有することである。これによりフレーム転送処理時に、受信したフレームをコピーすることなく、そのまま送信することが可能となり、フレーム転送遅延時間が短縮する。この効果は、データ長が大きくなるに従い顕著となる。

MAC ブリッジのスループットを向上させる 1 つの方法にマルチプロセッサ構成⁶⁾がある。マルチプロセッサ構成は、各 LAN インタフェースとフレーム転送処理用プロセッサを配置し、LAN インタフェースプロセッサがフレーム受信処理、フレーム転送要否判定処理、アドレス学習処理、フレーム送信処理を実行し、フレーム転送処理用プロセッサが LAN インタフェース間のフレーム転送処理を実行する。MAC ブリッジの処理を複数のプロセッサに機能分散することにより、フレーム転送スループット、フレームフィルタリングスループットの向上を図るものである。しかしマルチプロセッサ構成は一般に、プロセッサ間交信・同期オーバーヘッドのために、シングルプロセッサ構成と比較して、フレーム転送遅延は大きくなる。このほか、MAC アドレス検査・登録処理ハードウェア化に関しては、LAN インタフェースごとに設けるか、マルチポート化して複数プロセッサ間で共有しなければならず、MAC アドレス検査・登録処理ハードウェアの回路規模の増大が避けられないという問題がある。

そこで、筆者らはフレームコピーの必要がないメモリ結合方式と、プロセッサ間交信オーバーヘッドおよびプロセッサ間同期オーバーヘッドがなく MAC アドレス検査・登録処理のハードウェア化の実現性が高いシングルプロセッサ構成を採用することにした。

(2) MAC アドレス検査・登録処理のハードウェア化

MAC ブリッジは各受信フレームに対して、フレー

ム転送要否判定処理のための FDB 検索、MAC アドレス学習処理のための FDB 検索と MAC アドレスの登録を行う。この FDB の容量は、MAC ブリッジで相互接続されたシステム内のアクティブなステーション数程度が必要となる。

テーブルサイズ N の FDB の検索処理は、2 分探索方式を用いて実行した場合、最大 $\log_2 N$ 回のテーブルエントリとの比較が必要である²⁾ うえに、MAC アドレスの新規登録処理および既登録 MAC アドレスの削除処理には、テーブルエントリ詰め換え処理が必要となる問題がある。

エントリ登録時に衝突が発生した場合に再ハッシュを行うハッシング方式¹²⁾によれば、平均 $\log_2 N$ 回以下で検査・登録処理が終了し²⁾、2 分探索方式において必要なテーブルエントリ詰め換え処理が不要となる。しかし、ハッシュ関数値生成にステップ数が増し、1 エントリの比較処理に約 25 命令 (1 MIPS のマイクロプロセッサで約 25 μ sec) を要する³⁾。

MAC アドレス検査・登録処理に要する時間は、MAC ブリッジのフレーム転送性能、フレームフィルタリング性能に与える影響は大きい。このように、MAC アドレス検査・登録処理をソフトウェアで実行した場合、この処理時間が MAC ブリッジの性能の制約となる。したがって、MAC ブリッジの性能を向上するために、MAC アドレス検査・登録処理をハードウェア化することが必要である。

そこで、MAC アドレス検査・登録処理を、ハッシュアドレス生成回路に計算済みハッシュ関数値を格納した ROM を使うハッシュテーブル方式のハードウェアで実行することにした。このハードウェアは提案方式の MAC ブリッジにおいて重要な働きをするので、その方式に関して 3 章で詳しく論じる。

3. MAC アドレス検査・登録ハードウェア方式

MAC アドレス検査・登録ハードウェアは、MAC アドレスと接続 LAN の対応テーブル (FDB) を内蔵し、プロセッサからの指示に従い、FDB エントリの検索、登録、削除を高速に行うハードウェアである。ここでは、このハードウェア方式を論じる。

3.1 エントリ検索、登録/削除方式

48 ビットの MAC アドレスを入力キーとして、FDB のエントリ検索、エントリ登録/削除を行う方式には、ハードウェアハッシング方式を採用した。ハッシ

ハッシュ関数値の生成方式は一般に、論理回路を組んで構成する方式がとられることが多い¹¹⁾。これに対し、筆者らはハッシュ関数値の生成に、計算済みハッシュ関数値を格納した ROM を使う方式を採用し、回路の単純化を図った。

48ビットの MAC アドレスから FDB のエントリ番号への変換を2段階に行う。まず、48ビットの MAC アドレスを、24ビットに圧縮するハッシュ回路に入力する。ここでは、48ビットの MAC アドレスを16ビットずつ $2^{47} \sim 2^{32}$ ビット、 $2^{31} \sim 2^{16}$ ビット、 $2^{15} \sim 2^0$ ビットに3分割し、各々8ビット×64kワード構成の ROM のアドレスライン(16ビット)に入力する。ROM には、あらかじめ計算されたハッシュ関数値が格納されている。この結果、ROM の出力から8ビット×3=24ビットのハッシュ関数値を得る。さらに、この24ビットを FDB のエントリ数に対応するビット数(例えば8192エントリの FDB の場合13ビット)に圧縮する2段目の圧縮回路に入力する。この圧縮回路の出力を、FDB の検索、登録/削除対象エントリ番号とする。

2段目の圧縮回路は、簡単に24入力、 x 出力(x は FDB のエントリ数に対応するビット数)のマトリックススイッチで構成してもよいし、1段目のハッシュ回路と同様の ROM を使う方式で構成することもできる。後者の場合、1段目ハッシュ回路の各 ROM の出力8ビットを、4ビットずつに2分割する。3つの ROM の出力から4ビットずつ合計12ビットを、8ビット×4kワード構成の2段目のハッシュ関数値が格納された ROM のアドレスライン(12ビット)に入力する。この ROM には、必要な出力ビット数が有効となるような第2のハッシュ関数を使い計算した値を格納する。この2つの ROM の出力を、2段目の圧縮回路の出力とする。

この方式によりハッシュ関数値生成回路の単純化、ハッシュ関数値生成時間の短縮化が可能となり、FDB エントリの検索、登録/削除処理を高速化できる。さらに、ハッシュ関数の変更を、ROM の内容の書き替えによって容易にできる特徴がある。

ハッシング方式は、複数の入力キーが同じエントリにマッピングされる“衝突”が発生しうる。衝突発生時には、ハッシュテーブルと別のエリアに格納する方式、同一のテーブル内で空いているエントリを見つける方式がある。これらの方式を実現するためのハードウェアは複雑で、かつ、エントリ検索、登録/削除処

理に複数回の探索を要する。そこで、筆者らは回路の単純化とエントリ検索、登録/削除処理時間の短縮のため、MAC アドレス登録を試行した際、エントリが使用中であった場合、FDB へのエントリ登録を中止する方式とした。この方式では、FDB に登録できなかった MAC アドレスは、FDB 検索の結果、不明のアドレスとなり、これを宛先とするフレームが MAC ブリッジで転送不要と判定されずに、別の LAN へ転送されることになる。この転送不要フレームの影響に関しては、5章で評価する。

3.2 FDB の構成

MAC アドレスからマッピングされる FDB の各エントリは、6バイトの MAC アドレスフィールドと属性情報フィールドから構成する。属性情報フィールドには、接続 LAN 識別子、エントリ有効時間監視用タイマ、エントリ種別の各フィールドを設ける。

接続 LAN 識別子は、その MAC アドレスのステーションが接続されている LAN の識別子を示す。

エントリ種別は、そのエントリが静的エントリ(エントリの有効時間監視を行わないエントリ、すなわち規定時間フレーム送信がなくとも FDB から削除されないエントリ)か動的エントリ(エントリの有効時間監視を行い、規定時間フレーム送信がない場合は FDB から削除されるエントリ)かを示す。

3.3 エントリの有効時間監視方式

アクティブでないステーションの検出と、ステーションの LAN 間移動の検出操作を安定して動作させるうえでは、FDB のエントリ有効時間監視の精度は、数百ミリ秒から秒オーダーでよく、プロセッサのフレーム転送処理、フレームフィルタリング処理の空き時間で十分処理可能である。そこで、FDB のテーブルをプロセッサから直接参照・変更可能とし、プロセッサが有効なエントリの有効時間監視タイマフィールドの更新、タイムアウト検出処理を行う方式とする。

3.4 プロセッサ発行コマンド

プロセッサに対し下記コマンドを用意する。

●エントリ検索

48ビットの MAC アドレスを入力し、その MAC アドレスが FDB に登録されているかどうかを検査する。登録されている場合には、該 MAC アドレスに関する付属情報(接続 LAN 識別子、エントリ種別、有効時間監視タイマ値)を返す。

●エントリ登録

48ビットの MAC アドレスおよび付属情報を FDB

に登録する。エントリが使用中で登録できなかった場合には、登録失敗を報告する。

●エントリ削除

48ビットの MAC アドレスを入力し、対応するエントリを無効にする。

4. 試作ブリッジの構成

IEEE 802.4 トークンバス LAN 間接続を対象として、上記提案方式に基づき MACブリッジを試作した。以下に、試作 MACブリッジの全体構成とアドレス検査・登録処理ハードウェアを示す。

(1) MACブリッジの全体構成

試作した MACブリッジのハードウェア構成、仕様をそれぞれ図 2、表 1 に示す。

プロセッサに MC 68020 マイクロプロセッサ、トークンバス MAC 制御 LSI に MC 68824 (TBC) を使用し、プロセッサ、MAC 制御 LSI 2 個を 3 ポート化したバッファメモリで結合する。

TBC は、IEEE 802.4 トークンバス標準の MAC 層部分を実行する LSI である。共有メモリおよび内蔵のインタフェースレジスタを介してプロセッサと交信する。受信バッファプール、優先度ごとのそれぞれ 4 つずつの MAC フレーム受信キュー、MAC フレーム送信キューを管理し、内蔵 DMA チャンネルを使ってフレーム送受信を行う。送信時には、プロセッサが用意した転送フレームを MAC 送信キューから取り出して送信する。フレーム受信時には、受信バッファプールから獲得した受信バッファメモリへ格納した後、該当する優先度の MAC 受信キューへ登録する。

プロセッサ、TBC 間で共有する 3 ポート化した SRAM には各 TBC 用の受信バッファメモリとプロセッサとの交信用メモリブロックを配置する。EPROM には、ブリッジ初期化処理、モニタプログラム、RS 232C ポートからプログラムをダウンロードするためのプログラムを格納する。SRAM は、ブリッジプログラムおよびそのワークエリアに使用する。EEPROM には、ブリッジの MAC アドレスを含むトークンバス

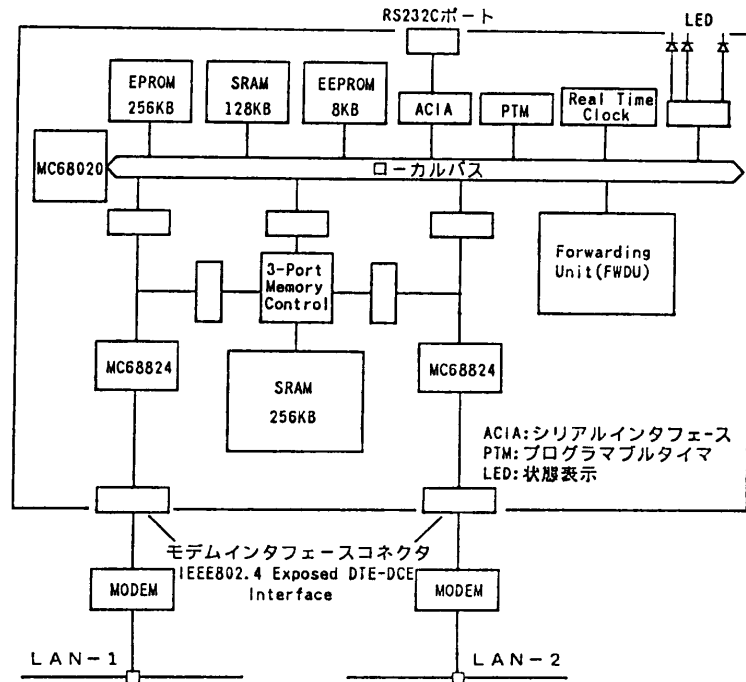


図 2 試作 MACブリッジハードウェア構成
Fig. 2 Block diagram of the MAC Bridge Hardware.

表 1 試作 MACブリッジの仕様
Table 1 Specification of MAC Bridge.

No	項 目	仕 様
1	接続 LAN	IEEE 802.4 トークンバス LAN 間
2	ブリッジ処理プロセッサ	MC 68020
3	MAC 制御 LSI	MC 68824 × 2
4	EPROM	256 KB
5	ローカル RAM	128 KB
6	共有バッファ RAM	256 KB 3 ポート
7	EEPROM	8 KB
8	ハードウェア量	430×430×149 mm, 基板 2 枚 (プロセッサボード, フォワーディングユニット)

の構成定義パラメタ等を格納する。

各 LAN からフレームが到着すると、TBC は次々と受信バッファプールから獲得した 3 ポートバッファメモリ内の受信バッファにフレームを格納し、MAC 受信キューに登録した後、割込み信号によってプロセッサに通知する。プロセッサは、転送が必要と判断した受信フレームを、宛先 LAN の MAC 送信キューに登録し、該 MAC 送信キューを管理する TBC に対し送信を要求する。フレーム送信を要求された TBC は、巡回するトークンを獲得して MAC 送信キューから順次、フレームを取り外し LAN へ送出する。TBC は、各フレームの送信が完了するごとに、プロセッサ

に割込み信号によって、フレーム送信完了を通知する。

(2) MAC アドレス検査・登録処理ハードウェア

試作した MAC アドレス検査・登録処理ハードウェア (フォワーディングユニット: FWDU) のハードウェア構成, 仕様をそれぞれ図 3, 表 2 に示す。

FWDU は, 3.2 節で説明した 8192 エントリの FDB を内蔵し, プロセッサからのコマンドに従い, 3.1 節で説明したハードウェアハッシング方式によりエントリ検索, エントリ登録, エントリ削除を高速に行うハードウェアである。

試作したハードウェアでは, 2 段目の 24 ビットから 13 ビットへの圧縮回路は, 24 ビット入力, 13 ビット出力のマトリックススイッチで構成した。

プロセッサは, インタフェース回路を経由して FDB に直接アクセスし, エントリの有効時間監視のためのタイマフィールド値の減算およびタイムアウトチェックを行う。

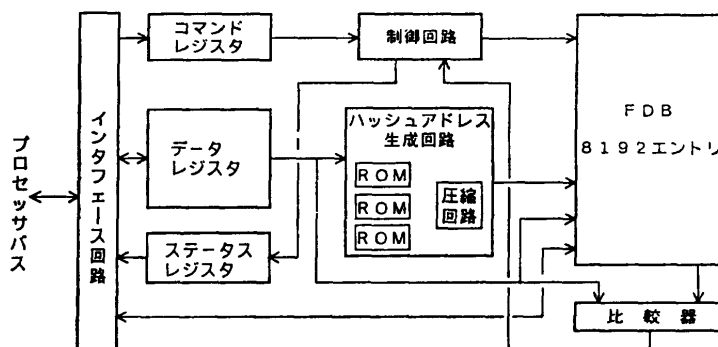
5. 評価

5.1 実測性能評価

図 5 に示す, 伝送速度 10 Mbps の光トークンバス LAN と, 伝送速度 5 Mbps のキャリアバンドトークンバス LAN とを試作 MAC ブリッジで接続した実験システム構成によって実測評価を行った。図 4 に MAC ブリッジの動作フローを示す。

(1) フレーム転送処理時間

フレーム転送処理時間を, フレーム受信から転送先 LAN の送信キューへのフレーム登録および, フレーム送信完了後の後処理までの, フレーム転送処理に要する処理時間の合計 (LAN へのフレーム送出時間含まず) として定義する。実測より, フレーム転送処理時間は $337 \mu\text{sec}$ であった (提案方式ではフレーム転送処理において LAN インタフェース間でフレームのコピーが発生しないので, この値はフレームデータ長に依存しない)。これより, 転送先 LAN の伝送容量がボトルネックとならない範囲で, フレーム転送スループットの最大は, 約 2,900 フレーム/秒となる。伝送速度 10 Mbps の LAN において, MAC サービス



FDB エントリの内容							
MAC	MAC	MAC	MAC	MAC	MAC	制御	Timer
ADR 1	ADR 2	ADR 3	ADR 4	ADR 5	ADR 6	Field	Field

制御フィールドの内容							
EMP	TYPE			LAN ID 3	LAN ID 2	LAN ID 1	LAN ID 0

EMP: エントリ使用/未使用, TYPE: エントリ種別, LAN ID: 接続 LAN 識別子

図 3 フォワーディングユニット (FWDU) の構成
Fig. 3 Block diagram of Forwarding Unit (FWDU).

表 2 フォワーディングユニット (FWDU) の仕様
Table 2 Specification of Forwarding Unit (FWDU).

No	項目	仕様
1	登録エントリ数	8192 エントリ
2	検索方式	ハードウェアハッシング方式
3	エントリ構成	MAC アドレス 6 バイト 制御フィールド 1 バイト タイマフィールド 1 バイト
4	コマンド	エントリ検索 エントリ登録 エントリ削除
5	検索・登録処理時間	$1 \mu\text{sec}$ 以下
6	ハードウェア量	$280 \times 300 \text{ mm}$ ワイヤラッピング基板 1 枚

データ単位長が約 400 バイト以上では, MAC ブリッジのフレーム転送性能がボトルネックとならない。

(2) フレームフィルタリング処理時間

フレームフィルタリング処理時間を, フレーム転送要の場合, フレーム受信から転送先 LAN の MAC 送信キューへの登録処理までの時間, フレーム転送不要の場合, フレーム受信から受信バッファ解放処理までの時間と定義する。実測より, フレームフィルタリング処理時間は, フレーム転送要の場合 $173 \mu\text{sec}$, フレーム転送不要の場合 $188 \mu\text{sec}$ であった。これより, フレームフィルタリングスループットの最大は, フレーム転送要の場合約 5,700 フレーム/秒, フレーム転送不要の場合約 5,300 フレーム/秒となる。これは,

MAC サービスデータ単位長が約 450 バイト以上では、伝送速度 10 Mbps の 2 つの LAN の 100% 負荷に相当するフレームフィルタリング能力である。

(3) フレーム転送遅延時間

フレーム転送遅延時間は MAC ブリッジがフレームを受信完了した後、転送先 LAN へのフレームを送信完了するまでの時間と定義する (図 6 参照)。転送先 LAN を無負荷状態として、ワークステーション P (以下 WS-P のように略す) から、WS-A へフレームを送信しフレーム転送遅延時間を実測した。このフレーム転送遅延時間実測値とフレームデータ長 (MAC サービスデータ単位長) との関係を図 7 に示す。

(4) MAC アドレス検査・登録処理時間

宛先 MAC アドレスの検査処理と発信元 MAC アドレスの登録処理のうち、ハードウェアの処理時間は各々 $1 \mu\text{sec}$ 以下である。これにより MAC アドレス検査・登録処理時間を、ソフトウェアのみによるハッシュ方式の 1/2 以下にできる。

5.2 FDB エントリの衝突確率の評価

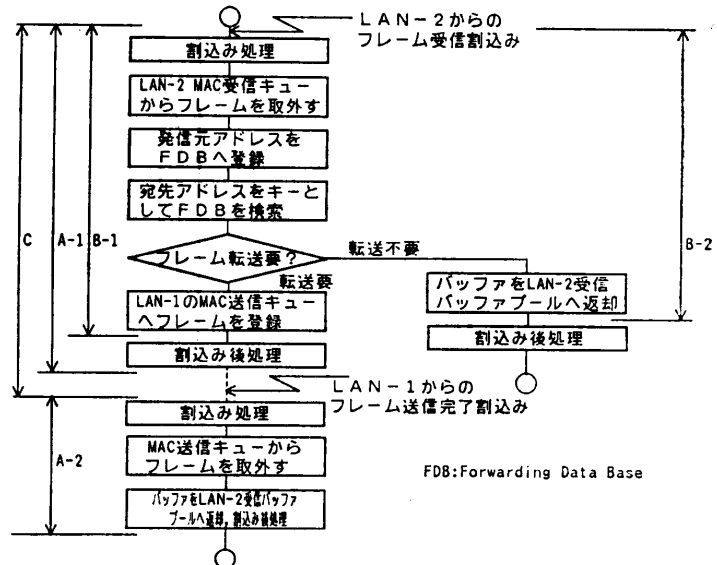
提案する MAC アドレス検査・登録処理ハードウェア方式は、エントリ登録処理において、ハッシュアドレスが指す FDB のエントリが使用中であった場合、登録を中止するため、FDB へのエントリ登録失敗によって、本来転送不要なフレームが他 LAN へ転送されることになる。

入力 MAC アドレスから生成されたハッシュテーブルエントリ番号がランダムであると仮定するならば、FDB のエントリ容量を M 、MAC ブリッジで相互接続されたネットワークシステム内のアクティブなステーション数を N とすると、 i 番目の MAC アドレス登録試行が成功する確率 P_i は、

$$P_i = (M - \sum_{j=1}^{i-1} 1 \times P_j) / M \quad \text{for } 2 \leq i \leq N$$

$$P_1 = 1$$

となる。これより、アクティブな N ステーションのうち、FDB に登録できないステーションの数 Nf は、



フレーム転送処理時間	...	A-1 + A-2
フレームフィルタリング処理時間 (転送要の場合)	...	B-1
フレームフィルタリング処理時間 (転送不要の場合)	...	B-2
フレーム転送遅延時間	...	C

図 4 MAC ブリッジの動作フローと処理時間

Fig. 4 Operation flow chart and processing time of MAC Bridge.

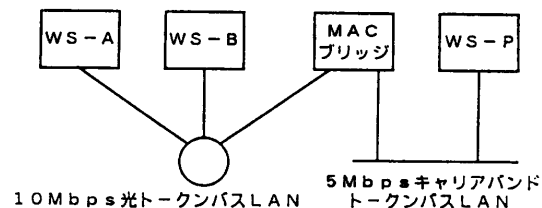


図 5 実験システム構成

Fig. 5 Experimental system configuration.

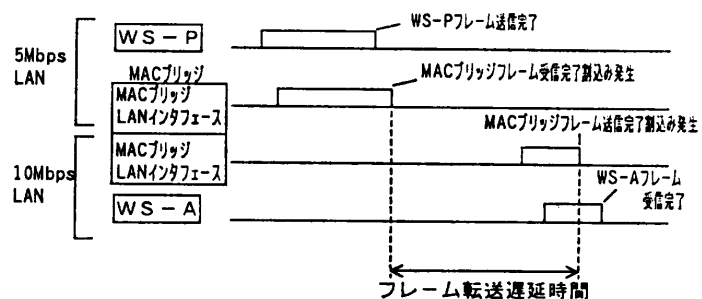


図 6 フレーム転送タイムチャート

Fig. 6 Timing chart of forwarding frame.

$$Nf = \sum_{j=1}^N (1 - P_j) = N - \sum_{j=1}^N P_j$$

となる。 $M=8,192$ 、 $N=1,024$ の場合、 $Nf=61.4$ となり登録できないステーションは、アクティブなス

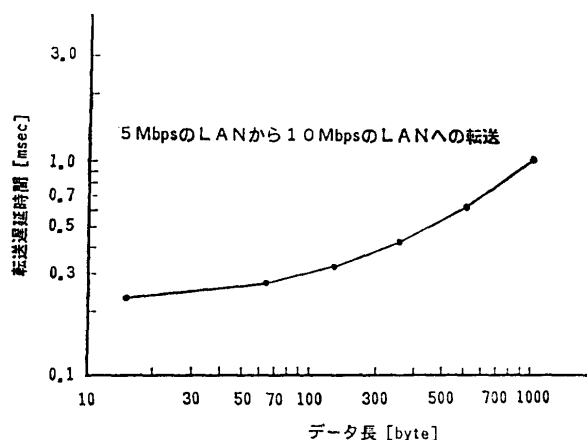


図 7 フレーム転送遅延 (実測)

Fig. 7 Frame Forwarding Delay (Measurement).

ーション全体の約 6% である。今、LAN のトラフィックが各ステーションに様に分散していると仮定する。この時、すべてが転送不要のフレームであっても、FDB に登録できないことによる不要なフレーム転送は、全体の 6% 程度であり実用上問題ないと考える。

6. おわりに

MAC ブリッジの一構成方式を提案し、IEEE 802.4 トークンバス LAN 間接続 MAC ブリッジのハードウェアを試作するとともに、性能を評価し提案方式の有効性を示した。

本論文では、フレーム転送遅延時間の短縮を図るためにメモリ結合・シングルプロセッサ方式を採用し、MAC アドレス検査・登録処理のハードウェア化を行った。これによりフレーム転送遅延時間を最小限にとどめるとともに、伝送速度 10 Mbps の LAN において、MAC サービスデータ単位長が約 400 バイト以上では、転送先 LAN の伝送容量がボトルネックとなる実用上十分なフレーム転送性能と、MAC サービスデータ単位長が約 450 バイト以上では、伝送速度 10 Mbps の 2 つの LAN の 100% 負荷に相当するフレームフィルタリング性能が得られた。

MAC アドレス検査・登録処理ハードウェアはハッシュ関数値を ROM に格納したハードウェアハッシング方式を採用することにより、簡単な回路で高速な検査・登録処理を可能にした。宛先 MAC アドレスの検査処理と発信元 MAC アドレスの登録処理のうち、ハードウェアの処理時間は各々 1 μ sec 以下である。これにより MAC アドレス検査・登録処理時間を、

ソフトウェアのみによるハッシュ方式の 1/2 以下にできる。

謝辞 おわりに、本研究を進めるにあたり、貴重な助言をいただいた(株)日立製作所大みか工場副工場長井手寿之氏、同工場計算制御システム設計部長安元精一氏、本研究の機会を与えていただいた当社システム開発研究所長堂免信義氏、同所第 4 部長大町一彦氏に深謝いたします。また、試作ブリッジの開発に協力いただいた方々に感謝いたします。

参考文献

- 1) Backes, F.: Transparent Bridges for Interconnection of IEEE 802 LANs, *IEEE Network*, Vol. 2, No. 1, pp. 5-9 (1988).
- 2) Soha, M. and Perlman, R.: Comparison of Two LAN Bridge Approaches, *IEEE Network*, Vol. 2, No. 1, pp. 37-43 (1988).
- 3) Salwen, H., Boule, R. and Chiappa, J. N.: Examination of the Applicability of Router and Bridging Techniques, *IEEE Network*, Vol. 2, No. 1, pp. 77-80 (1988).
- 4) Martini, P.: High Speed Bridges for High Speed Local Area Networks Packets per Second vs. Bits per Second, *Proc. of INFOCOM '89*, pp. 474-483 (1989).
- 5) Merakos, L. and Xie, H.: Interconnection of CSMA/CD LANs via an N-port Bridge, *Proc. of INFOCOM '89*, pp. 28-37 (1989).
- 6) Zitterbart, M.: A Multiprocessor Architecture for High Speed Network Interconnection, *Proc. of INFOCOM '89*, pp. 212-218 (1989).
- 7) 石原達夫, 児山正之, 大塚博一, 秋葉賢一: ローカルエリアネットワーク相互接続におけるアドレスフィルタリング/マッピングの一検討, 信学技報, SSE 86-31, pp. 19-24 (1986).
- 8) 児山正之, 西戸克彦, 鈴木晃二: LAN 間相互接続装置の検討, 信学技報, SSE 88-108, pp. 61-66 (1988).
- 9) 井田知幸, 渥美欣士: 光ループ型 LAN による支線 LAN の相互接続, 昭和 63 年電子情報通信学会秋季全国大会講演論文集, B-228, B-2-105 (1988).
- 10) 若林弘雄, 横田信成, 藤田勝美, 宮澤正幸: 階層化統合 LAN ブリッジングに関する一方式, 昭和 63 年電子情報通信学会秋季全国大会講演論文集, B-223, B-2-100 (1988).
- 11) 後藤英一, 井田哲雄: ハッシング・プロセッサ, 情報処理, Vol. 18, No. 4, pp. 395-401 (1977).
- 12) 西原清一: ハッシングの技法と応用, 情報処理, Vol. 21, No. 9, pp. 980-991 (1980).

(平成元年 9 月 29 日受付)

(平成 2 年 5 月 8 日採録)

**福澤 淳二 (正会員)**

昭和 32 年生. 昭和 55 年慶應義塾大学工学部計測工学科卒業. 昭和 57 年同大学院修士課程修了. 同年(株)日立製作所に入社. システム開発研究所にて, LAN, 分散システムに関する研究に従事. IEEE, ACM 各会員.

**寺田 松昭 (正会員)**

昭和 45 年岡山大学工学部電気工学科卒業. 同年(株)日立製作所入社. 以来, コンピュータネットワーク, 制御用分散処理システム, LAN の研究に従事. 現在, 同社システム開発研究所主任研究員. 著書「制御用計算機におけるリアルタイム技術」(共著). 電子情報通信学会, IEEE 各会員.

**溝河 貞生**

昭和 25 年生. 昭和 45 年宇部高専電気工学科卒業. 同年(株)日立製作所に入社. 現在大みか工場計算制御システム開発部主任技師. この間主として, 計算制御システムのハードウェアの開発設計に従事し, 通信, LAN および光関連の分野を担当. 電気学会, 電子情報通信学会各会員.