

網膜モデルに基づいた実時間動き検出機構の FPGA 実装
An FPGA Implementation of Real-time Motion Detection Scheme
Based on Retina Vision Model

内藤 健太郎[†]

Kentaro NAITO

山本 憲司[‡]

Kenji YAMAMOTO

中川 徹[†]

1. はじめに

近年、生体の視覚システムから学んだ画像処理に注目が集まっている。これらのシステムは高い並列性を持っており、実時間かつ低消費電力な処理が期待できる。そこで、本システムの応用として、車載システムや自律ロボットなどの独立型システムでの活躍も期待できる。実際、八木らによって網膜の順応機構を基に受容野の幅を可変としたビジョンチップが作成されている^[1]。本ビジョンチップでは、エッジ強調された画像と時間差分画像を得ることができ、それらを用いて後段の FPGA で運動方向検出を行える^[2]。ビジョンチップの最高処理速度より、この運動方向検出が達成できるフレーム速度は 200 fps 以下と考えられる。

ところが、本チップを車載カメラ内に用いた実時間の運動方向検出の報告はほとんどない。その理由として、実時間検出、特に周辺視での運動方向検出が困難なことが挙げられる。これはカメラ自身が動いていることと、物体が周辺に移っていくほど撮像素子に射影される物体の（見かけの）速度が上がるからである。そこで、我々は本問題を解決しうる動き検出機構を提案し、FPGA を用いてその実現を図っている。本提案機構は通常採用されるエッジ検出機構を持たず、物体の動き検出にのみ特化したものであり、周辺視においてさえも運動方向検出がより高速かつ高精度にて行えるものである。

2. RVM と動き検出機構

Retina Vision Model (RVM) は生体の網膜に学んだ視覚情報処理モデル名として命名されたものである。以下、本報告では RVM のうち動き検出に関する細胞をモデル化したものについて述べる。

図 1 は網膜モデルと動き検出のブロック図を描いた物である。

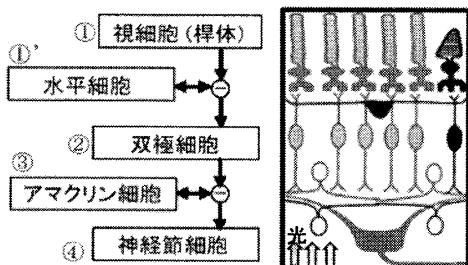


図 1 動き検出に関する網膜モデル。

図 1 中の①～④は以下の役割を担っている。

- ① 明るさ成分の抽出,
- ①' 明るさの抑制,

[†] 豊田工業大学, Toyota Technological Institute

[‡] (株)デンソー, DENSO

- ② 抑制後の明るさ信号を保持,
- ③ 明るさ信号の蓄積と抑制,
- ④ ②と③から明るさの時間的変化を求める（動き検出）。

図 1 の神経節細胞以降で運動方向推定を行っているものとしてモデル化を行う。

図 2 は RVM における運動方向の推定方法を示しており、RVM に基づく動き検出機構の動作例である。ただし、本動作例はオン反応（前時刻と比較して明るくなった場合に出力する反応）のみを利用して右方向への移動を推定する例である。

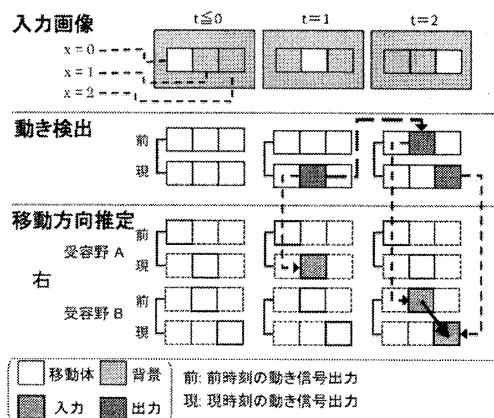


図 2 RVM に基づく動き検出機構の動作例。

動き検出部の出力には現時刻と前時刻の動き信号出力の 2 つがあり、これらが移動方向推定部の入力となっている。移動方向推定は時空間フィルタによって実現している。すなわち、図 2 において、2 時間間で隣接する口に動き信号入力が来ている場合、移動方向を推定する構造になっている。実際の RVM ではオフ反応（前時刻と比較して暗くなった場合の反応）も用い、上下左右の推定も行っている。

ここでさらに、上記の流れについて具体的な説明をする。 $t \leq 0$ 時には物体は移動していないので動き検出部において動きは検出されず、従って、移動方向推定部においても受容野 A, B 共に移動方向が推定されない。 $t=1$ において物体が右へ移動するため動き検出部では動きが検出されるが、まだ移動方向推定部では移動方向は検出できない。 $t=2$ においてさらに右へ移動することで動き検出部では隣接する口に動き信号出力が現れ、移動方向推定部では受容野 B にて右方向を推定する。

次に図 3 を用いて、複数の画素領域を占める物体が動いた際の RVM の動きを簡略的に述べる。(a)に示す図のように $t=0$ から $t=2$ にかけて移動する物体があるとする。この物体の動き信号出力は(b), (c)のように得られ、移動方向推定は(b)と(c)の動き信号出力を重ね合わせた(d)のようになる。従って、(d)からわかるように前時刻と現時刻の動

き信号出力間に重なりがあれば、フレーム間で移動物体が大きく動いても移動方向出力を従来に比べてより高精度にて求めることができる。

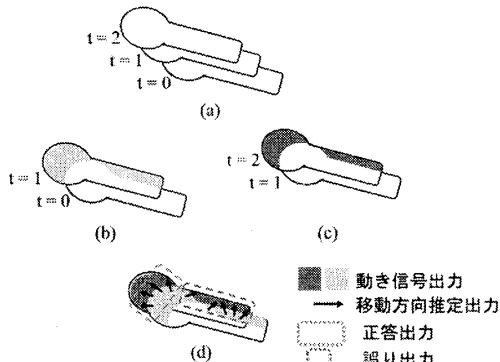


図3 フレーム間で重なりのある移動物体に対するRVMの動き検出例.

3. FPGA 実装

FPGA 上に実装したブロック図を図4に示す。入力信号は $N \times N$ の 8-bit グレースケール画像としている。ただし、図4はオン反応を用いて動き検出をし、左右の移動方向推定を行う部分のみを示している。本来の RVM はオフ反応に対しても動き検出を行い、上下の移動方向の推定も行う。従って、動き検出回路を 2つ、移動方向推定回路を 4つ持つことになる。また、移動方向推定回路の出力が 2-bit パスになっているのは、右方向、左方向、動きなし、方向不明の計 4つの結果をエンコードしているからである。

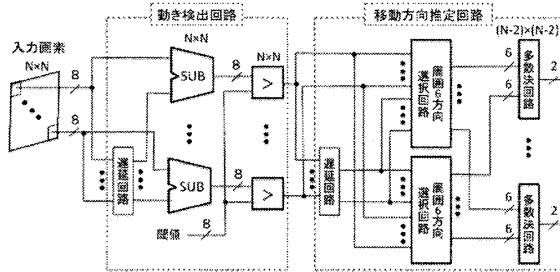


図4 FPGA 上に実装した動き検出機構の構成.

FPGA 上での動き検出機構の処理について説明する。図4の左側に示す動き検出回路の遅延回路と減算回路(SUB)を用いることで、入力画素の輝度信号値から各画素における輝度の時間差分を求める。この差分が閾値以上の場合は動き信号と判断する。以下、図4の右側に示す移動方向推定回路を前時刻と現時刻の 2つの動き信号出力(図2)で説明する。すなわち、前時刻の動き信号出力があった場合にのみ現時刻の動き信号出力を数え上げる方法で移動方向推定を行う。具体的な数え上げ方法は、周囲 6 方向にある動き信号出力を右方向へ移動したと見なせる信号出力と左方向へ移動したと見なせる信号出力とで分けて数え上げる。同様に、現時刻の動き信号出力があった場合にのみ前時刻の動き信号出力を数え上げる。多数決回路によって多数決を取り、左右の移動方向を推定する。

RVM の動き検出機構を FPGA 上へ実装した場合の回路規模を試算するため Xilinx の ISE WebPACK 11.1 (以下、ISE 11.1) を用いてシミュレートした。RVM は局所的な処理をするため、各画素に対して並列処理をすることができる。

この特性を活かし、FPGA 上でも並列処理を行うことを前提とする。図5に入力画素数と実装に必要な LUT の関係を示す。シミュレーション実験では XC3S400A と XC5VLX50 上に提案する動き検出機構を実装した。また、XC5VLX50 の結果から得られた近似線上に XC6VLX760 (Vertex6 の最上位モデル) を用いた場合の最大入力画素数を LUT 数から推定した。尚、本動き検出機構の特性上、入力画素数 $N \times N$ に対して移動方向推定回路の出力は $(N-2) \times (N-2)$ である。

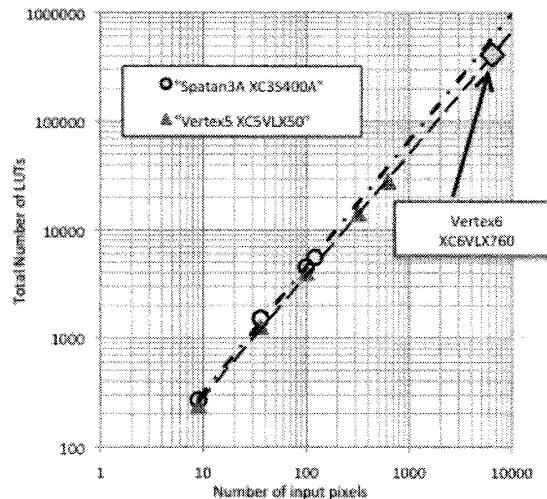


図5 入力画素と LUT 数の関係(ISE 11.1による測定).

実験の結果、XC3S400A であれば 10×10 程度、XC5VLX50 であれば 25×25 程度の入力画素数を実装できることがわかった。XC6VLX760 を用いれば 70×70 程度の入力画素数を処理できることも判明した。図4からもわかるように入力画素が 8-bit であることが回路規模の増大に最も影響を与えている。現状の設計では、FPGA 上の動き検出機構は 3ステップで 1フレーム全ての処理を行うことができる。従って、30 kHz のクロックで 10,000 fps の動画像を実時間で処理できる。このことから、解像度の高い画像を 70×70 級の入力画素に分割して逐次処理しても実時間で処理できると言える。

4. 終わりに

本報告では動き検出に特化した移動方向推定機構とそのハードウェア実装について報告した。すなわち、提案機構を FPGA に実装した場合、 70×70 程度の入力画素を 3 クロックで処理できることが判明した。また、30 kHz という低クロックで 10,000 fps の動画像を処理可能であることも示した。今後の課題として、①高フレームレートでの動画撮影ができるカメラと提案機構を持つ FPGA と接続すること、②実時間処理性能を評価すること、③車載システムとしての評価をすることなどが挙げられる。

参考文献

- [1] 八木哲也、亀田成司、飯塚邦彦、"可変受容野を備えた超並列アナログ知能視覚センサ," 電子情報通信学会論文誌 D-I, vol. J81-D-I, No. 2, pp. 104-113, (1998).
- [2] 亀田成司、八木哲也、"生体網膜の時空間微分機能を模擬したシリコン網膜の開発," 信学技報, IE2002-20, pp. 19-24, (2002).