

特定用途向け動的再構成回路の演算器精度最適化に関する研究

A Study of Bit-width Optimization of Execution Units
on Simplified Dynamically Reconfigurable Circuit小椋 清孝† 森下 賢幸† 佐々木 伸夫†
Kiyotaka Komoku Takayuki Morishita Nobuo Sasaki

1. まえがき

現在、我々は FPGA 上への実装を想定した特定用途向けパイプライン回路構成型動的再構成回路について検討を行っている[1-2]。これは、MPEG などのようないくつかの処理ステージから構成されるアプリケーションについて、各ステージのパイプライン処理回路を再構成して処理を行うというものである。各パイプライン処理回路はあらかじめ決められた再構成演算器（加減算器、乗算器、カウンタ、レジスタ、論理演算、メモリユニットなど）を組み合わせるという点では既報告のいくつかの動的再構成回路と同じである[3]。ただし、配線決定のためのスイッチ等を削減するために、各再構成演算器間を接続する配線は、処理回路を構成するために必要最低限量にしており、アプリケーションに特化した配線構成としている（図1）。現在、この動的再構成アーキテクチャを MP3 復号処理に適用して回路構成等の検討を行っているが、これまでの実装では、再構成演算器はすべて 32 ビットの演算精度をもつもののみで構成してきた。FPGA 上の限られた設計資源を有効に利用するためには、各演算器についてもアプリケーションに応じて最適化が必要がある。

そこで、本研究では、再構成回路を構成する各演算器について、これまでのように精度一律ではなく、いくつかの演算精度用の演算器を選択可能にして最適化を行うこととし、精度解析および回路生成に必要な各種ソフトウェアの開発・改良を行った。適用例として、MP3 復号処理のいくつかの処理ステージを選び、開発した精度解析ソフトウェアにより、これらの再構成処理時に要求される再構成回路上の演算器の精度分布を求めた。

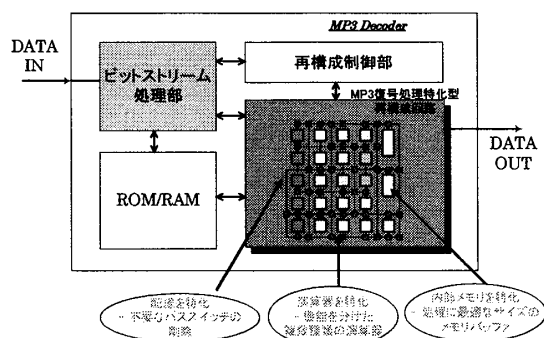


図1 特定用途向けパイプライン回路構成型動的再構成回路 (MP3 復号処理構成)

2. 再構成演算器の精度最適化

2.1 精度解析ソフトウェア

本研究で扱う特定用途向けパイプライン回路構成型動的再構成回路は、実装を行う対象のアプリケーション処理をいくつかのパイプライン処理回路に分解し、それらを動的再構成により逐次構成して処理を行うというものである。また、FPGA という書き込み可能なデバイスを実装基盤とするため、対象とするアプリケーションごとに、回路構成決定ソフトウェアを用いてそれぞれ独自の回路構成を決定して設計データの自動生成を行う。現状では、この回路構成に用いる再構成演算器が 32 ビット精度のもののみ用いるという形であった。回路上のいくつかの部分では、32 ビット以下の、例えば 8 ビット程度の演算のみを行っている部分もあり、この点で回路のオーバーヘッドになっている。そこで、実装するアプリケーションにおいて各演算器に要求される演算精度を調べることを目的とする、精度解析ソフトウェアを作成した。

このソフトウェアは、動的再構成を行う各パイプライン回路の回路データを入力として、回路を構成する各演算器に必要な演算精度の一覧を出力するものとなる。今回作成したバージョンにおいては、回路構成決定ソフトウェアで用いられる、演算器間の配線データ（再構成回路構成決定のプロセスで自動的に生成される）を回路構成の入力データとして用い、入力段でのデータ精度（値の範囲）は別データの形で与えることとした。

2.2 実行結果

MP3 復号処理の一部(エイリアシング～IMDCT)を解析対象とした結果を示す。まず、再構成で実行する場合の再構成の流れ、およびこのときに構成する対象回路の構成図の一例を図2および図3に示す。

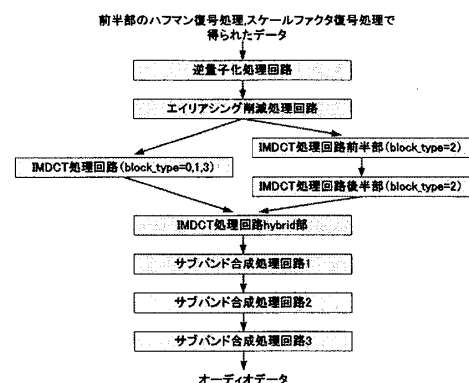


図2 動的再構成による MP3 復号処理フロー

† 岡山県立大学 情報工学部

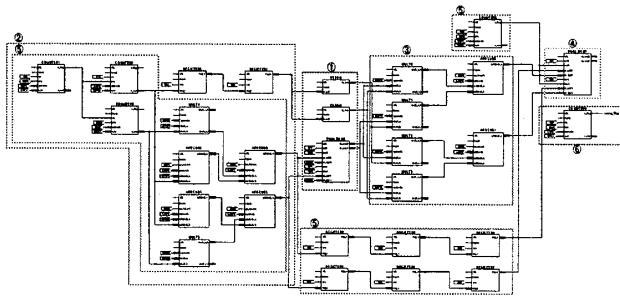


図3 再構成処理回路(エイリアシング削減処理回路)

これらの回路データを2.1節の精度解析ソフトウェアに与えて、各回路の演算器の必要精度のプロファイリングを行った(表1~3)。

この結果から、これらの回路を再構成する場合に必要な演算器の精度と個数が決定可能である(表4)。基本的に、「大は小を兼ねる」ため、精度の大きな演算器が余っていれば、それ以下の精度の演算器として用いるように割り振られる。演算器の精度をもっと細かく分けた場合でも同様にして必要演算器数を決定することが可能である。従来の、32ビット演算器のみを用いた場合では、加減算、乗算、カウンタ、レジスタはそれぞれ、8,9,28,14個必要となる。表4との比較により、回路規模をかなり削減できることが期待できる。

3. 構成決定ソフトウェアの改良

我々の動的再構成回路の設計情報(VHDLソース)は、回路構成決定ソフトウェアを用いてアプリケーションの情報(回路構成)を元に生成される。今回の検討により、同種の演算器でも異なる精度のものが存在することになったため、回路構成決定ソフトウェアにいくつかの割付ルールを組み込んだ。基本的には演算精度の大小による包含関係のルール化であるが、より大きな演算器を割り当てる場合に必要の符号拡張について、入力データの正負符号の有無(signed, unsigned)により異なる対応を行うなどのいくつかの細かいルールについても付加する必要があった。

これにより、精度解析の結果を再構成回路生成へ反映することが可能になった。

4. まとめ

動的パイプライン型再構成回路の小型化・高効率化を目的として、再構成回路上の演算器精度の最適化手法について検討を行い、最適化を行うために必要なソフトウェアの作成・改良および実際にMP3復号のいくつかの処理について適用を行った。今回の適用例については、本手法による動的再構成部の回路規模削減への有効性が見られた。

今後は、本手法を用いていくつかのアプリケーションに対して詳細に解析を行い、その結果を用いて再構成回路の実装を行っていく予定である。

参考文献

- [1] K. Komoku, T. Morisita and T. Ohzone, "Simplified reconfigurable circuit for MP3 decoder," Proc. ITC-CSCC 2005, pp. 567-568, 2005.
- [2] K. Komoku and T. Morishita, "Hierarchical Structure of Dynamically Reconfigurable Circuit for MP3 Decoder," Proc. ITC-CSCC 2007, pp., Busan, July 2007.
- [3] 末吉敏則, 天野英晴, リコンフィギャラブルシステム, オーム社(2005)

表1 IMDCT処理回路前半部の精度プロファイル

IMDCT処理回路 (blocktype=2) 前半部	加減算	乗算	カウンタ	レジスタ
~4bit	0	0	10	0
~8bit	0	0	17	0
~16bit	6	5	1	0
~32bit	1	0	0	4

表2 IMDCT処理回路後半部の精度プロファイル

IMDCT処理回路 (blocktype=2) 後半部	加減算	乗算	カウンタ	レジスタ
~4bit	0	0	7	0
~8bit	3	4	8	14
~16bit	4	2	1	0
~32bit	1	3	0	0

表3 エイリアシング削減処理回路の精度プロファイル

エイリアシング 削減処理回路	加減算	乗算	カウンタ	レジスタ
~4bit	0	0	2	2
~8bit	2	0	2	0
~16bit	2	2	1	6
~32bit	2	4	0	0

表4 表1~3の再構成に必要な演算器

動的再構成回路	加減算	乗算	カウンタ	レジスタ
~4bit	0	0	10	0
~8bit	1	3	17	4
~16bit	5	2	1	6
~32bit	2	4	0	4