

C-012

粗粒度動的再構成回路への CPU 再構成面の実装 Implementation of a CPU Reconfigurable Plane on Coarse Grain Dynamically Reconfigurable Circuit

小椋 清孝†
Kiyotaka Komoku

森下 賢幸†
Takayuki Morishita

1. まえがき

現在、様々な動的再構成回路が研究、報告されている。これらのアプリケーションの一つとして動画・音声等のメディア処理があるが、メディア処理は、逐次処理部分と、並列化が可能な大量の繰り返し処理の部分とで構成される。このうち、繰り返し処理部を再構成回路部で効率的に処理することによって高い演算性能を出している。

一方、逐次処理部分は動的再構成回路に外付けされた CPU 上で行われることが多いが、全体の処理量を考えると逐次処理を並列で行う必要がないケースも考えられる。そこで、CPU 自体を再構成回路で構成し、逐次処理を再構成回路で行う方法について検討を行なった。

2. 粗粒度動的再構成回路と逐次処理

一般に、動的再構成回路は、多数の再構成演算ユニットとそれらを結合するバスネットワークとで構成される。再構成演算ユニットは与える構成命令を変更することでその機能を変更することができる。また、バスネットワークには多くのバススイッチが含まれて様々な配線が構成可能となっており、これにより任意の再構成演算ユニット間を接続してパイプライン処理回路を構成できる。また、バススイッチに与える構成命令を変更することで回路構成の変更が可能となり、以前とは異なるパイプライン処理回路へ回路構成の変更を行うことができる。

マルチメディア処理向けの動的再構成回路では、粗粒度の演算ユニットによるパイプライン処理・並列処理により演算性能を向上するものが多く、これらの演算ユニットによる逐次処理部分の実装は性能が出にくい面がある。

多くの動的再構成回路では外部に CPU を接続しており、逐次処理はこの CPU で実行される (図 1(a))。外部 CPU は再構成回路の制御にも用いられるのが普通であり、再構成回路は CPU の外部アクセラレータとして用いられている形となる。このような CPU+再構成回路という構成の場合、CPU での実行時間が再構成回路の実行時間よりも非常に長くなる場合がある。再構成回路が動作しているのは短い時間だけであり、残りの CPU が動作している間は無駄に存在することになる。

そこで、本研究では、全体の回路規模をより小型にするために、CPU を動的再構成回路上で構成して逐次処理を実行する手法について提案する (図 1(b))。提案法では動的再構成部は常時使用され、外部 CPU は不要となる。

3. 特定用途向け動的再構成回路アーキテクチャ DRoMPA

DRoMPA(Dynamic Reconfiguration-Oriented Media Processing Architecture) は、現在我々が研究を行なっている FPGA 実装をターゲットとした音声・動画等のメディア処理向けの特定用途粗粒度再構成回路のアーキテクチャである [1]。特徴は、

- ・FPGA 上への実装を目的とした動的再構成回路のアーキテクチャ
- ・可能な限り冗長な回路部分を削減
- ・動的再構成により必要な粗粒度パイプライン処理回路を逐次構成しながら処理を行う

などである (図 2)。回路再構成技術により、小規模な FPGA へのアプリケーション回路の実装を可能とすることを目的としている。再構成部には、再構成演算ユニットと

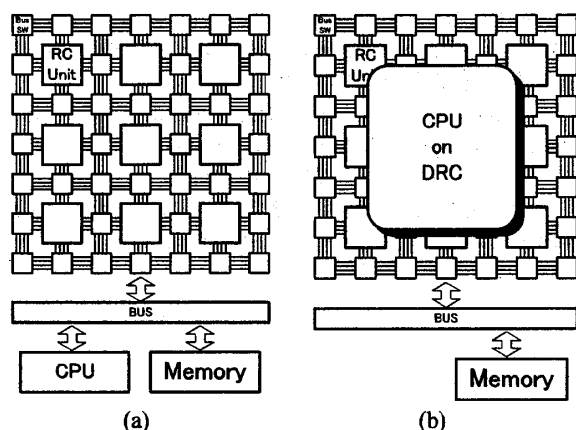


図1 再構成回路と CPU の構成 (a)一般的な動的再構成回路 (b)再構成回路上での CPU 構成

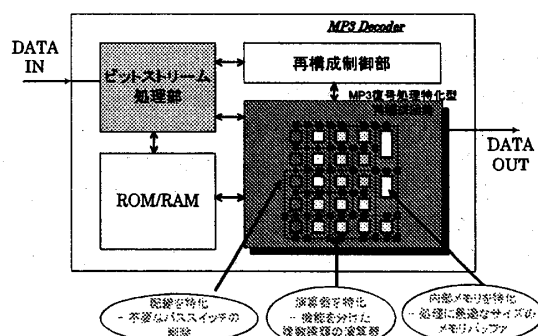


図2 DRoMPA に基づく再構成回路の例 (MP3 デコーダへの応用例)

†岡山県立大学情報工学部

して、加減算、乗算、ロジック・シフト、カウンタ、レジスタ、メモリ等の各ユニットを配置し、これらを接続することでパイプライン処理回路を形成する。必要に応じてこの接続を切り替えることで複数の処理回路を形成可能にするが、本アーキテクチャでは、アプリケーションで実装する回路のみが構成可能になるように配線する。逆に言えば、再構成部は、再構成を行って実行される各処理回路を適切に重ね合わせる操作を DRoMPA 開発ツール上で行なうことで、その構成（各再構成演算ユニットの数や配線構成）が決定される。つまり、一種の資源共有型回路ともいうことができる。

現時点の DRoMPA 開発ツールでは、再構成を行う各処理回路の VHDL ソース（再構成演算ユニットを用いて設計）を入力とすることで、各再構成演算ユニットへの割り当ての最適化を行い、再構成演算部の VHDL ソースを出力として得ることができる。

4. 再構成回路上的 CPU

実装する CPU のアーキテクチャは、文献[2],[3]による 5 ステージ構成（図 3）とした。ただし、今回の実装では、再構成時のレジスタ内容の保持や使用するメモリ数の削減などを考慮し、図 4 に示す形にしてマルチサイクルで実行させることとした。ここで、2-port Memory は再構成回路上のメモリユニットを使用する。また、ALU 内に実装する加減算器、乗算器についても同様に再構成回路上の各演算ユニットを使用する。これら以外の命令デコード等の各種の制御に関するロジック部分については、個別に設計し、CPU 構成面専用回路として実装することとした。DRoMPA の再構成回路は粗粒度のパイプライン処理回路用の演算器しか持たないため、これを用いて制御系の処理回路を構成することが困難なためである。

このようにして準備した CPU の設計データと、再構成で行なう処理の設計データを DRoMPA 開発ツールに与えることで、CPU 面を含んだ DRoMPA 再構成回路部を生成できる。DRoMPA 開発ツールは各再構成演算ユニットの「重ね合わせ」を最適化するだけなので、今回検討した以外の CPU 構成（例えば SIMD 型 CPU など）でも、設計データさえあれば原理的に利用可能である。

5. 関連研究

文献[4]では、4 個の ALU などから構成されるタイルという基本要素を持つ ALU アレイに対して、本研究と同様のアプローチを行ない、実際に LSI の設計を行なった結果が報告されている。各タイルについてプロセッサの機能を持たせるように回路を付加させることで、プロセッサモードと ALU アレイモードとを切り替えて使用できるようにしている。

6. まとめ

粗粒度動的再構成回路へ、再構成面の一つとして CPU 構成面を実装し、そこで逐次処理を行う方法について検討を行った。

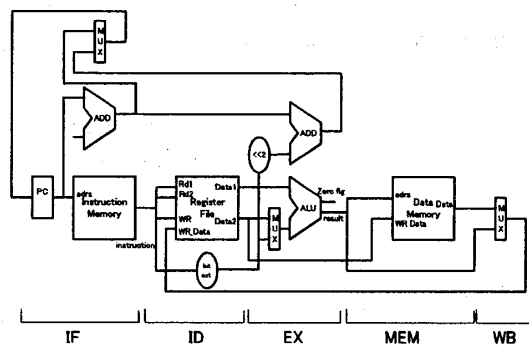


図3 CPUアーキテクチャ（5ステージ）

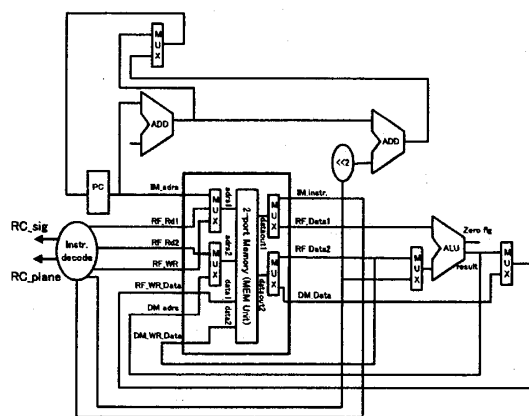


図4 実際の実装構成

参考文献

- [1] K. Komoku and T. Morishita, "Hierarchical Structure of Dynamically Reconfigurable Circuit for MP3 Decoder," Proc. ITC-CSCC 2007 (The 22nd Int. Tech. Conf. on Circuits/Systems, Computers and Communications), pp., Busan, July 2007.
- [2] D.A.Patterson and J.L.Hennessy, コンピュータの構成と設計 第2版, 日経 BP 社 (1999).
- [3] J.L.Hennessy and D.A.Patterson, Computer Architecture a Quantitative Approach, Morgan Kaufmann
- [4] 神山真一, 廣本正之, 越智裕之, 中村行宏, プロセッサモードを組み込んだ ALU ベース動的再構成デバイス, 信学技報, vol. 107, no. 419, RECONF2007-74, pp. 59-64, 2007.