

NEDO-2

システムオンチップ先端設計技術 Advanced Design Technology for System-on-a-Chip

吉田 憲司†
Kenji Yoshida

村岡 道明†
Michiaki Muraoka

1. まえがき

システム LSI は、21 世紀の高度情報化社会においては我々の身の回りのあらゆる機器に使われ、日常生活に不可欠なものとなる。そして、半導体製造技術の進歩によりその機能はますます高度化し、文字通りシステムオンチップ (SoC: System-On-a-Chip) が一般的になる。このような SoC を支える基盤技術としては半導体製造プロセス技術とともに SoC 設計技術が重要である。製品サイクルの短縮化により、多品種の SoC を短期間に設計する要求が強まる反面、SoC の大規模・複雑化により設計の困難さは急激に増す。2010 年には 1 億論理ゲート相当を 1 チップに集積することが可能になり、現状の設計技術改善では到底間に合わず、いわゆる「設計生産性の危機」が指摘されている[1]。

このような課題を解決するために、従来人手設計に頼っていた SoC 設計の最上流工程の自動化を進め、かつ設計の再利用を進めることにより、設計生産性の向上を図ることが重要である。このため、NEDO プロジェクト「システムオンチップ先端設計技術の研究開発」では、V コア (Virtual Core) の概念を導入することにより、設計の最上流領域における設計再利用技術を確認し、最上流領域の設計を自動化を進めるための技術を研究開発する[2]。

2. プロジェクトの概要

(1) プロジェクトの目標

V コア (Virtual Core) の概念を導入し、最上流工程の設計自動化と再利用推進により、2005 年に 2000 年に比べて 20 倍の設計効率向上を目指す。より具体的には設計生産性 1 億トランジスタ/人年 (再利用率 90% 換算) に相当する技術を開発する。

(2) 研究開発テーマ

V コア概念を確立するとともに、V コア概念に基づく設計システムのプロトタイプを開発することにより、これらの技術の有効性を実証する。このため以下のような研究テーマを設定した。

① V コアベース設計技術の研究開発

設計工程を一貫して支援する V コアベース設計システム (VCDS) のプロトタイプを開発する。

② V コアデータベースの研究開発

V コア開発のための支援ツール、検証技術、および V コアデータベース技術を開発するとともに、具体的な V コアを開発し V コアデータベースに登録する。

より具体的な内容は 3.2 で述べる。

(3) 研究開発体制

本 NEDO プロジェクトは(株)半導体理工学研究センター (STARC) が担当し、そのメンバ会社である 12 の国内半

導体メーカーから出向した技術者が中心となって本プロジェクト遂行に当たっている。また一部の研究は大阪大学、九州大学、奈良先端科学技術大学にそれぞれ再委託している。

(4) 研究開発スケジュール

本プロジェクトは H12 年 9 月から H17 年 3 月までの計画で、最初の 2 年で機能限定版のプロトタイプを開発し、後の 2 年間フル機能版プロトタイプを開発し、最後の 1 年間にベータサイトを含めた評価を行う。

3. VCDS の主要技術

3.1 V コアとは

SoC の上位設計レベル (システムレベルやアーキテクチャレベル) における再利用可能な基本機能要素で、一般的な IP (RT レベル) との違いは、より上位の抽象度レベルで表現し、内部機能やインタフェースが可変であることである。

(1) 機能 V コア: システムレベルの設計で用いる V コアである。SoC を構成する機能仕様が記述された機能要素であり、ハードウェア/ソフトウェアが未分割である。

(2) ハード V コア: アーキテクチャレベルの設計で用いる V コアである。ハードウェアで実現する機能要素を動作レベルで記述したものであり、RT レベルの設計資産 (いわゆる IP) の上位概念である。機能の実現方法、インタフェースおよび内部構造が再構成可能であり、性能、規模、消費電力などの予測を可能とする。

(3) ソフト V コア: アーキテクチャレベルの設計で用いる V コアであり、ソフトウェアで実現する機能要素を汎用的なソフトウェア言語 (C、C++ など) で記述したものであり、組み込みソフトウェアの上位概念である。機能の実現方法や内部構造が再構成可能であり、性能、規模、消費電力などの予測を可能とする。

3.2 VCDS の主要技術

VCDS はシステムレベルとアーキテクチャレベルでの各種設計自動化技術をシステム化したものであり、図 1 に全体の主要技術を示す。研究テーマとしては以下の 6 つから構成される。

(1) システム仕様定義技術

システムレベルで SoC の機能を定義するための技術である。GUI やシステム記述言語により機能 V コアを使用して SoC の機能を記述し、その検証を行うとともに、他とのインタフェースを可能とするシステムレベルのモデルを生成する。

(2) アーキテクチャ生成技術

システムレベルモデルを入力し、ハードウェア/ソフトウェアのトレードオフを行う。すなわち、CPU、命令セットの選択、それに適当なハード V コアあるいはソフト V コアの選択を行い、最適なアーキテクチャを生成する。また

† (社) 電子情報通信学会, IEICE

‡ (社) 情報処理学会, IPSJ

インタフェース方式、テスト方式の決定、性能予測、アーキテクチャレベルの検証などを行う。

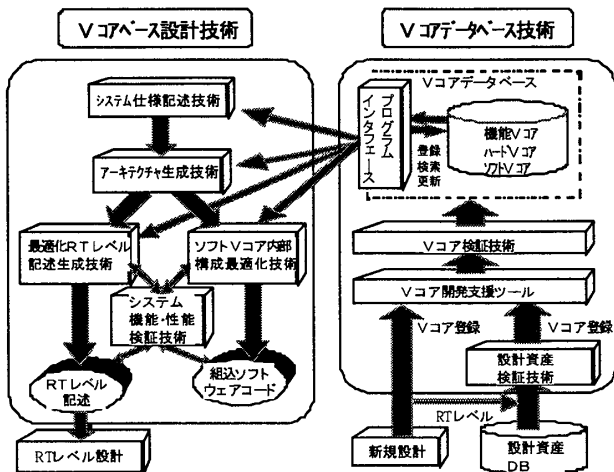


図1 VCDSのシステム構成

(3) ハードVコア生成技術

各種のハードVコアおよびそのインタフェースについて、その動作記述から最適なRTレベル記述を生成する。本技術には、プロセッサコアの生成や専用ハードウェアの合成(高位合成)およびハードウェア間のインタフェースの生成も含まれる。またハードVコアの性能予測を可能とする。

(4) ソフトVコア生成技術

選択されたCPUにもとづき、対応するOSの選択を行うとともに、コンパイラの生成やタスク割り付け等を行う。各種のソフトVコアおよびそのインタフェースについて、その汎用的なソフトウェア記述からCPUやOSに依存した記述を生成する。さらにハードウェア/ソフトウェア間のインタフェースの生成も行う。またソフトVコアの性能予測を可能とする。

(5) システム機能性能検証・テスト容易化技術

アーキテクチャレベルでのHW/SW協調検証およびテスト容易化技術から構成される。HW/SW協調検証技術は、アーキテクチャレベルでの高速な機能検証・性能評価を可能とするシミュレーションの技術を確立する。テスト容易化技術としては、SoCのテスト実行時間を大幅に短縮することを目標として、Vコア内およびVコア間のテスト容易化を行う。

(6) Vコアプラットフォーム技術

各種Vコアが格納されるVコアデータベースを核として、Vコア開発支援ツール、Vコア性能予測技術、物理データインタフェースおよび設計ユーティリティなどにより、Vコアプラットフォームが構成される。Vコアデータベースは、種々の新しい機能を持つVコアを効率的に登録し、検索できるように開発されたデータベースである。Vコア開発支援ツールは、新規にVコアを開発したり、既存Vコアの改変を行う作業を簡単に行えるようにするツールである。Vコア性能予測技術は、物理インタフェースにより得られる下位の物理パラメータを用いて、Vコアの性能、規模、消費電力を予測する技術である。本プラットフォームを使用することにより、Vコアの開発やSoCの開発の効率を大幅に工場することができる。

以上に示すように、VCDSには各種の設計自動化の要素技術が統合されており、これによりVコアベースの新しい設計フローを実現することによって、将来のSoC設計の効率を大幅に向上することを目指している。また、これらの研究開発テーマの推進と並行して、具体的ないくつかの応用分野について、必要な基本Vコアを整備するとともに、実際のSoCを設計することにより、本手法の有効性を実証することも進めている。

4. これまでの主要開発成果

本プロジェクトは平成12年度から開始し、約2年を経過したところである。これまでの成果としては、まず、Vコア概念とモデリング技術を確立し、Vコア作成のガイドラインを作成し、Vコアデータベースを構築した。また、Vコアベース設計システム(VCDS)の基本システム(機能限定版プロトタイプ)の開発を完了するとともに、各サブシステムの基本的な機能、例えばアーキテクチャ生成やインタフェース生成の技術を開発した。これにより新設計フローを具体的に提示するとともに、いくつかの機能についてデモンストレーションができるようになった。さらに、これまで開発した技術を用いて、ウェアラブルコンピュータ・チップの設計の試行を行った。その結果、従来設計手法に比べて、再利用率約90%で約4.6倍の設計効率向上が確認できた。

5. あとがき

以上、本プロジェクトの概要について述べたが、今後の課題としては、現在の限定機能をフル機能に拡充するとともに、自動化や設計最適化の程度を向上し実用性を増すことが重要である。また本システムを産業界で実用化するためには、Vコアライブラリの整備とツールのサポート体制の確立が必要であり、この面にも注力して行きたい。前者については、基本的なVコアライブラリの整備を行う予定であるが、特徴ある機能のVコアが産業界や大学で広く作られるようになることを願っている。また後者については、EDAベンダーの事業として保守・サポートされる体制が望ましいと考えている。

本研究開発は新エネルギー・産業技術総合開発機構(NEDO)から委託された研究であり、この機会を与えて頂いた関係機関各位に厚く感謝いたします。また、各大学および産業界の関係各位からは有益な技術討論と様々な形のご支援を頂きました。厚く感謝いたします。

[参考文献]

[1] "International Technology Roadmap for Semiconductors 1999 Edition", SEMATECH(1999).
 [2] 村岡道明, "次世代 SoC のシステムレベル設計手法", 情報処理学会 DA シンポジウム 2001, pp.89-94(2001.7).

以上