

書換え可能な LSI による可変構造型相互結合網の実現法†

末 吉 敏 則†† 梶 野 公 平†††* 有 田 五 次 郎††

多数のプロセッサを利用して高速処理を行う高並列処理システムでは、プロセッサ間における交通路となる相互結合網の結合形態と並列プログラムの処理形態との適合性がシステムの性能を左右すると言っても過言ではない。このため、応用プログラムに応じて柔軟に結合形態を変えられる可変構造型並列計算機の開発が期待されている。本稿では、そのような可変構造型並列計算機を実現する際の鍵となる相互結合網として、書換え可能な LSI の一種であるフィールドプログラマブル・ゲートアレイ (FPGA) を利用して従来にない可変性を実現した可変構造型相互結合網について述べる。つまり、ここで提案する可変構造型相互結合網は、格子網や超立方体網のように入出力間の結合があらかじめ固定されている静的網と、ベースライン網やオメガ網のように要求に応じて実行時に結合が決まる動的網を、いずれもシミュレーションでなく直接に実現できる。この特徴により、この可変構造型相互結合網を採用した並列計算機上で応用プログラムを実行する際には、処理に伴う通信パターンに最適な結合形態の相互結合網を適応的にプログラム設定することが可能となる。

1. はじめに

VLSI 技術の発展を背景に、多数のプロセッサを同時に使用して高速な演算処理を行う高度並列処理方式が、計算機の性能向上の手段として極めて重要になってきた^{1)~3)}。高度並列処理システムでは、プロセッサ間の交通路となる相互結合網がシステムの性能を左右すると言っても過言ではない。一般に、並列処理システムの結合形態は解くべき問題の処理形態と表裏一体の関係にあり、両者が適合している場合には所望の性能が得られるが、適合していない場合には性能が著しく低下する⁴⁾。その結果、固定的な結合しか許さない従来の相互結合網では、並列処理システムの結合形態に合った応用分野にシステムの適用を限定せざるを得ないのが現状である。また、プログラム作成に際しても利用者はシステムの結合形態を常に意識しなければならないという弊害もある。このため、応用に応じて結合形態を変えられる柔軟な相互結合網を持つ可変構造型並列計算機の実現が期待されている。

本稿では、可変構造型並列計算機を実現する際の鍵となる相互結合網として、格子網や超立方体網のよう

に入出力間の結合が始めから固定されている静的網とベースライン網やオメガ網のように要求に応じて実行時に結合が決まる動的網⁵⁾を、いずれもハードウェアレベルで直接に実現できる新しいタイプの可変構造型相互結合網について述べる。従来の可変構造型相互結合網の実現例には、SIMD 計算機用として最大 1,024 通りの結合パターンを切り換えて応用に最適な相互結合網をシミュレートする並列計算機 GF-11 の Memphis 網 (米国 IBM 社 T.J. Watson 研究所)⁶⁾ や、MIMD 計算機用としてビットシリアル通信リンクの様々な結合パターンを設定できるようにしたトランスピュータ用の C 004 クロスバスイッチ (英国 INMOS 社)⁷⁾ などがある。最近では、クロスバ網を基にした可変構造型相互結合網を用いて様々な結合形態をシミュレートできる可変構造型並列計算機 (九州大学) も開発されている^{8), 9)}。これに対し、本稿で報告する可変構造型相互結合網は、MIMD 計算機におけるプロセッサの非同期動作を考慮し、オーバーヘッドが大きくなる時分割シミュレーションではなく、静的網でも動的網でも所望の結合形態そのものをプログラムによって直接実現できるという、従来にない可変性の特徴とする。

以下、第 2 章ではこの可変構造型相互結合網の構成要素について述べ、第 3 章では実装可能とするための開発戦略と可変構造型相互結合網の構成について述べる。また、第 4 章では可変構造型相互結合網上に多様な結合形態をどのように実現するか写像戦略について述べ、静的網および動的網の写像例を示す。そして、第 5 章では応用からの要求に応じて結合形態を変更するための制御機構について言及し、第 6 章でこの可変

† An Approach to Realizing a Reconfigurable Interconnection Network Using Field Programmable Gate Arrays by TOSHINORI SUEYOSHI (Department of Artificial Intelligence, Faculty of Computer Science and Systems Engineering, Kyushu Institute of Technology), KOUHEI HANO (Department of Electrical, Electronic and Computer Engineering, Faculty of Engineering, Kyushu Institute of Technology) and ITSUJIRO ARITA (Department of Artificial Intelligence, Faculty of Computer Science and Systems Engineering, Kyushu Institute of Technology).

†† 九州工業大学情報工学部知能情報工学科

††† 九州工業大学工学部電気工学科

* 現在 京セラ

Current affiliation Kyocera Inc.

構造型相互結合網の実現性について考察する。最後に、第7章で簡単にまとめる述べる。

2. 可変構造型相互結合網の構成要素

まず最初に、静的網と動的網のそれぞれにおいて多様な結合形態を実現するための要件を整理し、この両方をサポートする可変構造型相互結合網を構築するための構成要素について述べる。

2.1 可変構造を実現するための要件

静的網の場合、プロセッサ要素間は固定リンクで接続されており、静的網の結合形態を特徴付けているのはプロセッサ要素間を接続するリンクの有無である。よって、静的網に属す多様な結合形態をサポートする可変構造型相互結合網は、必要な数のリンクが存在していると仮定すると、プロセッサ要素間リンクの切り換え機構で構成することが可能である。

一方、動的網の場合、たとえば価格性能比の良い多段結合網ではプロセッサ要素間に交換スイッチが多段に配置されており、多段結合網の結合形態を特徴付けているのは交換スイッチ-交換スイッチ間やプロセッサ要素-交換スイッチ間を接続するリンクに施される置換方式である。よって、多段結合網に属す多様な結合形態をサポートする可変構造型相互結合網は、共通の交換スイッチ段が存在していると仮定すると、交換スイッチ-交換スイッチ間やプロセッサ要素-交換スイッチ間の接続に施す置換方式の切り替え機構で構成することが可能である。

しかし、静的網と動的網の両方をサポートする場合、静的網には不要となる交換スイッチ群、ならびに動的網には不要となる多数の固定リンクを両方とも実装しなければならない。このため、いずれか一方をサポートする場合と比べ、ハードウェア量が膨大で、構成も複雑となり、実現が難しい。

2.2 構成要素

そこで、われわれは図1に示すように、静的網と動的網の両方における可変性を実現する一手段として、最近急速に普及してきた書換え可能な LSI の一種である FPGA (Field Programmable Gate Array) が交換スイッチと

固定リンクの両機能を果たす構成要素として利用することに着目し、この FPGA による可変構造型相互結合網の実現法について検討を行った。

FPGA とは、内部回路を論理回路や配線として機能するようにプログラム設定できるゲートアレイに類似した構造のプログラマブル・デバイスの総称である。本研究で採用した SRAM 方式の FPGA は、構成データ (configuration data) を内部 SRAM へ再ロードすることによって、内部回路を論理回路や配線として機能するように設定できる。このような SRAM 方式の代表的な FPGA としては、米国ザイリンクス社の LCA (Logic Cell Array) がある¹⁰⁾。

3. 可変構造型相互結合網の構成

ここでは、ハードウェア量を削減して実現可能とするための開発戦略について述べ、可変構造型相互結合網の構成を示す。

3.1 開発戦略

可変構造型相互結合網の構成は FPGA を用いることによって簡略化されるが、それでもすべての結合形態をサポートするにはハードウェア量の観点から無理

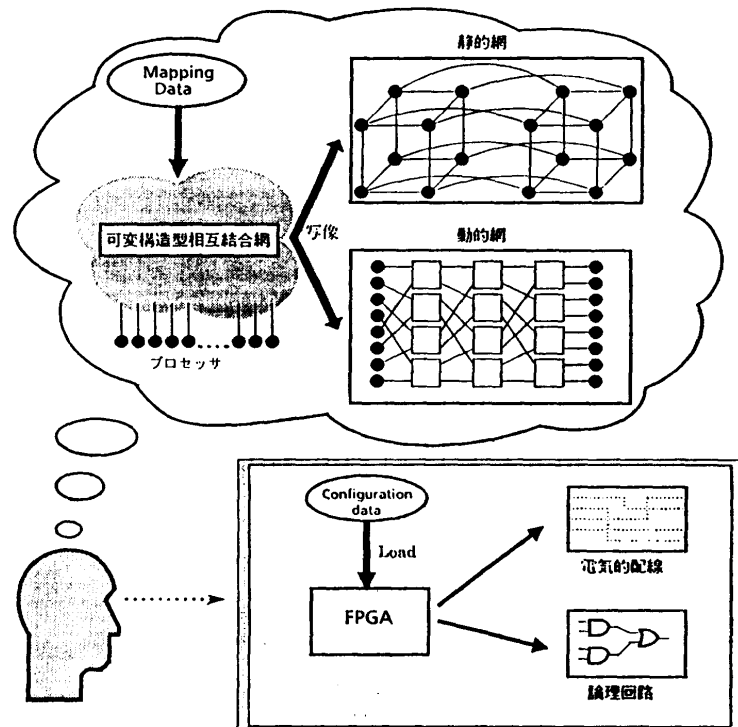


図1 可変構造型相互結合網の着想

Fig. 1 The conception of our reconfigurable interconnection network.

がある。サポートする結合形態の種類に制約を課して、ハードウェア量を実装可能なところまで削減する必要がある。

そこで、静的網と動的網の両方を直接サポートできるように最も多いリンク数を有する完全網を起点として、そこからリンクを順次減らして可変構造型相互結合網を開発する戦略を採った。具体的には、リンクを

削減する方法として、直接接続されるプロセッサ要素の集合を1つのグループと見なし、完全網のグループを2分割、4分割と順次分割してサブグループ化を図る。これにより、実装ならびに高並列化を困難にする原因となるグローバルな配線の排除を目的として、隣接しないサブグループ間のリンクを削減することができる。その結果、隣接するサブグループ間だけに存在するリンクをすべて FPGA によって置き換えると、隣接サブグループ間では任意の接続をプログラム設定することが可能となる。この開発戦略では、隣接するサブグループ間には必ずリンクが存在するようにサブグループ化を再帰的に繰り返すため、全体構成はサブグループが FPGA を介してハイパキューブ状に接続された形状になる。

3.2 システム構成

前述の開発戦略を実際に適用するには、可変構造型

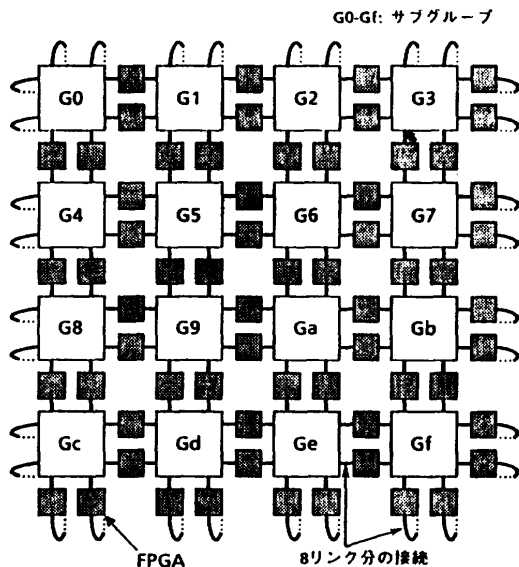


図 2 可変構造型相互結合網のシステム構成
Fig. 2 System organization of the reconfigurable interconnection network.

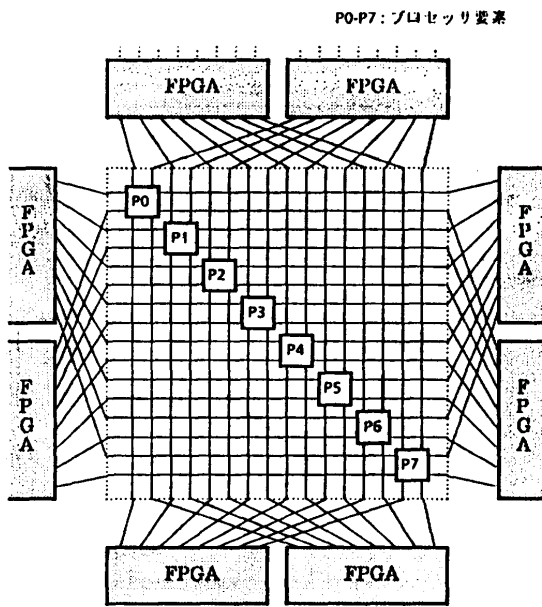


図 3 サブグループ内の構成
Fig. 3 The organization within a subgroup.

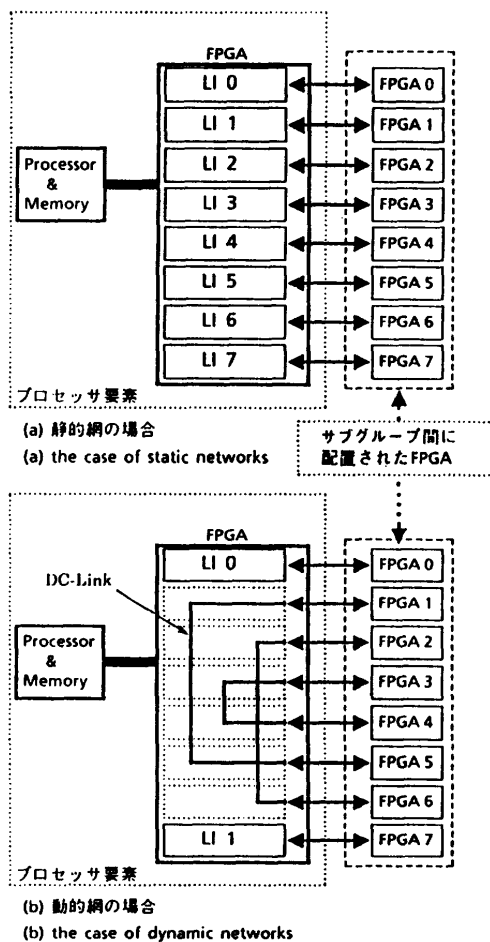


図 4 リンクインタフェース
Fig. 4 The link interface.

相互結合網によって結合されるプロセッサ要素数と、各プロセッサ要素が接続可能な最大リンク数（次数）を決めなければならない。ここでは、プロセッサ要素数に関しては高並列という観点から最低でも 100 個以上という条件を満たすと同時に、プロトタイプ実装に際してのハードウェア量も考慮して 128 個と設定する。一方、次数に関しては、現在最も一般的な静的網となっているハイパキューブ網以上の潜在的な結合能力（この場合、次数 >7 ）を満たすことを前提に、最大リンク数を 8 本と設定した。

上記の仕様に基づき開発戦略を適用した結果として、可変構造型相互結合網のシステム構成を図 2 に示す。16 個のサブグループ（1 サブグループ当り 8 個のプロセッサ要素）を 4×4 のトラス状（16 ノードのハイパキューブ）に配置したもので、サブグループ間に FPGA が存在する。また、サブグループの内部構成は図 3 のようになっており、各プロセッサ要素がもつ 8 本のリンクは 4 つのサブグループと FPGA を介して 2 本ずつ接続され、隣接するサブグループとはそれぞれ最大 16 本のリンクが設定できる。

また、サブグループ間の FPGA には、自サブグループ内に属するプロセッサ要素同士を結合するリンクを設定することもできる。このシステム構成ではサブグループ当りのプロセッサ要素数が 8 個で、かつプロセッサ要素の最大リンク数が 8 本なので、たとえサブグループ内で完全結合網を形成しても、なお 1 プロセッサ当り 1 リンクを他サブグループとの接続に利用することができる。

3.3 リンクインタフェース

可変構造型相互結合網において動的網を実現する場合、各プロセッサ要素に接続されるリンク数は入出力別にしても高々 2 であり、結合形態によって変わることはない。これに対し、静的網を実現する場合には、リンク数は実現する結合形態によって変化する。このリンク数に関する要件の差異は、動的網と静的網の両方をサポートする場合にハードウェアの有効利用を妨げる。つまり、この可変構造型相互結合網の最大リン

ク数は 8 であるが、動的網を実現する場合にはこのうちの 6 リンクは使用されない。

そこで、上記の差異を吸収するため、サブグループ間以外にも、各々のプロセッサ要素に相互結合網とのリンクインタフェースを実装する FPGA を配置している。つまり、図 4 (a) に示すように 8 つのリンクインタフェース (LI) をプロセッサ要素ごとに用意される FPGA に実装する。そして、動的網を実現する場合には同図 (b) に示すように、使用されないリンクインタフェースを利用して、サブグループ間の FPGA 同士を直接接続するリンクとして利用できる。ここでは、このリンクを DC-Link と呼ぶ。つまり、この DC-Link はリンクインタフェース用の FPGA 当り最大 3 本まで構成することができる。

4. 写像戦略と写像例

この可変構造型相互結合網で多様な結合形態を実現するための写像戦略について述べ、静的網ならびに動的網の写像例を示す。

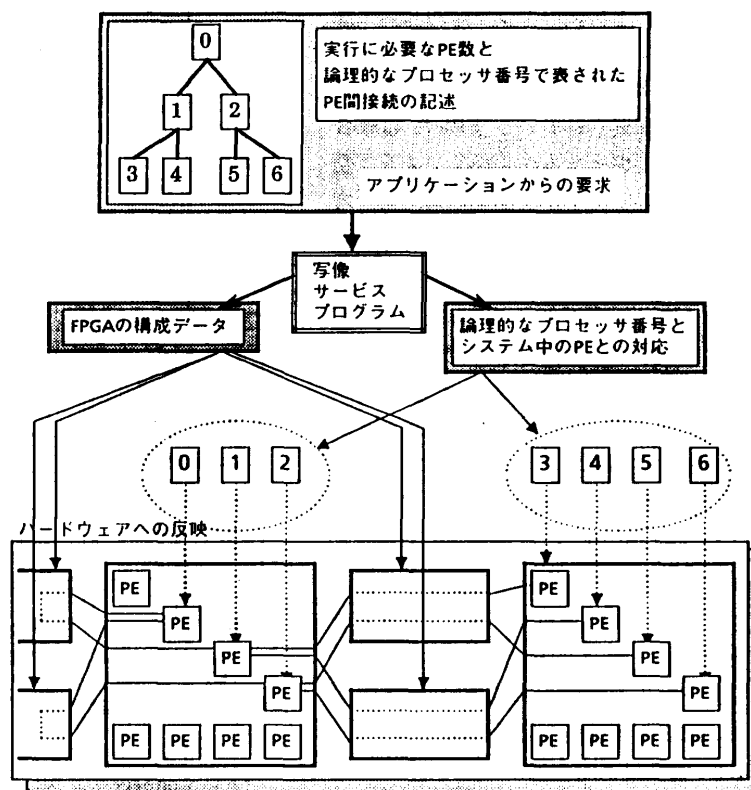


図 5 可変構造型相互結合網への写像

Fig. 5 Mapping on the reconfigurable interconnection network.

4.1 写像戦略

この可変構造型相互結合網は、システム上で実行するアプリケーションからの要求に応じてプロセッサ間の結合形態を変更することができる。このアプリケーションからの要求には、必要なプロセッサ要素の数と、論理番号で表されたプロセッサ要素間の結合形態に関する情報が含まれる。これらの情報は写像サービスプログラムによって、図5に示すようにハードウェアに反映される。つまり、プロセッサ論理番号はシステム内のプロセッサ要素に割り当てられ、プロセッサ要素間の接続はFPGAの構成データに変換される。

この構成データは写像アルゴリズムに基づいてプログラムによって生成されるか、あらかじめライブラリ化された構成データから選択することになる。写像アルゴリズムに基づいてプログラムによって生成する場合には構成データ生成に要する時間が大きな問題となる。そこで、結合形態の変更に要する時間を短縮するために、現在はCADシステムを利用して構成データのライブラリ化を進めている。

図5に示す木状網のような静的網を実現する場合、プロセッサ要素間の最大リンク数は一般に2以上となるため、プロセッサ要素ごとに配置されているFPGAは結合形態に応じて最大8本までのリンクを実現できるリンクインタフェース専用とし、接続(配線)を実現する対象とはしない。すなわち、サブグループ間に位置するFPGA群によって、サブグループ内およびサブグループ間のすべての接続を実現する。

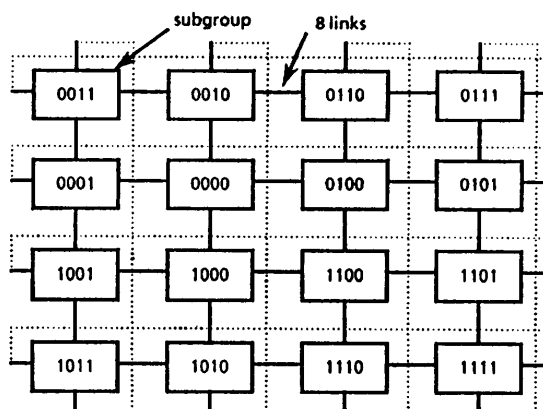
これに対し、動的網を実現する場合、3.3節で述べたように静的網とは異なり、各プロセッサ要素当りに必要となるリンク数は2本である。したがって、サブグループ間のFPGA内に交換スイッチを構成する一方、未使用分の余裕が生じるリンクインタフェース用のFPGA内にプロセッサ要素-交換スイッチ間接続や交換スイッチ-交換スイッチ間接続(DC-Link)を構成することにより多段結合網を実現する。

4.2 静的網の写像例

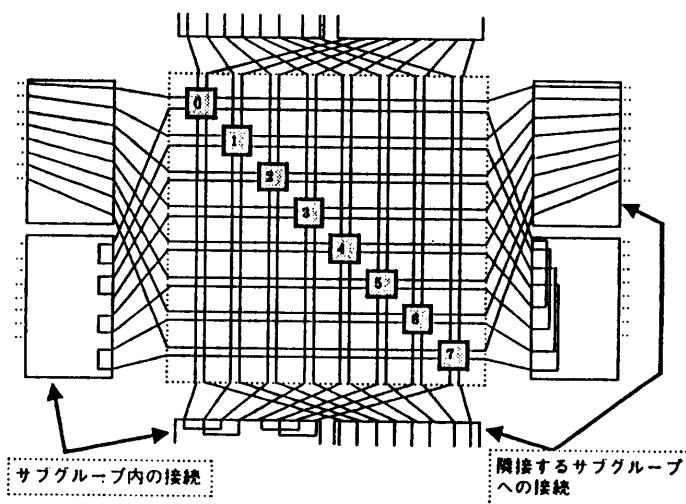
現在までに、この可変構造型相互結合網上で実現できる静的網としては、リング

網、木状網、格子網、ハイパキューブ網などを確認している。ここでは、静的網の例として、128個のプロセッサ要素から成るハイパキューブ網(次数=7)の写像を図6に示す。

ハイパキューブ網とは、 2^n (n : 次数) 個のプロセッサ要素それぞれに n ビットのプロセッサ番号を与え、ハミング距離が1のプロセッサ同士を直接結合するものである。そこで、ハイパキューブ網をこの可変構造型相互結合網上で実現するには、サブグループ間の物理的接続が 4×4 のトーラス状であることを利用して、各サブグループに対して図6(a)のようにプロセッサ番号の7ビットのうち上位4ビットをまず割り付ける。これにより、隣接するサブグループ間ではプロセ



(a) サブグループに対するプロセッサ番号(上位4ビット)の割付け
(a) Processor number (4 most significant bits) assignment in the subgroup.



(b) サブグループ内におけるプロセッサ要素間の接続
(b) Connections between processor elements in a subgroup.

図6 静的網の写像例

Fig. 6 Mapping example of a static network.

ッサ番号の下位3ビットが同じプロセッサ要素同士を接続すればよいことになる。

したがって、サブグループ内の各プロセッサ要素は同図(b)に示すように、7リンクの接続のうち4リンク分を上述の隣接サブグループのプロセッサ要素との接続として、残り3リンク分をサブグループ内で下位3ビットのうち1ビットだけ異なるプロセッサ要素との接続として、すべてをサブグループ間の FPGA に写像することによって実現できる。

4.3 動的網の写像例

この可変構造型相互結合網上で実現できる動的網は最も一般的な多段結合網であり、ベースライン網、間接キューブ網、オメガ網などの代表的な多段結合網を確認している。多段結合網は N 個の入力と N 個の出力の間に複数段の交換スイッチ群とリンクから成るスイッチ網を設置した等距離網であり、各交換スイッチを適当に制御することによって所望のプロセッサ-プロセッサ（プロセッサ-メモリ）間を動的に結合する。多段結合網は分散制御の経路選択や調停が可能であるため、他の動的網に比べて比較的大規模なマルチプロセッサにも使用できる。

動的網の例として、紙面の都合から 32 個のプロセッサ要素を接続するベースライン網の写像を図 7 に示す。図中の 00~27 の番号の付いた箱はサブグループ間の FPGA に構成された 4×4 交換スイッチを表している。また、サブグループ内部で DC-Link によって実現される交換スイッチ-交換スイッチ間における接続の例を図 8 に示す。なお、ベースライン網を構成するプロセッサ要素数に関しては、8 個、16 個、32 個、64 個のそれぞれについて実現できることを確認している。

5. 可変構造型相互結合網の制御機構

本章では、応用プログラムを実行する際の要求に応じて、結合形態を柔軟にプログラム設定するための制御機構について述べる。

5.1 制御方式

可変構造型相互結合網における結合形態の変更は、

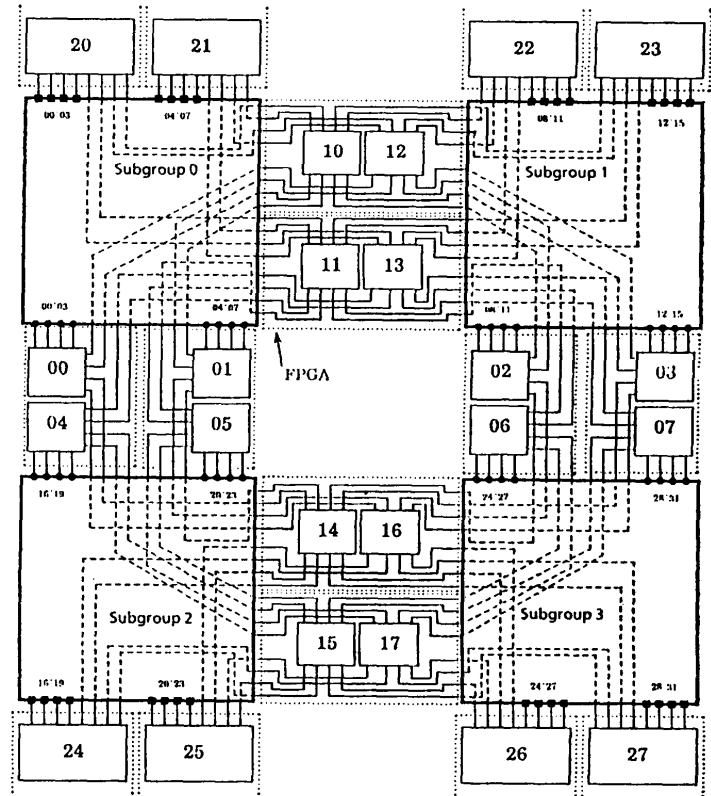
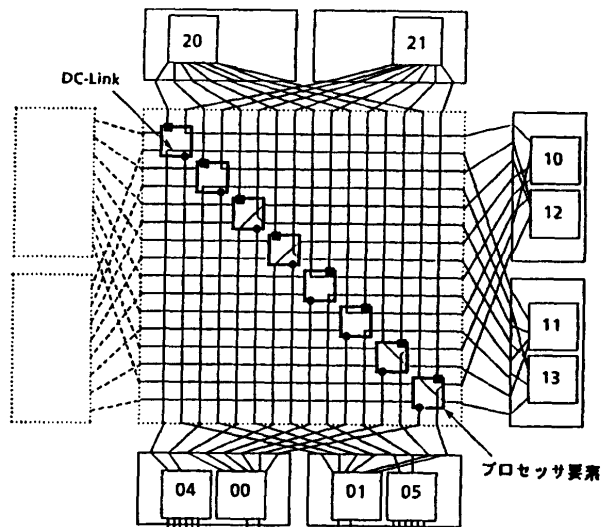


図 7 動的網の写像例

Fig. 7 Mapping example of a dynamic network.



●..... プロセッサ要素の入力側インタフェース

●..... プロセッサ要素の出力側インタフェース

図 8 サブグループ内における接続例

Fig. 8 Example of connections in a subgroup.

ハードウェア的には FPGA の内部回路の書換え動作である。したがって、結合形態の変更を制御する機構は FPGA に構成データを供給する機構となる。米国ザイリンクス社製 LCA の場合、構成データを書き込むには複数のモードが用意されているが、可変構造型相互結合網では信号線数を減らすために 1 ビットシリアルで構成データを供給し、データの書き込みタイミングを LCA 外部から与えるモードを使用する。

また、同一の構成データを使用する LCA が同一の制御・データ線で接続されていれば、LCA の書換え操作を同時に行うことができる。ただし、可変構造型相互結合網を構成する LCA にはサブグループ間に配置された LCA と各々のプロセッサ要素に配置された LCA との 2 種類があり、本来 LCA 内部に構成するハードウェアが大きく異なるので、これらの LCA に対しては別々の制御線とデータ線を用意して構成データを送信することにした。

さらに、図 9 (a) のように各サブグループごとに、サブグループ内に LCA 8 個、周辺に LCA 4 個が割り当てられていると考え、データ転送の並列性を上げるために、同図 (b) に示すように 4 サブグループごとに独立した信号線を使用する。

5.2 制御機構

上述の制御方式に従い、制御機構において構成データを供給するために使用される制御線ならびにデータ線を図 10 に示す。サブグループ間の LCA に対する構成データの供給は、データ線 (CONFIG_DATA) と書き込みタイミング (CONFIG_CLK) のほかに、リセット信号 (RESET)、リセットすべき LCA の選択信号 (RESET_ENABLE)、LCA からリセット動作の完了を示す信号 (DONE) をそれぞれ 4 本用意する。

LCA は、RESET と RESET_ENABLE が両方同時にアクティブになった場合のみリセットされる。RESET は各サブグループごとに入力され、RESET_ENABLE はサブグループ周辺の 4 個の LCA にそれぞれ入力されているので、1 個から 4 個までの LCA を選択的にリセットすることができる。

一方、プロセッサ要素ごとに配置されているサブグループ内の 8 個の LCA は、信号線数を抑えるために構成データのデジタイズ・ロード機能を利用して 2 個ずつデジタイズ接続とし、サブグループ間 LCA の信号線数と同数にしている。ただし、RESET 信号はサブグループ間 LCA と共通の信号線を使用する。また、リンクインタフェースのための制

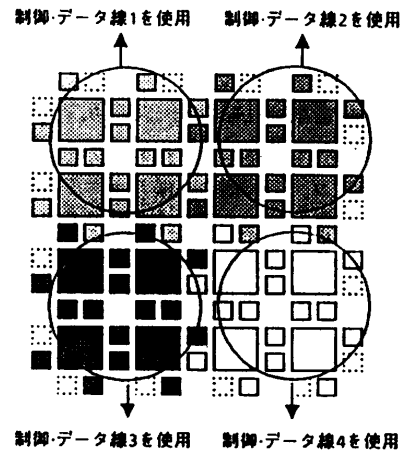
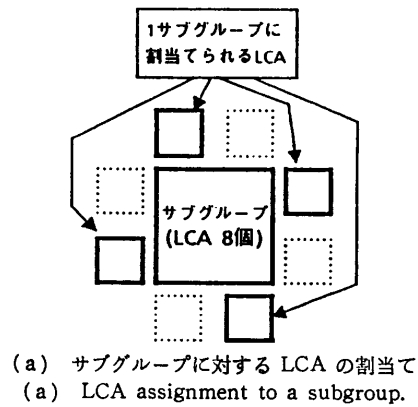


図 9 LCA の制御方式

Fig. 9 LCA control methodology.

御情報を保持する制御信号用保持回路へのデータ格納も SELECT 信号で切り換えて同じ制御・データ信号線を使用する。これは、動作中に次の構成データをプリロードし、書換えを高速化する目的にも利用できる。

6. 実現に関する考察

ここでは、われわれが提案する可変構造型相互結合網の実現性について報告し、さらに超並列への拡張可能性について述べる。

6.1 実現性の検討

提案する可変構造型相互結合網の実現性を検討するために、FPGA として米国ザイリンクス社の XC 3000 ファミリのうち、XC 3090 という 9000 ゲート相当の LCA を用いて設計を行った。使用した LCA は最大トグル周波数が 100 MHz で、パッケージは 175 ピン PGA である。このパッケージでは最大ユーザ I/O 数が 144 となるので、データ転送は 8 ビット幅と

して設計を行った。設計の過程から、ゲート数に関しては動的網を実現する交換スイッチの場合でも間に合うが、使用している I/O 数が多いために内部配線領域が不足し、配置配線が一番の問題であることが分かった。回路を工夫したり、回路部分を配線領域として用いたが、配線が混むと遠回りに配線されるために動作速度の低下を招き、遅延時間も 40~80ns とばらつきがあった。その結果、動作速度は 12.5MHz 以下との見積りになった。なお、上記のように現在の LCA では配線が最も大きな問題となるため、可変構造型相互結合網の試作には配線リソースが大幅に改善された次世代の XC 4000 ファミリーを使用する予定である。

また、LCA では上述のように配置や配線によって遅延が左右され、制御が難しいという問題が生じる。その最も大きな原因の 1 つに、現在実装に使用しているマクロ・ライブラリが単なる論理接続情報だけで論理分割や配線経路に関する情報をもっていない、いわゆるソフトマクロから構成されていることが挙げられる。これに対しては、論理分割や配線経路に関する情

報を含むハードマクロを用意し、高密度で特性も保証されている回路ブロックを使うことによってタイミングがクリティカルな部分の性能をあらかじめ固定できるようにすることで対処可能である。自動配置配線ツールは、ハードマクロが内部の配置配線情報を含むので、その中には手を入れないことになる。これにより、以前に設計した回路ブロックを前回と同じ性能で再利用できるので遅延のばらつきはかなり抑えられる。

6.2 拡張可能性の検討

これまでプロセッサ数が 128 個の場合の可変構造型相互結合網について述べてきたが、さらに高並列になった場合、たとえば 1,000 個以上という超並列化の可能性について考える。1,024 個の場合に 3.1 節で説明した開発戦略を適用した結果を図 11 に示す。これはサブグループを 3 次元トラス状に配置してその間を FPGA で接続したもので、ハイパキューブ（2 進 6 キューブ）と同型である。なお、静的網や動的網の写像に関しては、4.1 節に述べた写像戦略を同様に適用

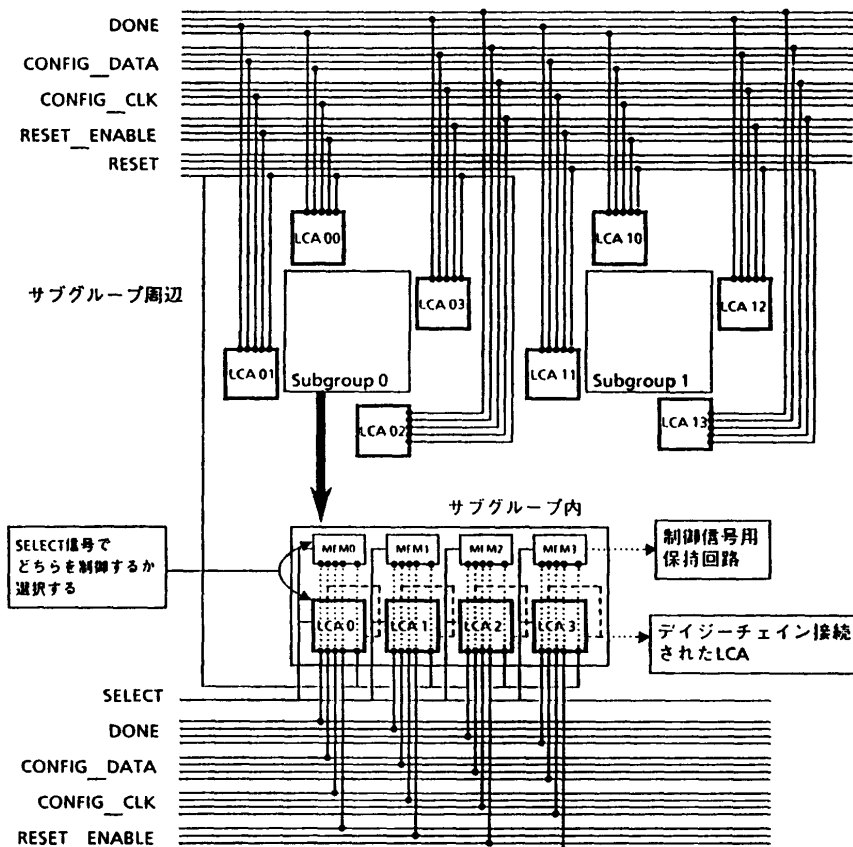


図 10 可変構造型相互結合網の制御機構

Fig. 10 Control mechanism of the reconfigurable interconnection network.

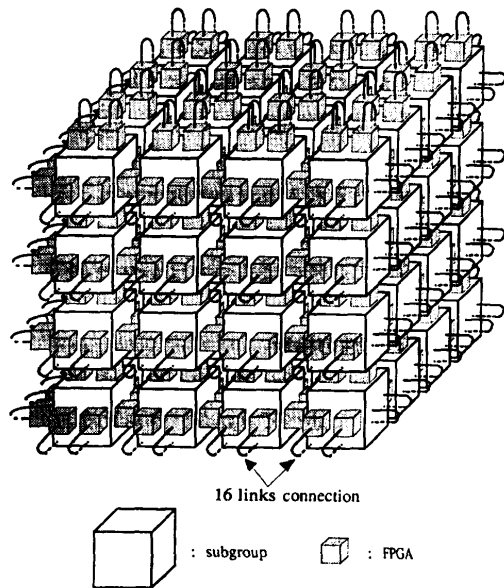


図 11 超並列可変構造型相互結合網
Fig. 11 A massively parallel reconfigurable interconnection network.

できる。

この構成では、サブグループ間に 512 個、サブグループ内に 1,024 個の LCA を使用することになり、システム全体では 1,536 個もの LCA が必要となる。また、リンク数も増えるため、使用する LCA の規模は現在の XC 3000 ファミリーより大きなものが必要になる。LCA では 20,000 ゲート相当で最大ユーザ I/O 数が 240 のチップが実用に近づいており、この規模の LCA を使用できれば可能になると期待される。しかし、現在はまだ比較的高価な LCA の必要総数を考慮すると、超並列化への拡張可能性はプロセッサ数が 1,024 個程度までと考えられる。

7. おわりに

本稿では、FPGA 内の回路構成自体がプログラムブルであることを利用することによって、静的網でも動的網でも所望の結合形態を直接に実現できるという新しいタイプの可変構造型相互結合網の実現法を提案し、その構成を示した。そして、静的網と動的網のそれぞれについて写像戦略を説明するとともに、実際に代表的な静的網と動的網の写像例を示して実現できることを確認し、それらをプログラム設定するための制御機構について述べ、実現性についても考察した。

ここに述べた可変構造型相互結合網の実現法は、クロスバ網によって相互結合網をエミュレートする方法

と比較すると、次のような特徴をもつ。(1)実際の並列動作を解析する際に、通信の時分割に伴うオーバーヘッドや誤差を考慮しなくともよい。(2)クロスバ網は単一段網なので、一般的な動的網である多段結合網をエミュレートするにはクロスバ網を繰り返し通過させることになるが、この可変構造型相互結合網では直接実現でき高速である。(3)平面分割で構成する大規模クロスバ網の構成規模は現在のテクノロジーで 128 プロセッサ程度が限界であるが、それ以上のシステム構成が可能である。さらに、(4)この可変構造型相互結合網は FPGA の集積度に応じて、相互結合網内に動的負荷分散機構や、フェッチアンドアッド命令を実現する際のコンパニング操作を行うロジック機構を組み込むこともできる。

なお、このような可変構造型相互結合網の潜在的な能力を十分に活用するためには、利用者インタフェースを含めたプログラミング環境の整備が不可欠である。現在、分散処理システム上に可変構造型並列計算機のシミュレーション環境を構築しており¹¹⁾、それらの研究を進めて言語処理系やプログラミング支援機構に実装することが今後の大きな課題である。

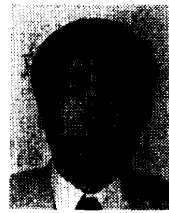
参 考 文 献

- 1) 富田, 末吉: 並列処理マシン, p. 236, オーム社 (1989).
- 2) Decegama, A. L.: *The Technology of Parallel Processing*, Vol. 1, p. 478, Prentice-Hall, Inc. (1989).
- 3) Tabak, D.: *Multiprocessors*, p. 176, Prentice-Hall, Inc. (1990).
- 4) Yalamanchili, S. and Aggarwal, J. K.: Reconfiguration Strategies for Parallel Architectures, *Computer*, Vol. 18, No. 12, pp. 44-61 (1985).
- 5) Feng, T.: A Survey of Interconnection Networks, *Computer*, Vol. 14, No. 12, pp. 12-27 (1981).
- 6) Beetem, J., Denneau, M. and Weingarten, D.: The GF11 Supercomputer, *Proc. 12th Int. Symp. Computer Architecture*, pp. 108-115 (1985).
- 7) Hill, G.: Designs and Applications for the IMS C 004, Technical Note 19, 72 TCH 019, INMOS Ltd. (1987).
- 8) Murakami, K., Mori, S., Fukuda, A., Sueyoshi, T. and Tomita, S.: The Kyushu University Reconfigurable Parallel Processor—Design Philosophy and Architecture—, *Proc. IFIP 11th World Computer Congress*, pp. 995-1000 (1989).
- 9) Murakami, K., Mori, S., Fukuda, A., Sueyoshi,

- T. and Tomita, S.: The Kyushu University Reconfigurable Parallel Processor—Design of Memory and Intercommunication Architectures—, *Proc. ACM SIGARCH Int. Conf. Supercomputing*, pp. 351-360 (1989).
- 10) Xilinx, Inc.: Programmable Gate Arrays Databook (1990).
- 11) Apduhan, B., Sueyoshi, T., Tezuka, T., Ohnishi, Y. and Arita, I.: Reconfigurable Multiprocessor Simulation Environment on a Distributed Processing System, *Proc. 6th Int. Joint Workshop on Computer Communications*, pp. 283-290 (1991).

(平成 3 年 7 月 30 日受付)

(平成 4 年 1 月 17 日採録)



末吉 敏則 (正会員)

1953 年生. 1976 年九州大学工学部情報工学科卒業. 1978 年同大学院工学研究科情報工学専攻修士課程修了. 同年九州大学工学部情報工学科助手. 同大学院総合理工学研究科助教授を経て, 1989 年より九州工業大学情報工学部知能情報工学科助教授. 現在, 同大学マイクロ化総合技術センター助教授を併任. 工学博士. 計算機アーキテクチャ, システムソフトウェア, 計算機ネットワーク, LSI 設計などに興味を持つ. 著書「並列処理マシン (共著, オーム社)」。電子情報通信学会, IEEE 各会員.



梶野 公平 (正会員)

1967 年生. 1989 年九州工業大学工学部情報工学科卒業. 1991 年同大学院工学研究科博士前期課程修了. 同年(株)京セラ入社. 現在, システムプログラム開発に従事. 並列処理計算機のアーキテクチャ, マルチメディアなどに興味を持つ.



有田五次郎 (正会員)

1939 年生. 1963 年九州大学工学部電子工学科卒業. 1965 年同大学院工学研究科修士課程修了. 同年九州大学工学部講師. 現在, 九州工業大学情報工学部知能情報工学科教授. 工学博士. 計算機アーキテクチャ, 並列処理システム, システムプログラム等の研究に従事. 著書「プログラミング (コロナ社)」。電子情報通信学会, 日本ソフトウェア科学会各会員.