

## マルチプロセッサ構成を用いた高速 LAN 用通信制御装置の性能評価

水谷 美加<sup>†</sup> 平田 哲彦<sup>†</sup> 横山 達也<sup>†</sup>  
寺田 松昭<sup>†</sup> 高田 治<sup>†</sup> 三巻 達夫<sup>†</sup>

LAN における伝送速度の高速化に伴い、通信プロトコル処理の高速化が要求されている。本論文で評価の対象とする高速 LAN 用通信制御装置は、OSI のレイヤ 4 以下の通信プロトコル処理を実行し、高性能化のため、装置内で実行する通信制御処理を計算機インターフェース処理部、通信プロトコル処理部、LAN-LSI ドライバ処理部の 3 処理部に分け、各処理部に各々汎用マイクロプロセッサを設けるマルチプロセッサ構成としている。特に通信プロトコル処理部には正常なデータ転送時のヘッダ作成／解釈を専用ハードウェアで実行するプロトコル高速処理装置を適用して高速化を図っている点が特徴である。本論文では、試作装置による実測では評価が couldn't be reached の項目を明らかにするため、シミュレーションモデルを作成し性能評価を行った結果を報告する。本評価により、各処理部に配置する汎用プロセッサ性能が 1.5 MIPS 程度であれば、FDDI に接続する通信制御装置の最大データ転送スループットとして 90 Mbps が得られること、この場合計算機インターフェース処理部と LAN-LSI ドライバ処理部のプロセッサ平均利用率が各々 70%，76% であること、そして処理遅延時間が 1.5 msec 以下（最大データ長 4 K バイト）であることを明らかにした。

### Performance Evaluation of a High-Speed LAN Communication Adapter Using a Multiprocessor Architecture

MIKA MIZUTANI,<sup>†</sup> TETSUHIKO HIRATA,<sup>†</sup> TATSUYA YOKOYAMA,<sup>†</sup> MATSUAKI TERADA,<sup>†</sup>  
OSAMU TAKADA<sup>†</sup> and TATSUO MITSUMAKI<sup>†</sup>

In distributed processing systems, increase of transmission speed requires high-speed protocol processing. We developed a communication adapter that executes OSI protocol up to the transport layer in order to attach a host workstation to a high-speed LAN. This adapter is characterized by having a multiprocessor architecture consisting of three processors for host interface processing, protocol processing, and LAN-LSI driver processing. Furthermore, protocol processing is accelerated by dedicated hardware which handles a protocol header. This paper evaluates the performance of the communication adapter by measurements and simulations. Evaluation results show that the maximum throughput of this adapter attached to an FDDI network is 90 Mbps when processing power of each processor is about 1.5 MIPS. Under this throughput, the average utilization rates of both processors, applied to host interface processing and LAN-LSI driver processing, are about 70%, and the processing delay of the adapter is under 1.5 msec (maximum length of user data is 4 Kbyte).

#### 1. はじめに

LAN を利用したクライアント／サーバ型の分散処理システムでは、高スループット、低遅延の実現が課題である。光伝送技術の発展に伴い、LAN 伝送速度の高速化が進められている。しかしながら、現行システムでは、計算機あるいは計算機を LAN に接続する通信制御装置で実行される通信プロトコル処理に要する時間が大きいことにより、エンド・ツー・エンドに

おいて LAN 伝送速度に見合ったデータ転送スループットを得ることができないという問題がある<sup>1), 2)</sup>。

上記問題を解決するため、通信プロトコル処理高速化を目的に、a) 新プロトコルの提案<sup>3), 4)</sup>、b) 既存通信プロトコルの実装方法改善などの研究が行われている。後者の研究においては、マルチプロセッサ構成にすることが有効な手法の一つである<sup>5)~8)</sup>。マルチプロセッサ構成の適用方式として、a) OSI プロトコルの各レイヤごとにプロセッサを設け、通信プロトコル処理のパイプライン動作、あるいは並列動作を実現する方式<sup>6)~8)</sup>、b) 負荷が大きいチェックサム計算を専用

<sup>†</sup>(株)日立製作所システム開発研究所  
Systems Development Laboratory, Hitachi, Ltd.

ハードウェア化する方式<sup>5)</sup>、バッファ管理、タイマ管理等を実行する専用プロセッサを設ける方式<sup>4), 5)</sup>が報告されている。しかしながら上記報告では、マルチプロセッサ構成により FDDI (Fiber Distributed Data Interface) の伝送速度を十分に活かせる性能が得られるなどの言及に留まり、重要な評価項目であるプロセッサの負荷分担、あるいはプロセッサ間インターフェースオーバヘッドに関する評価が行われていなかった。

筆者らは、OSI プロトコルのレイヤ 4 以下を高速に実行する通信制御装置（高速 LAN 用通信制御装置）の構成法を提案してきた<sup>10)</sup>。通信制御装置で実行する処理（通信制御処理）は、計算機と通信制御装置間のインターフェース処理部（計算機インターフェース処理部）、OSI のレイヤ 2 からレイヤ 4 の通信プロトコル処理部、MAC レイヤ以下のプロトコル処理を実行する市販の専用 LSI の制御部（LAN-LSI ドライバ処理部），に分けることができる。本高速 LAN 用通信制御装置の特徴は、a) 上記各処理部に各々汎用マイクロプロセッサを設けた点、b) 専用ハードウェアによりヘッダの作成と解析を高速に実行するプロトコル高速処理装置<sup>9)-13)</sup>を適用した点、にある。既に、FDDI 用に試作した通信制御装置を用いた実験的評価により、LAN 伝送速度の 60% 程度のスループットが得られることを明らかにした<sup>10), 13)</sup>。しかし、実験的評価では、通信制御装置を接続する計算機側のシステムバスのバス幅などの影響により、通信制御装置に十分な負荷をかけることができず、通信制御装置の限界性能を評価することが困難であった。そこで本論文では、正常なデータ転送時のシーケンスをベースにシミュレーションモデルを作成し、実測した各部処理時間を用いたシミュレーションにより、最大データ転送スループット、処理遅延時間とプロセッサ平均利用率への処理負荷の影響について明らかにした結果を報告する。

以下、第 2 章では提案した高速 LAN 用通信制御装置の概要、第 3 章ではシミュレーションモデルの構成、第 4 章ではシミュレーション結果について述べる。

## 2. 高速 LAN 用通信制御装置

### の概要

対象とする通信システムとして

FDDI 等の高速 LAN により複数の計算機が接続された構成を考える（図 1）。下記アプローチにより高スループットの実現を図る高速 LAN 用通信制御装置の提案構成<sup>10)</sup>を図 2、試作装置仕様を表 1 に示す。本通信制御装置の処理対象は OSI プロトコルのレイヤ 4 以下（トランスポートクラス 4 : TP4, Connectionless Network Protocol: CLNP, LLC タイプ 1）とする。

#### (1) マルチプロセッサ構成の適用

a) 計算機インターフェース処理部、b) 通信プロトコル処理部、c) LAN-LSI ドライバ処理部に各々プロセッサを設けるマルチプロセッサ構成とし、3 処理部のパイプライン動作により高スループットを実現する。具体的には、計算機インターフェース処理部と LAN-LSI ドライバ処理部に汎用マイクロプロセッサ（計算機インターフェース I/F 用プロセッサ、LAN-LSI ドライバ用プロセッサ）を、通信プロトコル処理部にプロトコル高速処理装置を配置する。

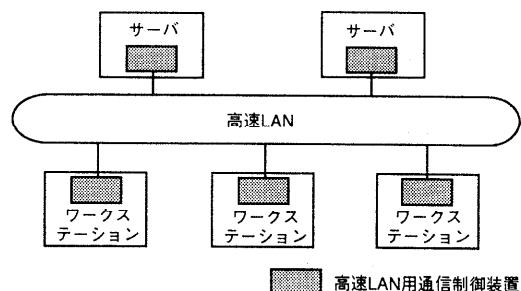


図 1 分散処理システム構成例  
Fig. 1 LAN-based distributed processing system.

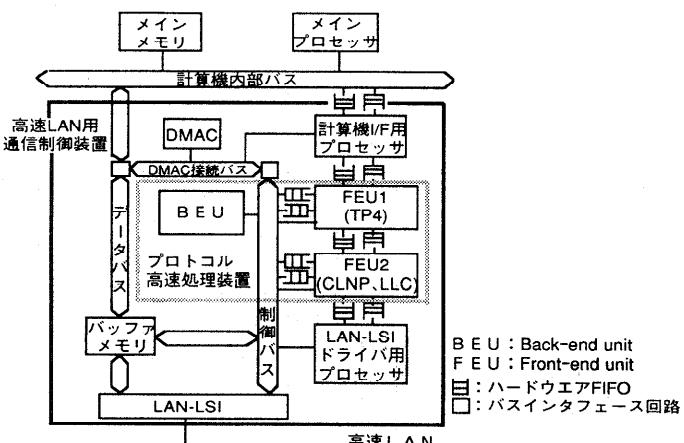


図 2 高速 LAN 用通信制御装置の構成  
Fig. 2 Configuration of the communication adapter for high speed LANs.

(2) 通信プロトコル処理の高速化<sup>9)~13)</sup>

提案したプロトコル高速処理装置の高性能化方式の特徴は、特に高速化が要求されるのが正常なデータ転送処理であることに着目し、以下のように性能と柔軟性を両立する点にある。正常なデータ転送時のプロトコルヘッダの作成／解析をレイヤごとに設ける専用ハードウェア FEU (Front-end unit) により高速に実行し、タイム処理、コネクション制御処理、およびエラー処理を3レイヤ共通の汎用マイクロプロセッサ BEU (Back-end unit) により実行する。試作装置では、TP 4 のヘッダ作成／解析を行う FEU (FEU 1) と、CLNP と LLC のヘッダ作成／解析を行う FEU (FEU 2) の二つの FEU を配置する構成とする。

(3) プロセッサ間インターフェース用 FIFO の適用  
プロセッサ間通信のオーバヘッド削減のため、各処理部に配置するプロセッサ間に送信方向と受信方向のハードウェア FIFO を設ける。プロセッサ間通信は、制御バスを経由せずにインターフェース情報を上記 FIFO に書き込むことにより可能にする。さらに、本プロセッサ間通信方式を計算機のメインプロセッサと通信制御装置の計算機 I/F 用プロセッサ間と、プロトコル高速処理装置内の FEU と BEU 間に用いる。

## 3. シミュレーションモデル

本論文の目的は、実測では高速 LAN 用通信制御装置に対して十分な負荷がかけられずに評価できなかつた項目をシミュレーションにより明らかにすることである。

本章では、通信制御装置の正常なデータ転送時の処

表 1 試作装置の仕様  
Table 1 Specifications of a prototype communication adapter.

No.	項目	仕様
1	対象プロトコル	OSI レイヤ 1 から レイヤ 4 レイヤ 4: ISO8073 TP4 レイヤ 3: ISO8473 CLNP レイヤ 2: ISO8802/2 LLC Type1 レイヤ 1: ANSI/X3 T9.5 FDDI
2	プロトコル高速処理装置	専用ハード X 2 : Front-end unit MC68020(25 MHz) : Back-end unit
3	計算機 I/F 用プロセッサ	MC68020(20 MHz)
4	LAN-LSI ドライバ用プロセッサ	MC68020(20 MHz)
5	インターフェース用ハードウェア FIFO	1024 段 × 12 本
6	バッファメモリ	SRAM 256 KB 位
7	制御バス	VME バス (32 ビット)
8	データバス	固有バス (32 ビット)

理シーケンスを明らかにし、上記シーケンスに基づき作成したシミュレーションモデルの構成について述べる。

## 3.1 データ転送時の処理シーケンス

図 2 に示す通信制御装置の正常なデータ転送時の処理シーケンスを図 3 に示す。正常なデータ転送時の処理動作について説明する。

- (1) DT パケット (データパケット) 送信処理
- a) 計算機のメインプロセッサからデータ送信要求を FIFO を介して受け付けると、計算機 I/F 用プロセッサでは、分割処理の有無を確認した後、メインメモリ上の送信データをバッファメモリ上にコピーするため DMAC を起動する。コピー終了後、プロトコル高速処理装置の FEU 1 に対して FIFO を介してデータ送信を依頼し、メインプロセッサに対して送信完了を通知する (s1, s1')。
  - b) プロトコル高速処理装置では、FEU 1 において TP 4 のヘッダを作成 (s2) した後、FEU 2 へ CLNP, LLC の両ヘッダ作成 (s3) の依頼と、BEU へ応答監視タイム制御処理 (s5) の依頼を各々の FIFO を介して行い、プロトコル処理を実行する。
  - c) プロトコル高速処理装置の FEU 2 より送信要求を FIFO を介して受け付けると、LAN-LSI ドライバ用プロセッサでは、LAN-LSI の送信起動処理を行う (s4)。LAN-LSI から送信完了の割込みが LAN-LSI ドライバ用プロセッサに対して入ると (s4' 経過後), 送信完了処理を行い (s6), 送信バッファの解放を FEU 2 を通して BEU に依頼する (s7, s8)。

## (2) DT パケット受信処理

- a) LAN-LSI ドライバ用プロセッサでは、LAN-LSI により受信したデータパケットがバッファメモリ上に格納されると (r1' 経過後), 受信割込みが LAN-LSI ドライバ用プロセッサに対して入るので、受信割込み処理を行い、プロトコル高速処理装置の FEU 2 へ受信処理の依頼を FIFO を介して行う (r1)。
- b) プロトコル高速処理装置では、FEU 2 で LLC と CLNP の両ヘッダを解析 (r2) した後、FEU 1 で TP 4 のヘッダ解析 (r3) を行い、計算機 I/F 用プロセッサへのデータ受信報告と、BEU への無活動タイム制御処理 (r5) の依頼を各々の FIFO を介して行い、プロトコル処理を実行する。

c) 計算機 I/F 用プロセッサでは、プロトコル高速処理装置の FEU1 からデータ受信報告を受け付けると、組立て処理の有無を確認した後、バッファメモリ上の受信データをメインメモリ上にコピーするため DMA を起動する。コピー終了後、計算機のメインプロセッサに対してデータ受信報告を FIFO を介して行い (r6, r6'), 受信バッファの解放を FEU1 を通して BEU へ依頼する (r9, r10)。さらに、メインプロセッサからの受信完了を受け付ける (r14)。

### (3) AK パケット送信処理

- a) プロトコル高速処理装置では、FEU1 でデータパケットを受信すると、このデータパケットに対する AK パケットを作成する (r4)。FEU2 では、CLNP と LLC の両ヘッダを作成し、LAN-LSI ドライバ用プロセッサに送信を依頼する (r7)。
- b) LAN-LSI ドライバ用プロセッサでは、LAN-LSI の送信起動処理を行う (r8)。LAN-LSI により送信完了の割込みが入ると (r8' 経過後), 送信完了処理を行い (r11), 送信バッファ解放を FEU2 を通して BEU に依頼する (r12, r13)。

### (4) AK パケット受信処理

- a) LAN-LSI により受信された AK パケットがバッファメモリ上に格納されると (s9' 経過後), LAN-LSI ドライバ用プロセッサに受信割込みが入るので、受信割込み処理を行い、プロトコル高速処理装置の FEU2 に対して受信処理を FIFO を介して依頼する (s9)。
- b) プロトコル高速処理装置では、FEU2 で LLC と CLNP の両ヘッダの解析を行い (s10), FEU1 で TP4 のヘッダを解析 (s11) した後、BEU へタイマ制御と受信バッファの解放 (s12) を依頼する。

上記のように本通信制御装置で実行する通信制御処理においては、計算機インターフェース処理部、通信プロトコル処理部、LAN-LSI ドライバ処理部の順番、あるいはその逆の順番にシーケンシャルに各処理部が実行されていく。前述のようなマルチプロセッサ構成とする場合、上記の各処理部がパイプライン動作し、高スループットを実現できる。さらに、通信プロトコル処理部においても、二つの FEU を配置することにより、レイヤ 4 以下のヘッダ作成／解析処理をパイプ

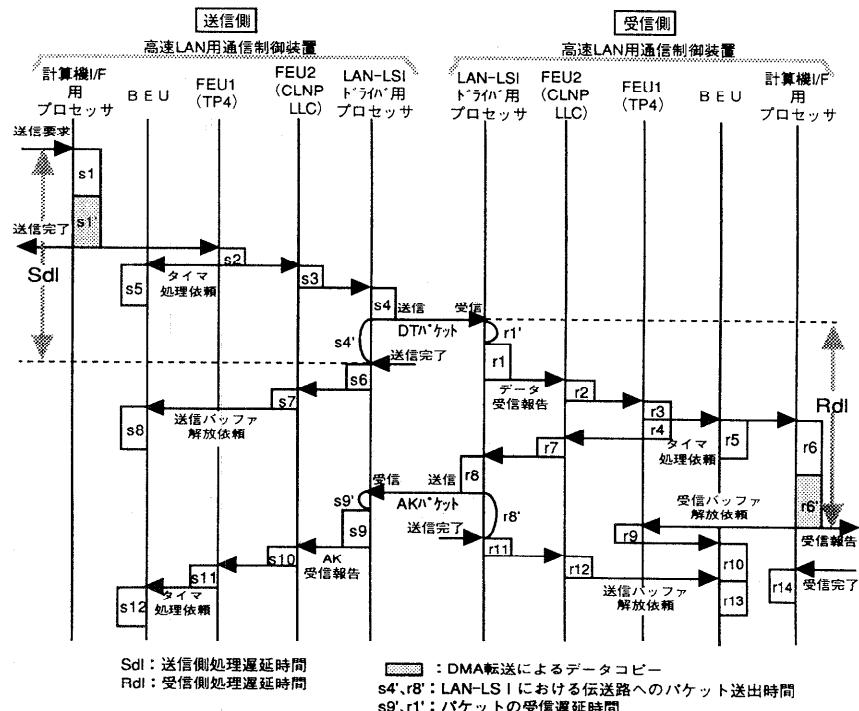


図 3 データ転送処理シーケンス

Fig. 3 Data transfer sequence.

ラインで実行する。

### 3.2 前提条件

モデル作成時の前提条件を以下に示す。

- a) LAN は FDDI (100 Mbps) を仮定する。
- b) データ送信要求と受信データはポアソン到着 (到着率:  $\lambda$ ) により、計算機 I/F 用プロセッサ、 LAN-LSI ドライバ用プロセッサの各々の待ち行列に入ると仮定する。
- c) データ長が 4K バイト以下では、分割は行われない。
- d) TP4 の送達確認は 1 DT パケットに対し 1 AK パケットを返送する。
- e) TP4 でのクレジット値を 15 に固定する。
- f) TP4/CLNP のチェックサム計算は行わない。
- g) DT パケットの紛失／破損はないと仮定する。このため、通信制御処理におけるパイプライン動作の乱れは生じない。
- h) 実測した処理時間にバス獲得時間とメモリアクセス時間も含んでいることから、制御バス、データバス、バッファメモリの競合に関してモデル化しない。
- i) DMA がバースト転送中は DMA 接続バスが占有され、計算機 I/F 用プロセッサによる DMA の制御が実行できない点を考慮し、DMA 効果中は、計算機 I/F 用プロセッサの処理を中断する。

### 3.3 シミュレーションモデルの構成

正常なデータ転送時のシーケンス (図 3) に基づき、送信側と受信側に分けて、シミュレーションモデルを作成した (図 4)。モデルでは、汎用マイクロプロセッサと FEU をファシリティ、ハードウェア FIFO を待ちキュー、そして図 4 上では示していないが、バッファをストレージ、送受信データをトランザクションとして扱った。

## 4. 性能評価

### 4.1 評価項目

具体的な評価項目を下記に示す。

- a) 実効スループット率
- b) 処理遅延時間
- c) プロセッサ平均利用率
- d) プロセッサ間インターフェースオーバヘッド

a)～c) はシミュレーション、d) は実測値をベースに机上で評価する。各項目について詳細に説明する。

#### (1) 実効スループット率

実効スループット率は、単位時間当たりに計算機間で転送されるデータ量を伝送速度により正規化したものである。単位時間当たりの送信パケット数 (送信した DT パケットに対して受け付けた AK パケット数) と受信パケット数 (計算機側へ受信を通知した DT パケット数) の平均パケット数から、通信制御装置の実効スループット率を次式のように定義する。

$$\text{実効スループット率} [\%] =$$

$$\frac{\text{平均パケット数} \times \text{データ長} [\text{ビット/パケット}]}{\text{伝送速度} [\text{bps}]} \times 100 [\%]$$

#### (2) 処理遅延時間

図 3 のデータ転送シーケンスにおいて、Sdl と Rdl の部分を処理遅延時間とする。

$$\text{送信側処理遅延時間 (Sdl)} =$$

$$s_1 + s_1' + s_2 + s_3 + s_4 + s_4' \quad (1)$$

$$\text{受信側処理遅延時間 (Rdl)} =$$

$$r_1' + r_1 + r_2 + r_3 + r_6 + r_6' \quad (2)$$

#### (3) プロセッサ平均利用率

$$\text{プロセッサ平均利用率} [\%]$$

$$= \frac{\text{プロセッサ累積利用時間} [\text{秒}]}{\text{総シミュレーション時間} [\text{秒}]} \times 100 [\%]$$

#### (4) プロセッサ間インターフェースオーバヘッド

プロセッサ間に配置されたハードウェア FIFO に書

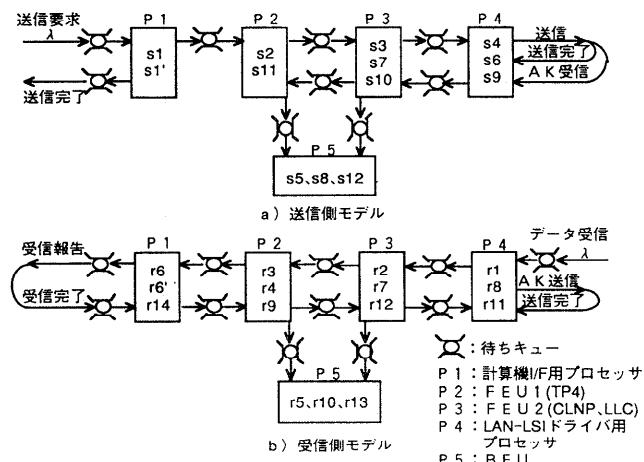


図 4 マルチプロセッサ構成時のシミュレーションモデル  
Fig. 4 Simulation model for the multiprocessor configuration.  
a) Sending side model.  
b) Receiving side model.

き込まれた 1 インタフェース情報を、サーチし読み出すまでの時間とする。

#### 4.2 評価方法

シミュレーションでは離散システムのシミュレーション言語である GPSS (General Purpose Systems Simulator)<sup>14)</sup> を使用した。ロジックアナライザを用いて実測した各部処理時間（表 2）を各ファシリティでのトランザクション滞在時間とする。

評価時のパラメータを示す。

##### a) データ長

通信制御装置のユーザレベルでやり取りするデータ長は、4 K バイト以下を対象とする。

##### b) DMA スループット

計算機の主メモリと通信制御装置のバッファメモリ間の DMA スループットは、以下とする。

ケース 1: DMA スループットが 4 M バイト/秒

ケース 2: DMA スループットが 16 M バイト/秒

ケース 3: DMA スループットが 64 M バイト/秒

ケース 3 について説明する。前提条件で仮定したように、計算機 I/F 用プロセッサと DMAC が並行動作しない場合、インターフェース処理時間（図 3 の  $s_1$  と  $s_1'$  の和、 $r_6$  と  $r_6'$  の和）が、性能のネックとなることが予想できる。そこで、DMA スループットを 64 M バイト/秒まで高速化し、上記インターフェース処理時間全体を短縮する。これは、計算機 I/F 用プロセッサと 16 M バイト/秒の DMAC との並行動作が可能である場合、DMAC によるデータコピー時間の 75 % 部分で並行に計算機 I/F 用プロセッサによる処理が実行できることと等価である（ケース 3 で得られる性能は、計算機 I/F 用プロセッサと DMAC の並行動作が可能であれば本来達成できるものと考える）。

##### c) 処理負荷

処理負荷は、通信制御装置内で単位時間当たりに処理されるパケット数で表す。

処理負荷の増減は、データ送信要求と受信データの到着率  $\lambda$  を増減することにより実現する。具体的には、評価時にシミュレーションモデルを動作させ、評価目的に即した到着率  $\lambda$  を定める。

プロセッサ間インターフェースオーバヘッドの評価値は、ロジックアナライザを用いて実測する。

#### 4.3 シミュレーションモデルの検証

シミュレーション結果と実測結果を比較し、作成したモデルの検証を行う。図 5 に示すように、シミュレーションにより得られた実効スループット率は、FDDI 用に試作した通信制御装置の実測により得られたシステムスループット<sup>10)</sup>とほぼ合致している。表 2 に示すロジックアナライザを用いて実測した各部処理時間と式(1)、式(2)より、処理遅延時間を求める。ケース 3 の場合、データ長が 8 バイトでは、 $s_1 = s_4 = r_6 = r_6' = 1 \mu\text{sec}$  以下であるので、

$$Sdl = s_1 + s_2 + s_3 + s_4 = 0.30 \text{ msec}$$

$$Rdl = r_1 + r_2 + r_3 + r_6 = 0.43 \text{ msec}$$

である。これらは、処理負荷が小さく各プロセッサでの処理待ちが生じないと考えられる図 6、図 7 における処理負荷 300 パケット/秒以下時のシミュレーションにより得られた処理遅延時間と一致する。以上より、今回の評価に用いたモデルは実機構成に即したもの

表 2 各部処理時間

Table 2 Processing time of a prototype communication adapter.

送信側		受信側	
$s_1$	188 $\mu\text{sec}$	$r_1$	143 $\mu\text{sec}$
$s_2$	10	$r_2$	15
$s_3$	10	$r_3$	15
$s_4$	94	$r_4$	7
$s_5$	36	$r_5$	37
$s_6$	49	$r_6$	254
$s_7$	4	$r_7$	11
$s_8$	31	$r_8$	76
$s_9$	150	$r_9$	4
$s_{10}$	17	$r_{10}$	51
$s_{11}$	14	$r_{11}$	51
$s_{12}$	88	$r_{12}$	4
		$r_{13}$	42
		$r_{14}$	71

注)  $s_1, s_4, s_9, r_1, r_6, r_8$  はデータ長により時間が異なる

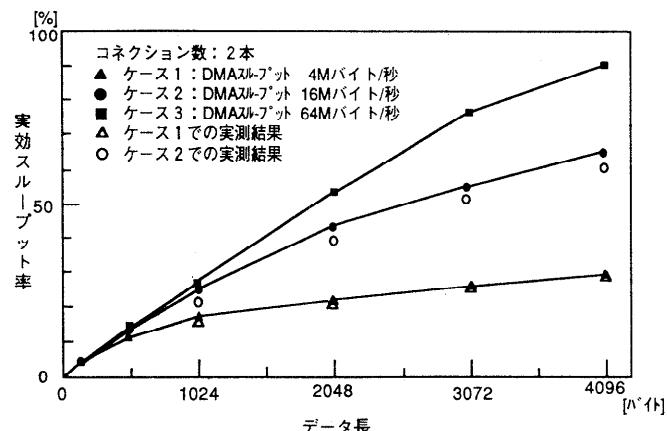


図 5 実効スループット率

Fig. 5 Throughput ratio compared to physical layer bandwidth.

のであると考える。

#### 4.4 実効スループット率

シミュレーションにより得られた実効スループット率を図5に示す。データ長4Kバイトでは、DMAスループットが16Mバイト/秒の場合約60%, 64Mバイト/秒では約90%である。後述するように、DMAスループットが16Mバイト/秒の場合、各プロセッサの利用率に余裕があることから、前提条件で計算機I/F用プロセッサとDMACが並行動作しないとしたことが、通信制御装置のスループット向上を妨げていると考えられる。

#### 4.5 処理遅延時間

図6, 図7にシミュレーションにより得られた処理遅延時間を示す。送信側／受信側に拘らず、処理負荷が300パケット/秒まで、処理遅延時間はほとんど変化しない。受信側では1000パケット/秒を超えると、処理遅延時間が1msec以上となる。これは、1パケット当たりの受信側処理遅延時間(RdI)が送信側(SdI)より0.1msec大きいことが影響しているためである。

本通信制御装置では、スループット向上のため、パイプライン動作を実現した。これは、処理遅延時間の短縮という面では効果はない。しかし、通信プロトコル処理部に関しては、FEUとBEUが並行動作するため(s3とs5, r4とr5), 処理遅延時間は短縮できる。

#### 4.6 プロセッサ平均利用率

送信側と受信側各々のプロセッサ平均利用率のシミュレーション結果を図8, 図9に示す。各部処理時間はデータ長に依らず一定である。よって、各プロセッサの平均利用率は、データ長ではなく通信制御装置にかけられる処理負荷によって変化する。送信側ではLAN-LSIドライバ用プロセッサが、受信側では計算機I/F用プロセッサが、他のプロセッサに比べ平均利用率が大きい。プロトコル高速処理装置内の2個の専用ハードウェア

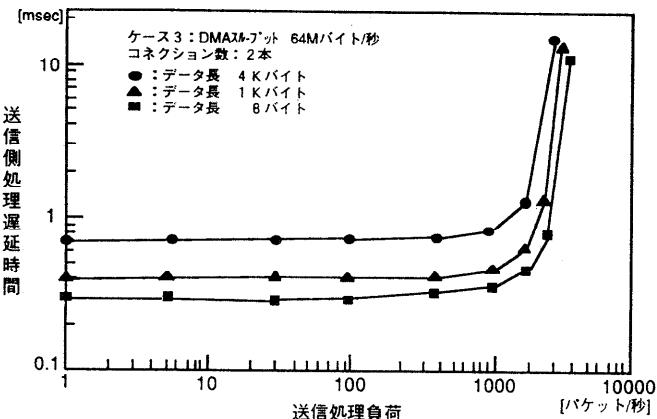


図6 送信側処理遅延時間  
Fig. 6 Processing delay of sending side.

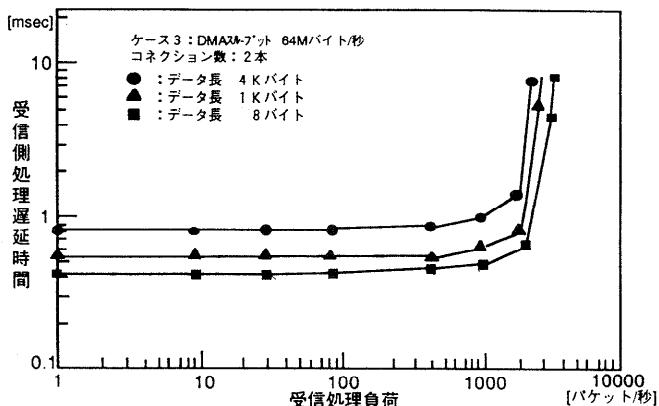


図7 受信側処理遅延時間  
Fig. 7 Processing delay of receiving side.

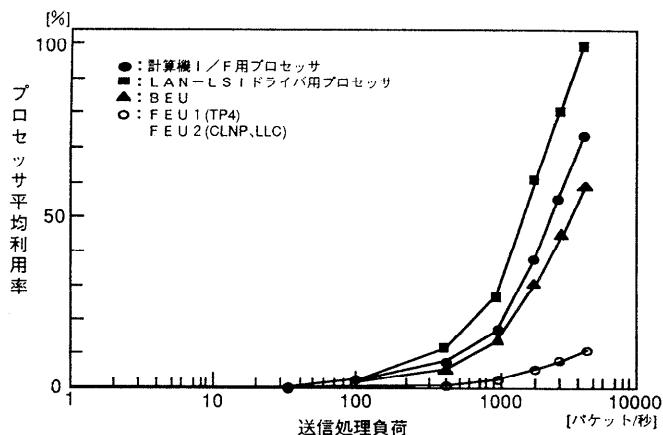


図8 プロセッサ平均利用率(送信側)  
Fig. 8 Average utilization rate of each processor (sending side).

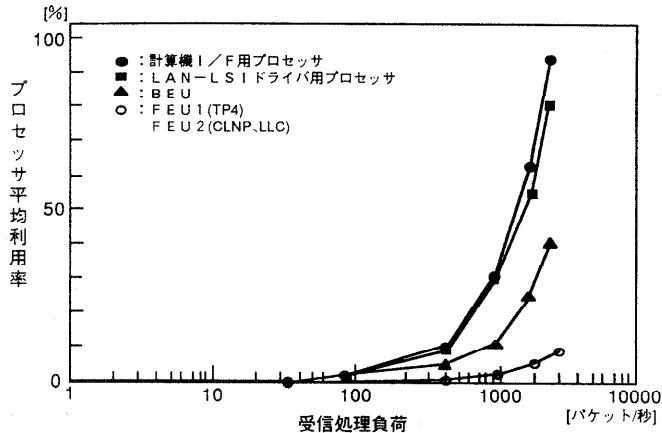


図 9 プロセッサ平均利用率(受信側)

Fig. 9 Average utilization rate of each processor (receiving side).

(FEU 1, FEU 2) 各々の平均利用率は等しく、処理負荷が 3000 パケット/秒でも 10% 程度である。

データ長 4K バイトの場合、通信制御装置のパケット処理能力は、DMA スループットが 4M バイト/秒では 800 パケット/秒、16M バイト/秒では 1800 パケット/秒、64M バイト/秒では 2800 パケット/秒である。これらの場合のプロセッサ平均利用率の比較を図 10 に示す。図に示すプロセッサ平均利用率は、送信側と受信側の利用率の平均である。各々の平均利用率は処理負荷によらずほぼ均等である。よって、本通信制御装置では、各処理部への負荷分担の不均衡から生じるパイプライン動作の乱れは生じない。

処理負荷が 2800 パケット/秒の場合、計算機 I/F 用プロセッサと LAN-LSI ドライバ用プロセッサは各々

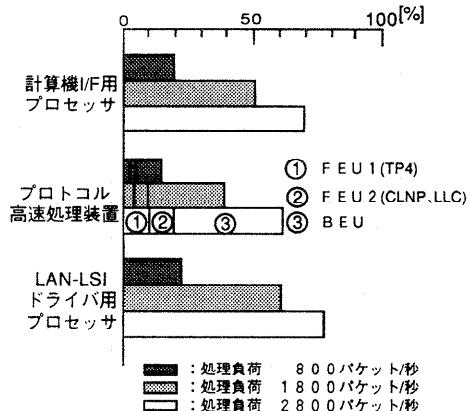


図 10 プロセッサ平均利用率比較

Fig. 10 Comparison of average utilization rate of each processor.

70% 以上である。通常、最大利用率 80% 程度でプロセッサを利用することから、これらのプロセッサでは、処理能力の 9 割以上を使っていることになる。よって、上述した実効スループット率 90% は、高速 LAN 用通信制御装置の最大性能と考えられる。

#### 4.7 プロセッサ間インターフェース オーバヘッド

マルチプロセッサ構成の重要な評価項目の一つと考えられるプロセッサ間インターフェースオーバヘッドについて、ロジックアナライザを用いて実測した値をベースに机上で評価した結果を述べる。

汎用マイクロプロセッサでは、FIFO に書き込まれたインターフェース情報の入力をソフトウェアのスケジューラによりサーチするので、インターフェースオーバヘッドは 1/2 スケジューリング時間と FIFO 読み出し時間の和である。プロトコル高速処理装置では、他の 2 処理部とのインターフェースは FEU が担当する。FEU では FIFO 書き込み時に発生する割込み信号によりマイクロコントローラを起動し、上記信号に対応した FIFO の読み出しを開始する。よって 1 回のインターフェースオーバヘッドは 0.1  $\mu$ sec と小さい。図 11 にロジックアナライザにより実測した 1 回のインターフェースオーバヘッドを示す。図 3 のデータ転送シーケンスにおいて、各プロセッサの処理

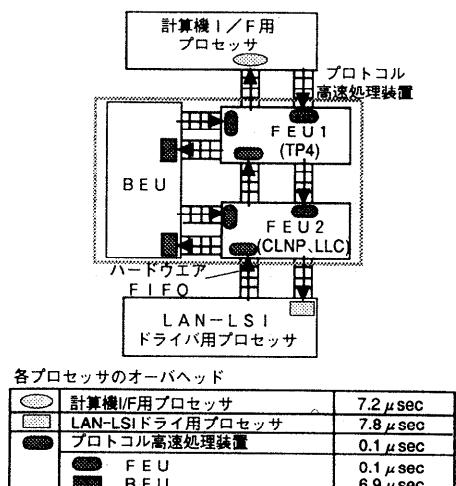


図 11 プロセッサ間インターフェースオーバヘッド

Fig. 11 Interface overhead between processors.

時間に対する総インターフェースオーバヘッドの割合は、計算機 I/F 用プロセッサ 4%，LAN-LSI ドライバ用プロセッサ 3%，プロトコル高速処理装置では各 FEU の 1% 以下である。

一方、プロトコル高速処理装置の BEU における FEU とのインターフェースオーバヘッドは 14% である。これは BEU の処理時間が他の汎用マイクロプロセッサの 1/2 程度である点、FEU からの処理依頼回数が多い点が影響するためである。しかし BEU における処理はデータ転送処理におけるメインルートではないので、性能への影響は小さいと考える。

## 5. おわりに

本論文では、計算機インターフェース処理部、通信プロトコル処理部、LAN-LSI ドライバ処理部の各々にプロセッサを設けるマルチプロセッサ構成を用い、特に通信プロトコル処理部にはプロトコル高速処理装置を適用した高速 LAN 用通信制御装置を対象とし、性能評価を行った。実機構成に即したシミュレーションにより下記を明らかにした。

- (1) 汎用マイクロプロセッサ性能を 1.5 MIPS 程度、プロセッサ利用率の上限を約 80% と仮定すると、マルチプロセッサ構成を用いた高速 LAN 用通信制御装置のパケット処理能力は 2800 パケット/秒である。
  - (2) その際、最大データ転送スループットとして、FDDI クラスの LAN 伝送速度に見合った 90 Mbps (データ長 4K バイト) が得られる。
  - (3) 上記の負荷をかけた状態では、処理遅延時間は 1.5 msec (データ長 4K バイト)、計算機 I/F 用プロセッサ、プロトコル高速処理装置、LAN-LSI ドライバ用プロセッサの平均利用率は各々、70%，55%，76% である。
- 今回通信制御装置単体の性能評価という観点から、送信側と受信側を別々にモデル化した。しかし、本通信制御装置を適用した計算機により構成する分散処理システムレベルでの性能を評価するためには、送信側と受信側を一体化したシミュレーションモデルを作成する必要がある。
- 謝辞** 本研究を進めるに当たり、応用面からの貴重な助言をいただいた当社大みか工場 中西宏明副工場長、岡田政和主任技術、当社 AV 機器事業部 安元精一 AV 開発センタ長、本研究の機会を与えていたいただいた当社システム開発研究所 堂面信義所長、大町

一彦企画室長、本研究の遂行に当たり貴重な助言をいただいた松井進氏、性能評価においてご協力をいただいた山野浩氏、原子拓氏に深謝いたします。

## 参考文献

- 1) Svobodova, L.: Measured Performance of Transport Service in LANs, *Computer Networks and ISDN Systems*, Vol. 18, pp. 31-45 (Nov. 1989).
- 2) Clark, D.D., Romkey, J. and Salwen, H.: An Analysis of TCP Processing Overhead, *Proc. of 13th Conference on Local Computer Networks*, pp. 284-291 (Oct. 1988).
- 3) Wai Sum Lai: Protocols for High-Speed Networking, *Proc. of INFOCOM '90*, pp. 1268-1269 (Jun. 1990).
- 4) Schwaderer, W.D.: XTP in VLSI Protocol Decomposition for ASIC Implementation, *Proc. of 15th Conference on Local Computer Networks*, pp. 249-252 (Oct. 1990).
- 5) Sidenius, M.A.: Hardware Support for Implementation of Transport Layer Protocols, *Proc. of IFIP Workshop on Protocols for High Speed Networks II*, pp. 251-267 (1991).
- 6) Zitterbart, M.: High-Speed Protocol Implementations Based on a Multiprocessor-Architecture, *Proc. of IFIP Workshop on Protocols for High Speed Networks I*, pp. 151-163 (1989).
- 7) Giarrizzo, D., Kaiserswerth, M., Wicki, T. and Williamson, R.C.: High-Speed Parallel Protocol Implementation, *Proc. of IFIP Workshop on Protocols for High Speed Networks I*, pp. 165-180 (1989).
- 8) 石坂, 土田, 井出口: OSI プロトコルにおける受信データの並列処理方式, 信学論 (B-I), Vol. J74-B-I, No. 2, pp. 116-128 (1991).
- 9) 松井, 平田, 横山, 水谷, 寺田: 専用ハードウェアによる通信プロトコル処理高速化の一方式, 情報処理学会論文誌, Vol. 32, No. 2, pp. 272-279 (1991).
- 10) 平田, 横山, 水谷, 寺田, 三巻: プロトコル高速処理装置の適用により高性能化を図った LAN 用通信制御装置の一構成法, 情報処理学会論文誌, Vol. 33, No. 2, pp. 234-242 (1992).
- 11) Hirata, T. et al.: A High Speed Protocol Processor to Boost Gateway Performance, *Proc. of Globecom '90*, pp. 1426-1430 (Dec. 1990).
- 12) Terada, M. et al.: A High Speed Protocol Processor to Execute OSI, *Proc. of INFOCOM '91*, pp. 944-949 (Apr. 1991).
- 13) 横山, 平田, 水谷, 寺田, 高田: 専用ハードウェアを適用した OSI プロトコル高速処理プロセッサの評価, 信学技報, IN 91-128 (1992).
- 14) 中西: コンピュータシミュレーション, 近代科学社 (1977).

(平成 4 年 6 月 17 日受付)

(平成 5 年 2 月 12 日採録)



水谷 美加（正会員）

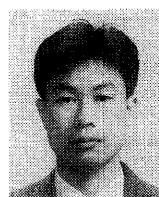
昭和 62 年日本女子大学家政学部家政学科物理学系卒業。同年(株)日立製作所に入社。現在、同社システム開発研究所にて、コンピュータネットワーク、LAN、プロトコル高速処理技術に関する研究に従事。



寺田 松昭（正会員）

昭和 45 年岡山大学工学部電気工学科卒業。同年(株)日立製作所入社。以来、コンピュータネットワーク、制御用分散処理システム、LAN、プロトコル高速処理の研究に従事。

現在、同社システム開発研究所情報通信ネットワーク研究部長。工学博士。著書「制御用計算機におけるリアルタイム技術」(共著)、電子情報通信学会、IEEE 各会員。



平田 哲彦（正会員）

昭和 36 年生。昭和 59 年東京工業大学工学部機械工学科卒業。同年(株)日立製作所入社。現在同社システム開発研究所研究員。コンピュータネットワーク、LAN プロトコル高速処理に関する研究に従事。電子情報通信学会会員。



高田 治（正会員）

昭和 29 年生。昭和 54 年北海道大学工学部情報工学専攻修士課程修了。同年(株)日立製作所入社。以来、LAN インタネットワークの研究に従事。現在、同社システム開発研究所主任研究員。IEEE 会員。



横山 達也（正会員）

昭和 37 年生。昭和 56 年多度津工業高校電子科卒業。同年(株)日立製作所に入社。現在、同社システム開発研究所にて、コンピュータネットワーク、LAN およびプロトコル高速処理技術の研究に従事。



三巻 達夫（正会員）

昭和 6 年生。昭和 29 年横浜国立大学工学部機械工学科卒業。東京大学生産技術研究所を経て昭和 31 年 10 月(株)日立製作所入社。制御系解析・最適設計ソフトウェアの開発、制御用計算機 PMS、システム制御の研究に従事。現在同社システム開発研究所主管研究長(嘱託)。昭和 63 年紫綬褒章。編著「制御用計算機におけるリアルタイム技術」。日本機械学会会員、計測自動制御学会フェロー。