

リングオシレータを用いた FPGA 上の完全デジタル温度モニタ

三宅庸資[†] 佐藤康夫[†] 梶原誠司[†]

オンチップの温度モニタは、VLSI 動作時の信頼性確保の手段を始め、様々な用途が考えられている。アナログ回路を用いた温度モニタは測定時間が長いため、測定時刻と測定結果をアプリケーションが利用する時刻のタイムラグが大きく、設計上の制約も多い。著者らは、これまでに FPGA 用の高精度なリングオシレータ構成法を提案し、その発振周波数からチップ内の温度測定が可能であることを報告してきた。本論文では、リングオシレータの発振周波数の取得に加え、チップ内で温度の算出まで行う計算回路を提案するとともに、計算精度や回路面積、処理速度などを総合的に評価することで温度モニタとしての性能を確認する。そして、アナログ回路が不要な完全デジタル温度モニタとして実現可能であり、短時間測定可能でかつ小規模な温度モニタであることを示す。

A Fully-digital Temperature Monitor Using Ring Oscillator on FPGA

YOUSUKE MIYAKE[†] YASUO SATO[†]
SEIJI KAJIHARA[†]

On-chip temperature monitors are used to guarantee the reliability of VLSIs. A time lag between timing of measurement at the monitor and timing at application system is large, because the monitor using an analog circuit has long measuring time. The authors proposed a design method that can reduce wire delay variation of ring oscillators on FPGA, and reported a temperature in chip can be measured from frequencies of the ring oscillators. This paper proposes a temperature monitor with a temperature calculation circuit, which calculates the temperature from the frequencies of the ring oscillator in a chip. Then, calculation accuracy, an area, and a processing speed are evaluated in order to confirm ability as the temperature monitor. This paper also shows feasibility as a full digital temperature monitor, which is a short time measurement and a small area, without an analog circuit.

1. はじめに

FPGA は再構成可能なデバイスであり、ASIC に比べてデバッグが容易で設計コストが低く、開発期間を短縮することも可能という特徴を持つ。半導体製造技術の進歩に伴い FPGA の高集積、高性能、低消費電力化が進み、多種多様な組み込みシステムに利用され、医療や社会インフラなどの高信頼システムの制御に用いられるようになってきた。

一方で VLSI 動作時の信頼性確保のため、チップ内部に温度モニタを組み込むことが有効である。チップの発熱状況を監視することにより、熱暴走などの異常な温度上昇に起因するシステム障害や劣化を事前に回避することができる。また、フィールドテストにおけるチップの遅延測定において、環境（温度や電圧）の変動による遅延値補正に活用し、劣化検知を行うことも提案されている。このように、チップの温度測定はデバイスの高信頼化において重要な技術になってきている[1-3]。

温度のモニタには様々な手法が提案されている[4-14]。一般的な温度モニタとして、サーマルダイオード等のアナログ回路により構成された A/D 変換を伴う温度モニタが実用化されている。サーマルダイオードを用いた温度モニタは高精度な温度測定を実現することができる。文献[4]の測定誤差は $-0.7 \sim +0.9^{\circ}\text{C}$ （温度範囲は $0 \sim 100^{\circ}\text{C}$ ）であり、評価環境等が異なるが文献[5]は $\pm 0.1^{\circ}\text{C}$ 、文献[6]は $\pm 0.2^{\circ}\text{C}$ で

あり高い測定精度を持つ。しかし、リファレンス電圧・電流やコンパレータ回路、A/D コンバータなどのアナログ回路が必要となるため設計上の制約が多い[4-6]。FPGA に組み込まれ、IP として利用可能なモニタ（Altera 社の Temperature Sensor[7]、Xilinx 社の System Monitor[8]）もまたアナログ回路が用いられている。アナログ回路を用いず、リングオシレータ（RO: Ring-Oscillator）を利用した温度モニタも ASIC や FPGA 向けに多数提案されている[9-12]。RO を利用したモニタは回路面積が小規模であるため、チップ上に多数搭載できる。しかし、リファレンス電圧が必要となり設計上の制約が大きくなるといった欠点や、温度モデルの作成処理が複雑になるといった欠点を持つ。

著者らも SoC を対象として、RO を利用したデジタル温度モニタ技術を提案している[13-14]。この温度モニタを FPGA で実現する場合、実装時の配線遅延の制御が困難なため、測定精度が低下する問題がある。そこで、FPGA の配線遅延等に起因する周波数変動抑制した RO 構成法を提案し[15]、RO 発振周波数のチップ内の温度測定への適用可能性を報告した[16]。

本論文では、FPGA の RO を用いた温度モニタ[16]をベースとして、RO 発振周波数の取得に加え、周波数のカウント値からチップ内の温度を算出する温度計算回路を内包した温度モニタを提案する。提案する温度モニタを FPGA に実装することで、計算精度や回路面積、処理速度などを総合的に評価し、温度モニタとしての性能を確認する。そし

[†] 九州工業大学
Kyushu Institute of Technology

て、温度計算回路を含むモニタ全体が、アナログ回路が不要な完全デジタル回路として実現できることを示す。既存のアナログ回路を用いた温度モニタは、設計上の制約が多いため、チップ上に複数搭載することが難しい。一方、完全デジタル温度モニタは設計への負担が小さいため、チップ上に多数搭載可能であり、測定したい箇所の近くに配置することで、測定したい箇所と温度モニタの箇所における温度のズレを抑えることができる。また、マルチコア LSI の各コアに温度モニタを埋め込むことにより、コア毎の電力管理や動的性能最適化などへの利用が期待できる[1-2]。シングルコアに埋め込む場合は温度モニタが 1 箇所でも利用可能だが、アナログ回路を用いた温度モニタは測定時間が長い（文献[5]では 100ms）ため、測定時刻と測定結果をアプリケーションが利用する時刻のタイムラグが大きい。そのため、リアルタイム性が低く、測定結果を反映させるまでの間にチップ内の温度が変化することがある。温度モニタの測定時間を 100 μ s 程度に抑えることで、測定した時刻と測定結果を反映させる時刻のズレによる測定値の乖離を少なくすることができる。をこのように、提案する温度モニタを用いることで短時間測定可能でかつ小規模な温度モニタを実現でき、チップの高信頼化のみならず、医療用機器や IoT 機器の環境モニタ等、様々な応用も期待できる。

本論文は以下のように構成される。第 2 節は本研究の基盤となる RO を利用した温度モニタ技術と FPGA 上の RO 構成法による温度モニタについて述べる。第 3 節は温度モニタに搭載する温度計算回路の構成について述べる。第 4 節は温度計算回路を含めた温度モニタとしての評価実験について述べる。第 5 節はまとめを述べる。

2. 関連研究

2.1 複数 RO を用いた温度モニタ技術[13]

チップ内の温度を測定する手法として、SoC のフィールドテスト向けに提案された温度電圧モニタ技術[13]を用いる。提案された技術は以下の特徴を持つ。

- ・ 温度と電圧に対する周波数特性の異なる 3 種類の RO とカウンタから構成される完全デジタル回路。
- ・ RO の周波数から温度と電圧を計算し、計算処理は完全デジタル処理で実現。
- ・ A/D コンバータなどのアナログ回路が不要であり、小規模回路であるためチップ上に多数搭載可能。

特性の異なる 3 種類の RO_i ($i = 1, 2, 3$) の周波数 F_i と温度 T 、電圧 V の関係を $F_i = g_i(T, V)$ ($i = 1, 2, 3$) とすると、重回帰分析により、式 (1)、(2) のように近似できる。

$$T = h(F_1, F_2, F_3) = a_T * F_1 + b_T * F_2 + c_T * F_3 + d_T \quad (1)$$

$$V = k(F_1, F_2, F_3) = a_V * F_1 + b_V * F_2 + c_V * F_3 + d_V \quad (2)$$

$a_T, a_V, b_T, b_V, c_T, c_V, d_T, d_V$ はそれぞれ重回帰分析によって求まる計算式の係数である。周波数 F_i と温度 T 、電圧 V の関係は回路シミュレーションにより求める。また、重回帰

分析を用いて線形の計算式を導出するため、温度電圧の計算結果には線形近似等による誤差が含まれる。

システム運用時の環境として、温度と電圧が不明または制御できない環境が想定される。一方で、出荷前テストのように、測定時の温度 T_0 と電圧 V_0 が制御されて既知とできる。初回測定時（出荷前テスト時）の周波数測定値と実測定時（システム運用時）の周波数測定値の差分を利用することで、システム運用時の温度・電圧変動による周波数の変化量からチップ内の温度と電圧が計算可能となる。

また、製造バラツキが周波数に与える影響により生じる誤差を低減するため、初回測定時における周波数測定値と標準環境での周波数測定値の比率を利用してシミュレーションとの差を補正するキャリブレーション手法も提案されている[14]。キャリブレーションにより補正した温度・電圧計算式を式 (3)、(4) に示す。

$$\Delta T \cong a_{\Delta T} \frac{F_1^{typ}(T_0, V_0)}{F_1(T_0, V_0)} \Delta F_1 + b_{\Delta T} \frac{F_2^{typ}(T_0, V_0)}{F_2(T_0, V_0)} \Delta F_2 + c_{\Delta T} \frac{F_3^{typ}(T_0, V_0)}{F_3(T_0, V_0)} \Delta F_3 + d_{\Delta T} \quad (3)$$

$$\Delta V \cong a_{\Delta V} \frac{F_1^{typ}(T_0, V_0)}{F_1(T_0, V_0)} \Delta F_1 + b_{\Delta V} \frac{F_2^{typ}(T_0, V_0)}{F_2(T_0, V_0)} \Delta F_2 + c_{\Delta V} \frac{F_3^{typ}(T_0, V_0)}{F_3(T_0, V_0)} \Delta F_3 + d_{\Delta V} \quad (4)$$

ここで、 $a_{\Delta T}, a_{\Delta V}, b_{\Delta T}, b_{\Delta V}, c_{\Delta T}, c_{\Delta V}, d_{\Delta T}, d_{\Delta V}$ はそれぞれ重回帰分析によって求まる差分形式で表現された計算式の係数であり、 $\{F_i^{typ}(T_0, V_0)/F_i(T_0, V_0)\}$ ($i = 1, 2, 3$) は各 RO の初回測定時の周波数比率を利用した係数補正值である。このように製造バラツキが周波数に与える影響を補正することで、プロセス変動が存在していても、精度良く RO 周波数からチップ内の温度と電圧を測定することが可能となる。

このモニタ技術を用いることでチップ内の温度と電圧の測定が可能となるが、本論文では実験環境の都合上、FPGA に供給される電圧を微細に変動させることが困難であるため、温度計算処理のみに着目した。

2.2 LUT の規則配置構造を利用した RO 構成法[15]

前述の複数 RO を用いた温度モニタ技術を FPGA で実現する場合、実装時の配線遅延の制御が困難なため、測定周波数が変動して測定精度が低下する問題がある。SRAM 型 FPGA の Altera 社 CycloneIV では、論理ブロックである LE (Logic Element) は、LUT (Look-Up Table) と FF (Flip Flop) から構成され、LE が 16 個並んだ構成が LAB (Logic Array Block) と呼ばれる単位となる。そして、LUT 内のセレクト部分は NMOS および PMOS によるトランスファゲート等で構成されており、その回路構造は FPGA によって異なる[17-20]。FPGA は同じ論理の RO であっても、論理合成や配置配線ツールの結果によって、使用される LE や配線量、LUT の割り当てが異なる。複数の RO を FPGA 上に構成した場合、LE 間の配線遅延や LUT 内の経由する NMOS や PMOS の数が変動することにより RO 周波数にばらつきが生じる。

FPGA 上に構成した RO の周波数ばらつきを低減するため、LUT の規則配置構造を利用した RO 構成手法[15]を用

いる。提案された RO 構成手法は以下の特徴を持つ。

- LAB 間の配線遅延の影響除去
- LE 間の配線遅延のばらつき低減
- LUT 内の構造による遅延のばらつき低減

RO の論理が割り振られる LE を RO 構成と同じ順序となるように 1 つの LAB 内の LE 同士を隣接して配置することで、LAB 間の配線遅延の影響を取り除くと同時に、LE 間の配線遅延のばらつきを低減する。そして、LE 内の LUT の入力アサインを指定して LUT 内の経由する NMOS や PMOS の論理構造を同じにすることで、LUT 内の配線遅延や発振に影響するパスの遅延量のばらつきを低減する。LUT の規則配置構造を利用した RO 構成手法は、RO を構成する複数の LE の配置位置と LE 内の LUT の入力アサインを指定することにより、LAB 間や LE 間、LUT 内の配線遅延のばらつきをそれぞれ低減することで、RO の周波数ばらつきを抑えることが可能となる。

また、LUT の規則配置構造を利用した RO 構成手法を用いることで、FPGA の RO における NBTI 劣化量の低減や制御が可能となる[21,22]。

2.3 FPGA の RO を利用した温度モニタ [16]

FPGA の RO を用いた温度モニタ (TM : Temperature Monitor)の構造を図 1 に示す。1 組の TM は 3 種類の RO とカウンタから構成され、RO の発振制御やカウント値の取り出し処理は RO 制御回路($TM_Controller$)によって行う。RO の発振時間は設計時に指定するため、RO のカウント値より周波数を求めることができる。測定した RO カウント値を外部に出力することで RO 発振周波数を取得する。RO とカウンタで構成される温度モニタは配置制約がなく、回路規模が小さいため FPGA 上に複数搭載できる。温度モニタのカウント値を周波数に変換する処理や 3 種類の RO 周波数から温度を計算する処理は、FPGA 上ではなく外部で行う構成である。

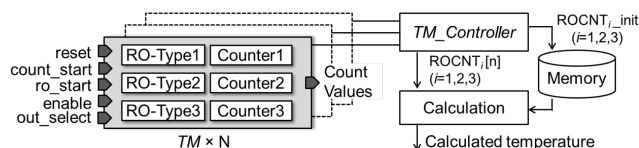


図 1 温度モニタの構造の概略

図 2 に温度モニタの測定手順について示す。図 2(a)は SoC における測定手順、図 2(b)は FPGA における測定手順である。SoC の場合、前処理として RO の周波数 F と温度 T の関係を回路シミュレーションにより求めることができ、求めた関係より計算式を導出することができる。キャリブレーション処理には各モニタの RO の初回測定値とシミュレーションで求めた Typical 値を用いる。チップ上に搭載したモニタの RO 周波数から温度を算出することができる。一方、FPGA では微細な温度変化に対するシミュレーションができない。そこで、恒温槽を用いて FPGA に影響する温

度を変化させ、RO の周波数 F_1, F_2, F_3 と温度 T の関係を測定する。そして、温度モニタ 1 組の測定値を Typical 値と仮定し、重回帰分析より計算式を導出する。キャリブレーション処理には Typical 値と仮定した測定値を用いることで、複数のモニタ間における製造バラツキの影響を低減することが可能となり、チップ上に搭載したモニタの周波数から温度が算出可能となる。

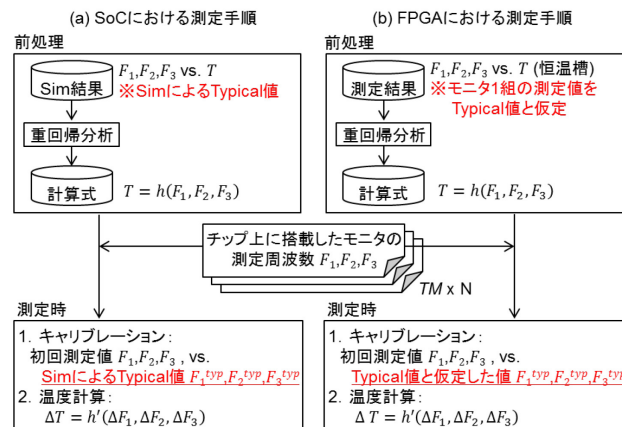


図 2 温度モニタの測定手順

3. 提案手法

2.3 節で述べた温度モニタは、3 種類の RO とカウンタから構成された温度モニタ (TM) と RO 制御回路のみが FPGA 上に構築され、温度計算処理は外部で行うことを前提にしていた。外部で計算処理を行う場合、処理時間は外部 IC 等のコア性能に依存するため、計算処理を含めた測定時間の見積もりが困難であった。本論文では、測定時間の見積もりの容易化および測定時間の短縮を実現するため、RO の発振周波数の取得だけでなく、温度をチップ上で計算する回路を搭載した温度モニタについて提案する。提案する温度モニタにおける測定時間の目標値は、文献[5]のアナログ回路を用いた温度モニタの測定時間 100ms の 1/1000 倍である 100 μ s とした。また、チップ上に計算処理を実現する際、計算処理の実装方法や演算器に用いる演算形式によって温度モニタとしての性能が変動するため、計算精度や回路面積、処理時間について検討し、目標値の達成を目指す。

3.1 温度計算回路の概要

温度モニタの RO カウント値を周波数に変換する処理を省くため、計算式は周波数と温度の関係から導出するのではなく、RO カウント値から直接温度を導出する構造にした。これにより、測定した RO カウント値を計算式に受け渡すことで、周波数変換を伴わずにチップ内の温度が算出可能となる。

本論文で提案する温度計算回路を含めた温度モニタの概略図を図 3 に示す。TM と RO 制御回路は従来構造である。温度計算回路は入力として TM で測定された RO カウント値および前処理で求めた計算式の係数などの計算パラメータを受け取り、温度計算回路に構築したキャリブレーション

ション処理や温度計算処理の計算式に当て嵌めることで測定温度を出力する。演算器制御回路では、温度計算に必要な演算器である加算減算器、乗算器、除算器の制御を行う。これらの回路構造は全てアナログ回路を含まない完全デジタル回路で構築することができる。

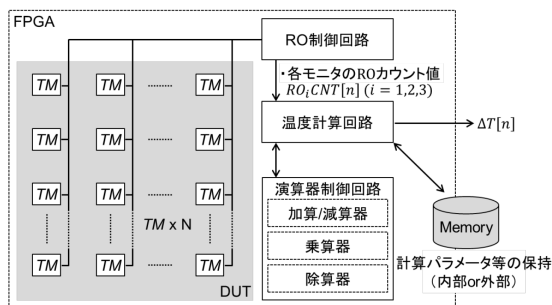


図 3 温度計算回路を含めた温度モニタの概略図

3.2 温度計算回路に構築する計算式

温度計算回路における計算処理は初回測定時のキャリブレーション処理と温度計算処理から構成される。まず初めに、温度計算回路に構築するキャリブレーション処理の計算式を式 (5), (6), (7) に示す。

$$\alpha[n] = RO_1CNT^{Typ}(T_0) \div RO_1CNT[n](T_0) \quad (5)$$

$$\beta[n] = RO_2CNT^{Typ}(T_0) \div RO_2CNT[n](T_0) \quad (6)$$

$$\gamma[n] = RO_3CNT^{Typ}(T_0) \div RO_3CNT[n](T_0) \quad (7)$$

n は温度モニタを複数搭載した場合のモニタ番号である。 $RO_iCNT[n](T_0)$ ($i = 1, 2, 3$) は測定条件が既知となる初回測定時（温度 T_0 ）の RO カウント値であり、 $RO_iCNT^{Typ}(T_0)$ は Typical 条件を仮定したモニタの温度 T_0 におけるカウント値である。 $\alpha[n], \beta[n], \gamma[n]$ はそれぞれ各 RO の初回測定時の周波数（カウント値）比率による係数補正值である。

次に、温度計算処理に用いる計算式を式 (8) に示す。

$$\begin{aligned} \Delta T[n] = & a * \alpha[n] * \{RO_1CNT[n] - RO_1CNT[n](T_0)\} \\ & + b * \beta[n] * \{RO_2CNT[n] - RO_2CNT[n](T_0)\} \\ & + c * \gamma[n] * \{RO_3CNT[n] - RO_3CNT[n](T_0)\} + d \quad (8) \end{aligned}$$

a, b, c, d は前処理の重回帰分析によって導出した温度計算式の係数であり、 $RO_iCNT[n]$ ($i = 1, 2, 3$) は各温度モニタで測定された RO カウント値、 $\Delta T[n]$ は初回測定時の温度 T_0 との差分で表現された温度計算結果である。各 RO の係数補正值 $\alpha[n], \beta[n], \gamma[n]$ および初回測定時のカウント値 $RO_iCNT[n](T_0)$ は式 (7) のキャリブレーション処理で求めた値が使用される。この計算式によって RO カウント値からチップ内の温度を算出することができる。

温度計算式の係数 a, b, c, d および Typical 値と仮定したカウント値 $RO_iCNT^{Typ}(T_0)$ は、温度測定の前処理で導出される計算パラメータであるため、FPGA 内部もしくは外部の SRAM や Flash メモリなどの記憶装置に保持する。そして、初回測定時に温度計算回路に読み込むことで、温度モニタの回路構成を書き換えることなく計算パラメータの利用および変更が可能となる。

これらのキャリブレーション処理および温度計算処理は完全デジタル処理であるため、論理回路を用いて温度計算回路を構築することができる。

3.3 演算器の実装方法

前節で述べたキャリブレーション処理では演算が 3 回（除算 3 回）実行され、温度計算処理では演算が 12 回（加算 3 回、減算 3 回、乗算 6 回）実行される。演算器を用いて計算処理を実装する際、計算手順および演算器の実装方法により回路面積や計算速度が異なる。演算器を 1 種類ずつ搭載して逐次利用することで面積を抑える実装方法では、回路面積は小さくなるが演算の回数に比例して計算時間が増加する。また、演算器を複数搭載して並行利用することで計算速度を優先する実装方法では、搭載する演算器数に比例して回路面積が増加する。

本論文では、温度計算回路の基本構造を構築するために回路面積を優先する実装方法を用いた。そのため、温度計算回路には加算減算器、乗算器、除算器がそれぞれ 1 組ずつ搭載される。

3.4 演算器の性能

温度計算回路は演算器を用いて構築するため、温度計算回路の性能（回路面積、計算精度、計算速度）は演算器の性能に依存する。演算の形式として浮動小数点演算や固定小数点演算がある。浮動小数点演算は IEEE754 規格に準拠しており、計算精度や仕様が定義済みであるため利用しやすいが、実装が複雑になり回路面積が大きくなる。一方、固定小数点演算は、整数部や小数部の bit 幅を任意に決定することができる。必要な bit 幅は扱う数値と計算精度、計算結果などから検討する必要があるが、実装が容易であり回路面積の小規模化が可能である。また、演算器の回路面積と計算精度はトレードオフであるため、温度モニタとして必要な計算精度を確保した上で、必要最低限の bit 数の演算器を構築することにより、回路面積を小さくすることが可能となる。

3.5 温度測定全体の処理手順

温度計算回路を用いた温度測定全体の処理手順を以下に示す。

- Step1: 計算パラメータ読み出し処理
- Step2: RO 発振制御処理
- Step3: カウント値読み出し処理
- Step4: キャリブレーション処理
- Step5: 温度計算処理

Step1 は外部の SRAM や Flash メモリなどに保持した計算パラメータを温度計算回路に読み出す処理であり、初回測定時に一度だけ実行される。Step2 は RO の発振制御を行う処理であり、複数モニタを搭載した際に稼働させるモニタを指定（もしくは全モニタを稼働）する処理を含む。Step3 は指定したモニタ内の RO カウンタに保持された値を温度計算回路に読み出す処理である。Step4 は初回測定時に読

み出した RO カウント値を用いてキャリブレーションを実行する処理である。Step5 は読み出した RO カウント値とキャリブレーション処理の結果を用いてチップ内の温度を計算する処理である。Step1 と Step2 は全てのモニタ共通の処理項目であり、Step3 から Step5 はモニタ個別の処理項目となる。

4. 評価実験

4.1 実験環境

本実験で用いる FPGA は Altera 社 CycloneIV (60nm プロセス)、評価ボードは DE2-115、開発ツールは Quartus II、シミュレータは ModelSim、恒温槽は Espec SU-241 である。温度モニタ(TM)として利用した RO 構成を以下に示す。

- ・ RO1: 4 入力 NAND-5 段, LUT-A 固定
- ・ RO2: 4 入力 NAND-5 段, LUT-B 固定
- ・ RO3: 4 入力 NAND-5 段, LUT-C 固定

RO の論理は 3 種類とも 4 入力 NAND の 5 段であり、2.2 節で述べた RO 構成手法を用いて、人手で LAB と LE の配置位置の固定および LUT の入力アサインの指定を行った。RO とペアになる RO カウンタの bit 幅は 20bit で構成した、動作周波数 50MHz における RO 発振時間は 10.24 μ s である。この温度モニタを FPGA 上に 10 組実装した。

演算器の実装方法として、演算器を 1 種類ずつ搭載して逐次利用することで面積を抑える方法を用いる。利用する演算器（加算減算器、乗算器、除算器）には、実装が容易な 32bit の符号付き固定小数点演算（符号 1bit, 整数 20bit, 小数 11bit）を用いた。固定小数点演算の bit 幅は RO カウンタの bit 幅である整数 20bit に合わせた構成である。実装した演算器の計算速度（レイテンシ）はそれぞれ、加算減算器 14 クロック、乗算器 5 クロック、除算器 33 クロックである。

4.2 計算精度評価

計算精度は演算器の仕様に依存する。本実験で用いた 32bit の符号付き固定小数点演算（符号 1bit, 整数 20bit, 小数 11bit）の場合、整数部分が 20bit であるため、符号付き整数の表現範囲は -1048576 ~ +1048576 となる。そして小数部分の最小値は 2^{-11} (0.00048828125) となる。

固定小数点演算と浮動小数点演算の計算精度（計算誤差）を比較するため、恒温槽の温度を $T_0+10^{\circ}\text{C}$ とした場合の測定 RO カウント値より温度測定を行った。温度測定の詳細については 4.5 節で述べる。

表 1 に固定小数演算と浮動小数点演算による温度測定の結果および計算精度について示す。固定小数点演算の結果は温度計算回路により求めた値であり、浮動小数点演算の結果は計算機上で求めた値である。入力として用いた値は同じだが、固定小数点演算を用いた測定温度は 9.011 $^{\circ}\text{C}$ となり、浮動小数点演算を用いた測定温度は 9.017 $^{\circ}\text{C}$ となる。したがって、温度計算回路に搭載した固定小数点演算は浮

動小数点演算に比べ、測定結果に 0.006 $^{\circ}\text{C}$ の計算誤差が生じることがわかる。また、固定小数点演算における測定結果の測定誤差は 0.989 $^{\circ}\text{C}$ であり、この測定誤差には演算器の計算誤差が含まれる。

表 1 固定小数点演算と浮動小数点演算の計算精度

恒温槽の温度 $T_0+10^{\circ}\text{C}$	固定小数点演算	浮動小数点演算	差
測定温度 [$^{\circ}\text{C}$]	9.011	9.017	0.006
測定誤差 [$^{\circ}\text{C}$]	0.989	0.983	0.006

4.3 面積評価

FPGA 開発ツール Quartus II を用いた論理合成および配置配線により、温度計算回路や演算器の面積評価を行った。各回路に使用された LUT 数とレジスタ数を表 2 に示す。

表 2 の結果より、温度計算回路に使用される LUT 数は 1496 個、レジスタ数は 921 個であることがわかる。また、RO とカウンタの LUT 数は 153 個、レジスタ数は 93 個と小さい。しかし、演算回路に用いる除算器の面積は加算減算器や乗算器に比べ非常に大きい（加算減算器の 52.6 倍、乗算器の 3.9 倍）。本実験は演算器を 1 種類ずつ搭載する実装方法であるため、演算器の面積が増えることはないが、演算器を複数搭載して計算速度を優先する実装方法では、除算器の面積が肥大して設計の妨げとなる可能性が高い。回路面積は可能な限り小規模であることが望まれるため、除算を回避した計算手法の検討が必要となる。

表 2 面積評価結果

	モニタ回路: TM (ROx3, カウンタx3)	RO 制御回路	温度 計算回路	演算器 制御回路	(内訳: 固定小数点演算)		
					加算減算器	乗算器	除算器
LUT 数	153	143	1496	4563	66	906	3472
レジスタ数	93	106	921	179	32	64	64

4.4 測定時間評価

温度モニタの測定時間を評価するため、3.5 節に述べた各処理項目の処理時間を計算する。温度計算回路は完全デジタル処理であるため、FPGA の動作周波数と各処理に必要なクロック数より処理時間を求めることができる。表 3 に ModelSim を用いて求めた温度モニタの主な処理項目の処理時間を示す。RO 発振制御の処理時間は設計時に指定した RO 発振時間とした。表 3 の結果より、処理時間の合計は 20.33 μ s であることが分かる。そして処理時間の合計が温度モニタの測定時間となり、主な処理項目以外の処理時間は 1 μ s 以下であったため、温度モニタ 1 組の測定時間は約 21 μ s となる。また、計算パラメータ読み出し処理とキャリブレーション処理は初回測定時に実行する項目であるため、測定が 2 回目移行の測定時間は約 18 μ s となる。複数のモニタを処理する場合、モニタ毎に処理する時間が必要になり、モニタ 10 組の初回測定時間は約 106 μ s、2 回目移行の測定時間は約 77 μ s となる。

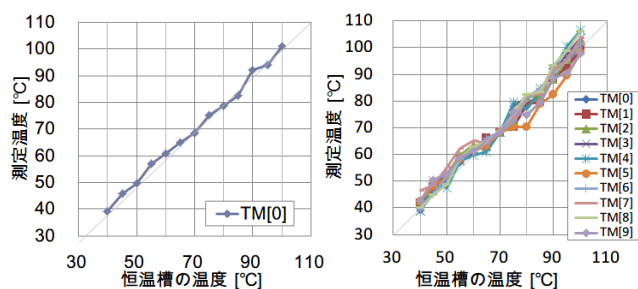
表 3 温度モニタの処理時間 (50MHz 動作時)

主な処理項目	処理時間 [μ s]
計算パラメータ読み出し処理	0.62
RO 発振制御処理	10.24
カウント値読み出し処理	1.79
キャリブレーション処理	2.69
温度計算処理	4.99
合計	20.33

4.5 温度測定結果

FPGA に搭載した温度モニタ 10 組の温度測定を行う。前処理として、恒温槽を用いて FPGA に影響する温度を変化させ、RO のカウント値と温度の関係を測定する。測定した温度モニタ 1 組(TM[0])の RO カウント値を Typical 値と仮定し、重回帰分析より計算式を導出する。キャリブレーション処理は温度 70°C における測定結果を初回測定時と仮定して実行する。そしてチップ上に搭載した各モニタの RO カウント値から温度計算を行う。

図 4(a)に温度モニタ 1 組(TM[0])の温度測定結果を示す。この測定結果を Typical 値とした。モニタ単体における温度測定の測定誤差(残差の標準偏差)は 1.40°C である。図 4(b)に温度モニタ 10 組の温度測定結果を示す。モニタ 10 組の測定誤差は 2.75°C である。



(a) モニタ 1 組の測定温度 (b) モニタ 10 組の測定温度

図 4 温度モニタによる温度測定結果

5. まとめ

本論文では、チップ内で温度の算出まで行う FPGA 上の温度モニタを提案し、その評価を行うことで完全デジタル温度モニタとして実現可能であることを示した。面積評価より、温度計算に用いる演算器、特に除算器の占める回路量が大きい、RO とカウンタの面積が小さいため、チップ上に多数搭載できることを確認した。そして、温度計算に用いた固定小数点演算は、浮動小数点演算に比べ、測定結果に 0.006°C の計算誤差が生じることを確認した。FPGA に搭載した温度モニタ 1 組の初回測定時の測定時間は約 21 μ s であり、2 回目移行の測定時間は約 18 μ s である。また、モニタ 1 組における温度測定の測定誤差(残差の標準偏差)は 1.40°C である。この結果より、アナログ回路を用いた既存の温度モニタ、例えば、文献[5]の測定時間 100ms、測定精度 ± 0.1 °C の温度モニタに比べ、提案した温度モニタは、測定精度は多少劣るが約 1000 倍以上の高速化が見込めることがわかる。今後の課題として、回路面積は可能な

限り小規模であることが望まれるため、回路規模が大きくなる除算を使用しない計算手法の考案などが挙げられる。

参考文献

- [1] J. S. Lee, K. Skadron, and S. W. Chung, "Predictive temperature-aware DVFS," *IEEE Trans. on Computers*, Vol. 59, No. 1, pp. 127-133, 2010.
- [2] S. Reda, R. J. Cochran, A. N. Nowroz, "Improved thermal tracking for processors using hard and soft sensor allocation techniques," *IEEE Trans. on Computers*, Vol. 60, No. 6, pp. 814-851, 2011.
- [3] Y. Sato, S. Kajihara, T. Yoneda, K. Hatayama, M. Inoue, Y. Miura, S. Ohtake, T. Hasegawa, M. Sato, and K. Shimamura, "DART: Dependable VLSI Test Architecture and Its Implementation," *Proc IEEE Int'l Test Conf.*, pp. 1-10, 2012.
- [4] P. Chen, C. C. Chen, C. C. Tsai, and W. F. Lu, "A time-to-digital-converter-based CMOS smart temperature sensor," *IEEE J. Solid-State Circuits*, Vol. 40, No. 8, pp. 1642-1648, Aug. 2005.
- [5] M. A. P. Pertijs, K. A. Makinwa, and J. H. Huijsing, "A CMOS smart temperature sensor with a 3 σ inaccuracy of ± 0.1 °C from -55 °C to 125 °C," *IEEE J. Solid-State Circuits*, Vol. 40, No. 12, pp. 2805-2815, Dec. 2005.
- [6] F. Sebastiano, L. J. Breems, K. A. A. Makinwa, S. Drago, D. M. W. Leenaerts, and B. Nauta, "A 1.2V 10 μ W NPN-Based Temperature Sensor in 65nm CMOS with an inaccuracy of ± 0.2 °C (3 σ) from -70°C to 125°C," *IEEE Int'l Solid-State Circuits Conf.*, pp. 312-313, 2010.
- [7] Altera, *Altera Temperature Sensor IP Core User Guide*, 2013. http://www.altera.com/en_US/pdfs/literature/ug/ug_alttemp_sense.pdf
- [8] Xilinx, *Virtex-5 FPGA System Monitor User Guide UG192*, 2011. http://www.xilinx.com/support/documentation/user_guides/ug192.pdf
- [9] Z. Abuhamdeh, V. D'Alessandro, R. Pico, D. Montrone, A. Crouch, and A. Tracy, "Separating Temperature Effects from Ring-Oscillator Readings to Measure True IR-Drop on a Chip," *Proc. IEEE Int'l Test Conf.*, pp. 1-10, Oct. 2007.
- [10] K. M. Zick and J. P. Hayes, "Low-cost sensing with ring oscillator arrays for healthier reconfigurable systems," *ACM Trans. on Reconfigurable Technology and Systems*, Vol. 5, No. 1, Article 1, March 2012.
- [11] Boemo, Eduardo, and Sergio López-Buedo. "Thermal monitoring on FPGAs using ring-oscillators." *Field-Programmable Logic and Applications*. Springer Berlin Heidelberg, pp. 69-78, 1997.
- [12] Franco, John J. León, et al. "Ring oscillators as thermal sensors in FPGAs: Experiments in low voltage." *IEEE Programmable Logic Conf.*, pp. 133-137, 2010.
- [13] Y. Miura, Y. Sato, Y. Miyake and S. Kajihara, "On-chip Temperature and Voltage measurement for Field Testing," *Proc. IEEE European Test Symp.*, p.1, 2012.
- [14] Y. Miyake, Y. Sato, S. Kajihara, and Y. Miura, "Temperature and Voltage Estimation Using Ring-Oscillator-Based Monitor for Field Test," *Proc. IEEE Asian Test Symp.*, pp. 156-161, 2014.
- [15] 三宅庸資, 門田正文, 佐藤康夫, 梶原誠司, "FPGA における複数の周波数特性を実現するためのリングオシレータ構成法の検討," *信学技報*, Vol. 113, No. 321, DC2013-50, pp. 165-170, 2013-11.
- [16] 三宅庸資, 佐藤康夫, 梶原誠司, "FPGA のリングオシレータを利用した温度モニタ," *信学技報*, Vol. 114, No. 384, DC2014-68, pp. 7-12, 2014-12.
- [17] S. Brown, "FPGA architectural research: a survey," *IEEE Design & Test of Computers*, Vol. 13, Issue 4, pp. 9-15, 1996.
- [18] I. Kuon, R. Tessier, and J. Rose. "FPGA architecture: Survey and challenges." *Foundations and Trends in Electronic Design Automation*, Vol. 2, Issue 2, pp. 135-253, 2008.
- [19] F. Gusmão, G. Neuberger, R. F. Hentschke, L. Carro and R. Reis, "Designing Fault-Tolerant Techniques for SRAM-Based FPGAs," *IEEE Design & Test of Computers*, Vol. 21, Issue 6, pp. 552-562, 2004.
- [20] Xilinx Inc, US Patent, US 6,667,635, 2003.
- [21] Y. Sato, M. Monden, Y. Miyake and S. Kajihara, "Reduction of NBTI-Induced Degradation on Ring Oscillators in FPGA," *IEEE Pacific Rim Int'l Symp. on Dependable Computing*, pp. 59-67, Nov. 2014.
- [22] 佐藤康夫, 三宅庸資, 梶原誠司, "FPGA のリングオシレータにおける NBTI 劣化量の低減と制御に関する検討," *信学技報*, Vol. 114, No. 384, DC2014-67, pp. 1-6, 2014-12.