

デバイス特性の経年劣化に起因する不良確率変化の 効率的な解析手法

粟野 皓光¹ 廣本 正之¹ 佐藤 高史¹

概要：半導体の特性劣化に起因する不良確率の時間変化を効率的に解析する手法を提案する。近年の半導体製造プロセスの微細化に伴い、回路の長期信頼性を保証することは重要な課題として認識されている。従来法では、製造ばらつきに起因する特性ばらつきと、劣化に起因する特性変動を独立に取り扱っており、劣化によって経時変化する不良確率を解析するためには複数回の不良確率解析が必要であった。提案手法では Augmented reliability 問題と Subset simulation を組み合わせた効率の良い不良率計算の枠組みを提案し、時間経過による不良確率の変化を 1 回の不良確率解析により推定することを可能とした。数値実験より、独立に解析する場合と比較して、同等の精度を維持しつつ解析時間を 1/10 程度まで高速化出来ることを示した。

An Efficient Calculation Method of Time Changing Circuit Failure Probability Induced by Device Aging

HIROMITSU AWANO¹ MASAYUKI HIROMOTO¹ TAKASHI SATO¹

Abstract: An efficient simulation technique, which estimates transient change of the failure probability of a circuit due to device aging, is proposed. Long term circuit reliability has been emerged as a great concern due to shrinkage of semiconductor manufacturing process. Contrary to existing techniques that separately handle manufacturing variability and the device aging, this paper proposes a simultaneous evaluation of the variability and aging using an augmented reliability and subset simulation. Multiple failure-probability calculations along aging-timeline are eliminated, which shortens the failure probability calculation to about 1/10 of that of a conventional technique without compromising accuracy.

1. はじめに

半導体製造プロセスは微細化の一途を辿り、単位面積当たり集積できるトランジスタ数は飛躍的に増加し、回路の性能は劇的に向上した。一方で、微細化に伴い、特性ばらつきが顕在化してきた。集積回路の製造工程は、ばらつきを抑えるべく非常に高度に制御されてはいるが、微細なトランジスタでは、不純物分子数の僅かなばらつきや、ゲート電極側面の原子レベルの凹凸等で特性が大きく変わってしまうため、特性ばらつきを完全に排除することは非常に困難である。また、微細化に伴い集積可能な素子数が大幅に増加したことも問題を複雑にしている。近年のプロセッサでは数メガバイトのキャッシュメモリが搭載されることも珍しくなく、レジスタファイルも大規模化が進んでいる。これらの大規模回路が、全体として正常に動作するためにはメモリセルやフリップ・フロップ (FF) といっ

た基本セルの 1 つ 1 つが正常に動作する必要がある。従って、これら“同じ構造を大量に集積する素子”は特性ばらつきに対して非常にロバストである、つまり、特性ばらつきによって不良素子となる確率が極めて低い、ことが要求される。例えば一般的な SRAM セルには 10^{-8} から 10^{-6} 程度の不良確率が要求 [1] され、予め回路シミュレーション等を用いて所望の不良確率以下に設計できているか、確認しておく必要がある。

しかし、こうした非常に稀な事象 (稀事象) の生起確率を計算する問題は、一般的に困難な課題として知られている。例えば、単純なモンテカルロ法を使うと、1 つの不良サンプルを得るまでに平均して数百万回のシミュレーションが必要であり、不良確率を精度良く計算することは殆ど不可能である。この問題を解決するために重点的サンプリングに基づく手法 [2], [3] や、不良確率の最悪値を近似的に計算する手法 [4] が提案されてきた。これらの手法は SRAM セルの様な単純な回路には有効であったが、FF 程度の回路規模でも解析が困難になるという問題があった。これは、ばらつき変数の次元数が増えることで不良領域の形状が非常

¹ 京都大学大学院 情報学研究所 通信情報システム専攻
Yoshida-Honmachi, Sakyou-ku, Kyoto 606-8501, Japan,
paper@easter.kuee.kyoto-u.ac.jp

に複雑になり、重点的サンプリングで必要となる代替分布を正しく構築できなくなるためである。そこで、複雑な回路における不良確率を解析するために、Subset simulation (SubSim) に基づく手法が提案された [5]。SubSim は構造物の信頼性を計算するために開発された手法 [6] であり、稀事象シミュレーションに関するベンチマークデータを使った比較研究においても優れた性能を示すことが発表されている [7]。

従来は特性ばらつきとして、半導体製造工程に起因する静的な成分（ゲート酸化膜の膜厚ばらつき、離散不純物ばらつきなど）が着目されてきた。しかし、トランジスタの微細化が進むにつれて特性劣化が重要な問題として認識され始めている。最先端のトランジスタでは、ゲート絶縁膜は原子数個分のオーダにまで薄膜化されており、特性劣化の主要な要因となっている。代表的な劣化モードにはバイアス温度不安定性 (NBTI・PBTI)、Hot carrier injection (HCI)、Time dependent dielectric breakdown (TDDB) が知られている。本発表では特に NBTI に着目する。これは微細化の進展とともに NBTI の影響が急速に増大すると予測されているためである。NBTI は pMOS トランジスタにおけるしきい値電圧 (V_{TH}) の緩やかな上昇 (劣化) として観測される。 V_{TH} の劣化量 (ΔV_{TH}) は回路の動作温度、電源電圧、ストレス確率 (負バイアスが pMOS トランジスタに印加されている時間の割合) に左右される。SRAM セルや FF のように状態保持回路では、組合せ回路と比較して pMOS トランジスタのスイッチング確率が低く、NBTI 劣化が問題となる。

回路の信頼性を製品寿命全体に渡って保証するために、特性劣化を考慮した不良確率解析が必要となる。最も単純なアプローチは各劣化状態に応じて独立の不良確率解析を行うことである。しかし、文献 [2], [5] 等によって不良確率解析が効率化されているとは言え、複数回の解析を行うことは計算時間が掛かり非効率である。そこで、ラテン方陣を用いて、特性劣化による回路性能の変化を逐次的に追跡する手法が提案された [8]。しかし、この手法はアナログ回路において、ある回路性能 (ノイズ・マージン等) の分布が劣化によりどう変化するかを解析することに主眼を置いている。つまり劣化が性能分布全体の形状に与える影響を解析することが目的となっている。一方、本研究の目標は特性劣化によって不良確率が経時変化する様子を解析することにあるため、性能分布の裾野を非常に高精度に解析する必要がある。従って文献 [8] の手法をそのまま適用することは出来ない。

本研究では SubSim に加えて、Augmented reliability 問題を考えることで、この問題に対する解決策を与える。この手法は、構造物の信頼性を計算する目的で、構造物の設計を変更した時に、信頼性がどのように変化するかを解析するために開発された手法である [9]。本研究のキーアイデアは回路の年齢を設計変数と見なし、文献 [9] を適用することにある。これにより、単一の解析で不良確率の経時変化を捉える効率の良い計算を可能とする。

2. 予備知識

2.1 集積回路の特性劣化

本研究では劣化モードとして NBTI を想定するが、提

案手法は劣化を考慮した一般的な枠組みを提供しており、PBTI、HCI や TDDB 等も少しの変更で追加出来ることに注意されたい。

NBTI は pMOS トランジスタのゲート電極に負バイアスが印加 (このとき pMOS トランジスタは ON 状態) されることで発生する、 V_{TH} の緩やかな上昇のことである。負バイアスを取り除く (つまり pMOS トランジスタを OFF にする) と、劣化した V_{TH} は急速に回復する。この回復現象が NBTI 劣化のモデル化・予測を一層複雑なものとしている。

NBTI 起因の V_{TH} 劣化を予測する様々なモデルが提案されている。本研究では、デバイスの長期劣化を対象としているため、文献 [10] で提案されている長期劣化予測モデルを用いる。このモデルによると V_{TH} 劣化量 (ΔV_{TH}) は以下のように書ける。

$$\Delta V_{TH} = \left(\frac{0.001n^2 K_v^2 \alpha C t}{0.81 t_{ox}^2 (1 - \alpha)} \right)^2 \quad (1)$$

ここで K_v は温度と動作電圧に依存するパラメータである。 C は温度に依存するパラメータ、 t_{ox} はゲート絶縁膜の膜厚である。 α ($0 \leq \alpha \leq 1$) はストレス確率を表しており、pMOS トランジスタが常に ON 状態にある場合が $\alpha = 1.0$ に対応する。式 (1) の $\alpha \rightarrow 1.0$ における発散を避けるために、式 (1) の上限は、常にストレスを印加したときの ΔV_{TH} の予測値 ($\Delta V_{th} = (K_v^2 \cdot t)^n$) で制限されている。式 (1) を見ると、 ΔV_{TH} は α が 1.0 に近づくほど増大することが分かる。従って、スイッチング確率が低い SRAM セルや FF 等の記憶素子では、あるトランジスタに長時間に渡ってストレスが印加され続けるため NBTI は重要な問題として注目されている。

2.2 不良確率解析

不良確率解析は以下の積分計算に帰着される。

$$P_{F|\phi} = P(F|\phi) = \int I(x; \phi) P(x|\phi) dx \quad (2)$$

ここで、 ϕ はチャネル長・チャネル幅等の設計変数、 x は製造ばらつきに対応する D 次元の確率変数であり、 $P(x|\phi)$ は設計変数が与えられた時の x の確率密度関数 (PDF) である。確率変数間の相関は白色化によって取り除くことが出来るため、 x の各要素 (x_d) は、それぞれ独立であると仮定しても一般性を失わない。従って $P(x|\phi)$ は

$$P(x|\phi) = \prod_{d=1}^D p_x^d(x_d) \quad (3)$$

と書ける。ここで、 $p_x^d(\cdot)$ は x_d の PDF である。式 (2) の $I(x; \phi)$ は特性ばらつきが x 、設計変数が ϕ で与えられる回路が、誤動作する時に “1” を、それ以外で “0” を返すインデックス関数である。回路の不良は、信号伝播遅延やノイズ・マージンといった回路の性能値が設計許容値を超えることとして定義出来る。回路の性能値を計算する関数を $y(x; \phi)$ とすると、 $I(x; \phi)$ は次のように書ける。

$$I(x; \phi) = \begin{cases} 1 & (y(x; \phi) \geq \theta) \\ 0 & (\text{otherwise}) \end{cases} \quad (4)$$

式 (2) の積分は非常に小さい値となる (通常 10^{-6} 以下のオーダ) ため、純粋なモンテカルロ法では計算できない。

2.3 Subset simulation

Subset simulation (SubSim) は構造物の信頼性を計算するために開発された、稀事象の生起確率を効率的に計算できる手法である [6]。SubSim の基本的な考え方は、非常に生起確率が低い事象を、複数の、比較的起確率が高い事象の積に分解することにある。つまり、SubSim は単一の稀事象シミュレーションを、複数の、それほど稀ではない事象のシミュレーションに分解する手法を提供する。

まず、入れ子になった不良事象 $\{F = F_K \subset F_{K-1} \subset \dots \subset F_1\}$ を考える。 F は、解析対象の不良事象であり、 F_i ($i = K-1, \dots, 2$) は中間不良事象である。各不良事象に対応する不良領域は

$$\Omega_k = \{x; y(x) > \theta_k\} \quad (k = 1, 2, \dots, K) \quad (5)$$

と書ける。ここで、 θ_k は $\theta_1 < \theta_2 < \dots < \theta_K = \theta$ を満たす系列である。すると、不良事象 F の生起確率は以下のように、条件付き確率の積に分解出来る。

$$P_F = P(F) = P(F_1) \prod_{k=1}^{K-1} P(F_{i+1}|F_i) = \prod_{k=1}^K P_k \quad (6)$$

ここで、 $P_1 = P(F_1)$ 、 $P_k = P(F_k|F_{k-1})$ 、 $k = 2, 3, \dots, K$ とした。中間事象 F_k を適切に選ぶことで、条件付き確率 P_k を単純なモンテカルロで十分計算できる程度に大きく取ることが出来る。

以下では簡単な例題を用いて SubSim の動作を詳しく説明する。簡単のため、ばらつき変数は 2 次元 ($x = (x_1, x_2)$) とする。

まず、 $p_x(\cdot)$ から N 個の乱数 $\{x^{(1,l)}; l = 1, 2, \dots, N\}$ を生成する。ばらつき変数に対応する回路の性能値 $\{y(x^{(1,l)}); l = 1, 2, \dots, N\}$ を SPICE 等の回路シミュレータで計算しておく。次に $\{y(x^{(1,l)})\}$ の中から T 番目に大きな値を選択し、その値を θ_1 とする。 $y(x) > \theta_1$ を満たすような x を $\{x^{(1,l)}; l = 1, 2, \dots, N\}$ から探し $\{x_F^{(1,t)}; t = 1, 2, \dots, T\}$ とする。つまり中間不良事象を $F_1 = \{y|y(x) \geq \theta_1\}$ と選んでいることになる。すると $P(F_1)$ は $P(F_1) = T/N$ で計算出来る。

次に条件付き確率 $P(F_2|F_1)$ の計算を考える。ここではマルコフ連鎖モンテカルロ法 (MCMC) を使って条件付き分布をシミュレートすることにより $P(F_2|F_1)$ を計算する。MCMC は種となるサンプルからランダムウォークに基づいて乱数系列を生成することで、複雑な確率分布のシミュレートを可能にする手法のことである。SubSim では $\{x_F^{(1,t)}; t = 1, 2, \dots, T\}$ を種に持つ T 本の独立なマルコフ連鎖を用いて、条件付き確率を計算する。

従来の MCMC では、提案分布と呼ばれる、次のウォークを決定する分布の選択が困難であった。提案分布の分散が大きすぎる場合、殆どのウォークが採択されず、ランダムウォークはある空間から抜け出せなくなる。逆に分散が小さすぎるとウォーク間の相関が高くなり、サンプリング効率が低下してしまう。そこで文献 [11] では改良型 Metropolis アルゴリズム (Modified Metropolis; MM) を提案している。

MM を使って条件付き分布のシミュレーションを行う過程を詳しく述べる。まず、マルコフ連鎖の先頭 $x^{(2,t,1)}$ に $x_F^{(1,t)}$ を設定する。次に連鎖の 2 番目に対応するサンプル $x^{(2,1,2)} = [x_1^{(2,1,2)}, x_2^{(2,1,2)}]$ を以下の手順で生成する。まず候補サンプルを以下の分布から生成する。

$$x_1^{\text{new}} \sim q_x(x_1^{\text{new}}|x_1^{(2,1,1)}) \quad (7)$$

ここで $q_x(\cdot)$ は $q_x(x_1^{\text{new}}|x_1^{\text{old}}) = q_x(x_1^{\text{old}}|x_1^{\text{new}})$ を満たす 1 次元の確率分布であり、一般的にはガウス分布が用いられる ($q_x(x_1^{\text{new}}|x_1^{(2,1,1)}) = \mathcal{N}(x_1^{\text{new}}|x_1^{(2,1,1)}, \sigma_x^2)$)。なお、ガウス分布の PDF は

$$\mathcal{N}(x|\mu, \sigma^2) = \frac{1}{\sqrt{2\pi\sigma^2}} \exp\left(-\frac{(x-\mu)^2}{2\sigma^2}\right) \quad (8)$$

で与えられる。 σ_x の選択は MM アルゴリズムの性能に影響する。ここでは製造ばらつき分散と同じ値に設定した。次に以下で与えられる比を計算する。

$$r = p_x^1(x_1^{\text{new}})/p_x^1(x_1^{(2,1,1)}) \quad (9)$$

ここで、 $p_x^1(\cdot)$ は式 (3) に示した、ばらつき変数 x_1 に対応する PDF である。次に、区間 $[0,1]$ の一様分布から乱数 u を生成し、 $x_1^{(2,1,2)}$ の候補となるサンプル $\hat{x}_1^{(2,1,2)}$ を以下の様に設定する。

$$\hat{x}_1^{(2,1,2)} = \begin{cases} x_1^{\text{new}} & (u \leq \min(1, r)) \\ x_1^{(2,1,1)} & (u > \min(1, r)) \end{cases} \quad (10)$$

$\hat{x}_2^{(2,1,2)}$ も同様の手順で生成し、2 次元の候補サンプル $\hat{x}^{(2,1,2)} = (\hat{x}_1^{(2,1,2)}, \hat{x}_2^{(2,1,2)})$ を得る。次に回路シミュレータを使って候補サンプルに対する回路性能値 $\hat{y}^{(2,1,2)} = y(x^{(2,1,2)})$ を計算する。そしてマルコフ連鎖の 2 番目に対応するサンプルを以下の様に決定する。

$$x^{(2,1,2)} = \begin{cases} \hat{x}^{(2,1,2)} & (\hat{y}^{(2,1,2)} \geq \theta_1) \\ x^{(2,1,1)} & (\text{otherwise}) \end{cases} \quad (11)$$

上記の手順を繰り返すことで条件付き乱数サンプル群 $\{x^{(2,1,l)}; l = 1, 2, \dots, L\}$ を得ることが出来る。ここで L はマルコフ連鎖の長さであり $L = N/T$ である。他の種サンプルを先頭にしたマルコフ連鎖も同様に生成し、最終的に、 $T \cdot L$ 個の乱数サンプルが得られることになる。

文献 [11] によれば、条件付き確率分布 $P(x|x \in \Omega_1)$ に従うサンプルを種にしてマルコフ連鎖を生成すれば、新たに得られた乱数サンプルも同じ条件付き確率分布に従うことが示されている。先ほどの手順で生成したマルコフ連鎖は Ω_1 に属するサンプルを種にしているため、 $P(x|x \in \Omega_1)$ に従う $L \cdot T$ 個の条件付きサンプルが生成出来たことになる。 $P(F_1)$ の計算と同様に、 $L \cdot T$ 個のサンプルを性能値順にソートし、性能値の上位 T 個を選択し、上位 T 番目の性能値を θ_2 とおく。このとき $P(F_2|F_1) = \frac{T}{N}$ と計算できる。同様に、マルコフ連鎖を T 個のサンプルを種として生成し、 $P(F_3|F_2)$ 以降を計算する。

この手順を θ_k が目標の不良レベル θ を越えるまで繰り返す。最終的に目標の不良確率は以下の様に計算出来る。

$$P_F = \prod_{k=1}^K P_k = \left(\frac{T}{N}\right)^{K-1} \cdot \frac{T'}{N} \quad (12)$$

ここで、 K は θ_k が θ を越えるのに要した反復回数であり、 T' は最後の反復で生成された乱数群において $y(x^{(K,t,l)}) > \theta$ を満たすサンプル数である。

2.4 Augmented reliability 問題

不良確率は、解析対象となるシステムの設計によって変化する。そこで、ある設計に対する不良確率を解析するだけに留まらず、設計を変更した際に不良確率へ与える影響を解析したいという要求が出てくる。これを実現する最

も単純なアプローチは、異なる設計パラメータに対して不良確率解析を行うことである。しかし、複数回の不良確率解析が必要であり効率が悪い。本研究では Augmented reliability 問題を導入することで、1 回の不良確率解析から設計変数の変化に対する不良確率の変化を推定する手法を用いる。

まず、Augmented reliability 問題を導入する。これは、設計変数 ϕ も何らかの確率分布 $p_\phi(\cdot)$ に従って分布している確率変数だと見なすことで、ばらつき変数と設計変数を同じ枠組みで取り扱えるよう、拡張した問題のことである。ここで $p_\phi(\cdot)$ は不確実性を表現するためではなく、後々の確率的取扱いを容易にするために導入されていることに注意されたい。 ϕ を確率変数だと見なすと設計変数が与えられた時の不良確率 $P(F|\phi)$ は条件付き確率分布となる。これにベイズの定理を適用すると

$$P(F|\phi) = \frac{P(\phi|F)P(F)}{P(\phi)} \quad (13)$$

となる。式 (13) を見ると、 $P(F|\phi)$ は $P(F)$ と $P(\phi|F)$ が得られれば計算出来ることが分かる。

$P(F)$ は、特性ばらつき変数と設計変数のペア $[x, \phi]$ を新たなばらつき変数と見なして、前節で示した SubSim アルゴリズムを使えば計算出来る。また、SubSim アルゴリズムは、モンテカルル口法に基づいているため、不良確率を計算する過程で不良サンプル（回路が不良となるばらつき変数と設計変数の組）も副産物として得られる。これら不良サンプルは $P(x, \phi|F)$ に従って分布しており、 x に関して周辺化（積分）してやれば $P(\phi|F)$ を計算出来る。以上より、SubSim を 1 回実行するだけで、 $P(F)$ と $P(x, \phi|F)$ が得られ、式 (13) を使って $P(F|\phi)$ が求まる。

条件付き分布 $P(\phi|F)$ を構築するためには、確率変数の実現値から分布の形状を推定出来る必要がある。一般的に、これは困難な問題であるため、ここでは $P(\phi|F)$ をヒストグラムで近似することにより問題を単純化する。すると式 (13) は以下の様に見える。

$$P(F|\phi \in I_m) = \frac{P(\phi \in I_m|F)}{P(\phi \in I_m)} P(F) \quad (14)$$

ここで $P(\phi \in I_m)$ は設計変数 ϕ がヒストグラムの m 番目のビン I_m ($m = 1, 2, \dots, M$) に入る確率を、 M は近似に用いたビンの数を示している。

3. 提案手法

3.1 提案手法

本研究では、SubSim と Augmented reliability 問題を組み合わせた手法（以下、SubSim-AR と呼ぶ）を応用し、回路の特性劣化によって不良確率が経時変化する様子を効率的に解析する。本来、SubSim-AR は構造物信頼性の分野で考案され、前述の様に、解析対象の設計が変更された時に、不良確率がどの様に変わるのが解析するために利用されてきた。本研究では、回路の年齢を設計変数と見なすことで SubSim-AR を経年劣化解析に応用する。

手法の詳細を述べる前に、簡単な例題を用いて SubSim-AR の動作を示す。例題では、分散 1、平均 0 のガウス分布に従う乱数 r を考え、 $\phi_{ex} \cdot r$ が、あるしきい値 C を越える確率を計算する。ここで ϕ_{ex} は 1 次元の設計パラメータである。対応する不良事象は $F_{ex} = \{(r, \phi_{ex}); \phi_{ex} \cdot r > c\}$

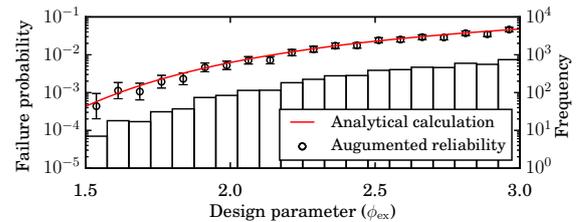


図 1 例題を用いた SubSim-AR の動作確認

で表現される。この不良事象の生起確率は以下の積分計算に帰着される。

$$P(F_{ex}|\phi_{ex}) = \int_{C/\phi_{ex}}^{\infty} r \cdot p_r(r) dr = 1 - \Phi(C/\phi_{ex}) \quad (15)$$

ここで $\Phi(x)$ は標準正規分布の累積分布関数 (cumulative distribution function; CDF) である。 $\Phi(x)$ には精度の良い近似があることから式 (15) は関数近似により解析的に解くことも出来る。ここでは SubSim-AR で計算した値と近似手法で計算した値を比較し、SubSim-AR の妥当性を示す。

図 1 に SubSim-AR で計算した結果を黒のマーカで、関数近似に基づき解析的に計算した結果を赤の実線で示す。また、棒グラフは不良サンプルのヒストグラムを示している。マーカに付随するエラーバーは 95% の信頼区間を示しており、しきい値 C は 5.0 に設定した。図 1 から分かるように 2 つの手法で計算した結果が良く一致しており、SubSim-AR が不良確率の変化を正しく計算出来ていることが分かる。

ここで、SubSim-AR の特徴である、設計変数と製造ばらつきを、ともにばらつき変数と見なして解析を行うことの利点を考えてみる。図 2 に複数回の不良確率解析を行う従来手法 (a) と SubSim-AR (b) の計算過程を示す。図 2(a) の x 軸は特性ばらつき等に対応する確率変数、 y 軸は設計変数を表している。色のついた領域は不良領域を表している。図 2(a) の例では 4 つの設計例における不良確率を独立に解析している。従来法では乱数サンプルの動く領域は、ある特定の設計例に対応する領域に限定されており、その設計例における不良確率しか解析できない。ここで、特性劣化は緩やかに進行する現象であるという点に注意されたい。例えば、1 年間使用した回路で不良確率を計算した時の不良サンプルと、2 年間使用した場合の不良サンプルが分布する領域はお互いに重複部分が大いと考えられる。つまり独立に解析を行う場合には、不良領域の重複部分を何度も再探索することになるため、効率が非常に悪い。図 2(b) に示すように、SubSim-AR では、乱数サンプルは拡張された不良空間を動くことで、あるサンプルが特定の設計例における不良確率だけでなく、隣接する設計における不良確率の計算にも寄与出来る。つまり、重複部分を何度も探索する必要がなくなるため、解析の高効率化が可能となっている。

ここで、式 (14) を詳しく見ると、 $P(F)$ は設計変数 ϕ に対して定数であることが分かる。つまり、異なる設計に対して不良確率を解析した場合、 $P(F)$ は再計算する必要がない。そこで、SubSim-AR では、拡張された不良空間で SubSim を行い、全てのサンプルを $P(F)$ の計算に寄与させることで、 $P(F)$ を高精度に計算する。

Augmented reliability 問題において、拡張した不良確率

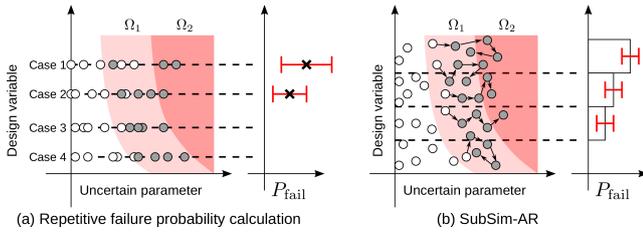


図 2 不良確率計算の動作イメージ . (a) 複数の設計変数で独立に計算した場合 (b) SubSim-AR で同時に計算した場合

($P(F)$) と、特定の設計における不良確率 ($P(F|\phi)$) は、条件付き確率 $P(\phi \in I_m|F)$ によって結び付けられている . $P(\phi \in I_m|F)$ は、前述の通り、ヒストグラムを作り、特定の設計変数に対応したピンに含まれるサンプル数を、全サンプル数で割ることで計算する . 設計変数の変化に対して、不良確率が大幅に変化してしまうと、サンプルが特定のピンに集中してしまい、 $P(\phi \in I_m|F)$ を正しく推定することが出来ない . しかし、本研究では、劣化に伴う不良確率変化の解析を対象としており、設計変数である回路年齢の変化に伴う不良確率の変化は緩やかである . 従って、単純なヒストグラム近似でも $P(\phi \in I_m|F)$ を精度良く計算することが出来る . このように、SubSim-AR は、本研究で取り扱っているような、劣化の解析に良く適していることが分かる .

3.2 解析アルゴリズム

SubSim-AR の実装について、その詳細を述べる . 以下では、製造ばらつきを x 、設計変数 (回路年齢) を ϕ で表す . それぞれの変数が従う PDF は $p_x(\cdot)$ 、 $p_\phi(\cdot)$ とする . また $y(x, \phi)$ は回路の性能値 (遅延やノイズマージン等) を計算する関数であり、不良事象は $y(x, \phi)$ が設計基準 θ を超えることとして定義する .

- 1: N 個の乱数サンプルを $p_x(\cdot)$ 及び $p_\phi(\cdot)$ から生成し $\{(x^{(1,l)}, \phi^{(1,l)}); l=1, 2, \dots, N\}$ を得る
 - 2: 乱数サンプルに対応する回路性能値 $\{y(x^{(1,l)}, \phi^{(1,l)}); l=1, 2, \dots, N\}$ を計算する
 - 3: θ_1 を T 番目に大きな回路性能値とし、 $y(x^{(1,l)}, \phi^{(1,l)}) \geq \theta_1$ を満たすサンプルに対して、 $\{(x_F^{(1,t)}, \phi_F^{(1,t)}); t=1, 2, \dots, T\}$ とラベルを付け直す .
 - 4: P_1 を T/N とする
 - 5: $k=2, L=N/T$ とする
 - 6: $(x^{(k,t,1)}, \phi^{(k,t,1)}) = (x_F^{(k-1,t)}, \phi_F^{(k-1,t)}); t=1, 2, \dots, T$ とする
 - 7: **while** $\theta_{k-1} < \theta$ **do**
 - 8: **for** $t=1, 2, \dots, T$ **do**
 - 9: **for** $l=2, 3, \dots, L$ **do**
 - 10: **for** $d=1, 2, \dots, D$ **do**
 - 11: 候補サンプル x_d^{new} を提案分布 $q_x(x_d^{\text{new}}|x_d^{(k,t,l-1)})$ から生成する
 - 12: $r = p_x^d(x_d^{\text{new}})/p_x^d(x_d^{(k,t,l-1)})$ を計算する
 - 13: 乱数 u を区間 $[0, 1]$ の一様分布から生成し、 $\hat{x}_d^{(k,t,l)}$ を以下のように決める .
- $$\hat{x}_d^{(k,t,l)} = \begin{cases} x_d^{\text{new}} & u \leq \min(1, r) \\ x_d^{(k,t,l-1)} & \text{otherwise} \end{cases} \quad (16)$$
- 14: **end for**
 - 15: 同様に候補サンプル $\hat{\phi}^{(k,t,l)}$ を $p_\phi(\cdot)$ から生成する
 - 16: 回路シミュレータを用いて候補サンプルに対応する

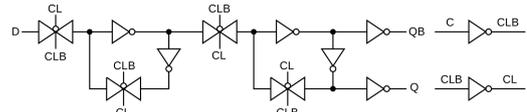


図 3 DFF の回路図

回路性能値 $\hat{y}^{(k,t,l)} = y(\hat{x}^{(k,t,l)}, \hat{\phi}^{(k,t,l)})$ を計算する $(x^{(k,t,l)}, \phi^{(k,t,l)})$ を以下のように設定する

$$17: \quad (x^{(k,t,l)}, \phi^{(k,t,l)}) = \begin{cases} (\hat{x}^{(k,t,l)}, \hat{\phi}^{(k,t,l)}) & \hat{y}^{(k,t,l)} \geq \theta_{k-1} \\ (x^{(k,t,l-1)}, \phi^{(k,t,l-1)}) & \text{otherwise} \end{cases} \quad (17)$$

- 18: **end for**
- 19: **end for**
- 20: $\hat{\theta}_k$ を $\{y^{(k,t,l)}; t=1, 2, \dots, T \text{ and } l=1, 2, \dots, L\}$ の中で T 番目に大きな値に設定する
- 21: **if** $\hat{\theta}_k \geq \theta$ **then**
- 22: $K=k, \theta_k=\theta$ とする
- 23: $y(x^{(K,t,l)}, \phi^{(K,t,l)}) \geq \theta$ を満たすサンプルを選択し、 $\{(x_F^{(K,t)}, \phi_F^{(K,t)}); t=1, 2, \dots, T'\}$ とラベルを付け直す
- 24: 上述のアルゴリズムを用いて $N'=N/T'$ 個の乱数を新たに生成する . これは条件付き確率 $P(\phi \in I_m|F)$ の計算精度を高めるためである .
- 25: P_K を $P_K=T'/N$ と計算する
- 26: **while** ループを抜ける
- 27: **else**
- 28: $y(x^{(k,t,l)}, \phi^{(k,t,l)}) \geq \theta_k$ を満たすサンプルを選択し、 $\{(x^{(k,t)}, \phi^{(k,t)}); t=1, 2, \dots, T\}$ とラベルを付け直す
- 29: P_k を $P_k=T/N$ と計算する
- 30: $k=k+1$ と更新する
- 31: **end if**
- 32: **end while**

4. 数値実験

4.1 実験設定

数値実験により提案手法の効果を確かめる . DFF の Clock-to-Q 遅延が規定値 (70 ps) を超えた場合を不良とし、その確率が劣化によって変化する様子を解析する . 図 3 に DFF の回路図を示す . 製造ばらつきは離散不純物ばらつきに起因するしきい値電圧ばらつきを考慮した . 従って各トランジスタのしきい値電圧は標準値を中心として以下の正規分布が重畳しているとする .

$$\Delta_{\text{TH}}^{\text{RDF}} \sim \mathcal{N}(0, A_{V_T}/\sqrt{L \cdot W}) \quad (18)$$

ここで、 A_{V_T} はペルグロム係数、 $L \cdot W$ はそれぞれチャネル長・チャネル幅である . 本実験では $A_{V_T} = 4 \times 10^{-9} \text{ V/m}^2$ と仮定した .

劣化モードは NBTI を想定し、式 (1) で与えられるしきい値電圧変動を重畳させた . NBTI 劣化量はストレス確率 α に依存するが、この実験では DFF が “0” と “1” を同確率で保持していると仮定した ($\alpha = 0.5$ と設定) . またチップ温度は 125°C とした . その他のパラメータは商用 65 nm プロセスの特性を反映できるように、設定している .

4.2 結果

図 4(a) に赤で示すサンプル点が SubSim-AR に基づく提案手法で計算した不良確率とチップ年齢の関係である .

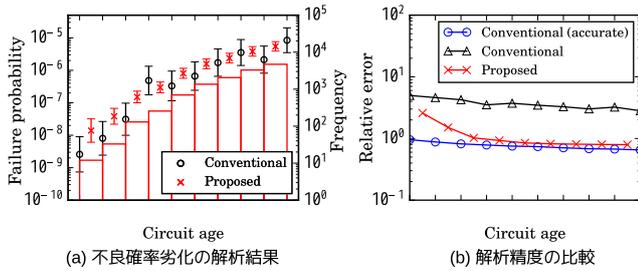


図 4 実験結果

横軸はチップ年齢，縦軸は対数スケールの不良確率を示している．1年毎の不良確率を独立に解析した結果は黒のサンプル点で示している．どちらも95%の信頼区間をエラーバーで表示している．また赤の棒グラフは回路不良を引き起こしたサンプルについて，そのチップ年齢 (ϕ) に関するヒストグラムを示している．ここで，提案手法はチップ年齢が，ある小領域に入っているときの不良確率を計算している点に注意が必要である．つまり，図4(a)においてCircuit ageが1から2の間にある赤のサンプル点は，回路年齢が1から2の間の平均不良確率を示している．一方で，黒で示した従来法の結果は，回路年齢が横軸の値と同じである時の不良確率を示している．提案手法においてチップ年齢と不良確率変化の更に細かい関係を見るためには更に多くの乱数サンプルを使う必要があり，計算時間が増大してしまう．図4(a)を見るとSubSim-AR及び従来法で計算した結果が良く一致しているため，実用上は，ピン幅を1年とすれば十分であると言える．

図4(b)は計算した不良確率の相対誤差を示す．ここでは95%信頼区間に対する不良確率の比を相対誤差とした．赤と黒のマーカはそれぞれ，提案手法を使った場合，及び，独立に計算した場合の相対誤差を示している．なお，提案手法では 80×10^3 回の回路シミュレーションが，独立に解析した場合では 101×10^3 回の回路シミュレーションが必要であった．比較のために，独立に不良確率を計算した場合で，更に多くの回路シミュレーションを実行するよう設定し，高精度な計算結果を得た．この時， 998×10^3 回の回路シミュレーションが必要であり，その計算結果に対する相対誤差を図4(b)に青線で示している．

不良確率はチップ年齢の増加とともに単調に増加するはずだが，図4(a)に示す従来法の結果は非単調に増加しており，また，信頼区間の幅も大きい．一方，提案手法で計算した不良確率は単調に増加しており，信頼区間の幅も十分小さいことが分かる．これは図4(b)からも明らかであり，提案手法は，従来法で10倍多くの回路シミュレーションを実行した場合と同程度の計算精度を達成できている．なお，正規分布等から乱数をサンプリングする時間やその他の処理時間は回路シミュレーションに要する時間と比較して無視できるほど小さい．従って，前述の結果から，提案手法により精度を損なうことなく計算時間を1/10程度まで削減出来ることが明らかとなった．

5. まとめ

集積回路の経年劣化によって変化する回路の不良確率を，効率的に計算する手法を提案した．提案手法は，構造計算分野で開発された，設計変数が構造物の信頼性に

与える影響を解析する手法に基づいている．具体的には，Augmented reliability問題に基づき，回路の年齢と特性ばらつきを，ともに確率変数と見なして不良確率解析を適用することで，1回の不良確率解析の結果から不良確率の経時変化も含めて推定することを可能とした．数値実験の結果，劣化時間を離散的に変化させつつ，独立に不良確率を計算する場合と比較して，同等の精度を保ちつつ，10倍程度的高速化が達成可能であることが明らかとなった．

謝辞 本研究の一部は，JSPS 特別研究員奨励費及びJSPS 科研費基盤研究 (B) 26280014 の支援を受けた．また，本研究は東京大学大規模集積システム設計教育センターを通し，シノプシス株式会社の協力で行われたものである．

参考文献

- [1] Bhavnagarwala, A., Tang, X. and Meindl, J.: The impact of intrinsic device fluctuations on CMOS SRAM cell stability, *IEEE J. Solid-State Circuits*, Vol. 36, No. 4, pp. 658–665 (online), DOI: 10.1109/4.913744 (2001).
- [2] Kanj, R., Joshi, R. and Nassif, S.: Mixture importance sampling and its application to the analysis of SRAM designs in the presence of rare failure events, *Design Automation Conf.*, pp. 69–72 (2006).
- [3] Katayama, K., Hagiwara, S., Tsutsui, H., Ochi, H. and Sato, T.: Sequential importance sampling for low-probability and high-dimensional SRAM yield analysis, *Int. Conf. on Comput.-Aided Design*, pp. 703–708 (2010).
- [4] Kida, T., Tsukamoto, Y. and Kihara, Y.: Optimization of importance sampling Monte Carlo using consecutive mean-shift method and its application to SRAM dynamic stability analysis, *Int. Symp. on Quality Electron. Design*, pp. 572–579 (2012).
- [5] Sun, S. and Li, X.: Fast Statistical Analysis of Rare Circuit Failure Events via Subset Simulation in High-dimensional Variation Space, *Int. Conf. on Comput.-Aided Design*, pp. 324–331 (2014).
- [6] Au, S. K. and Beck, J. L.: Estimation of small failure probabilities in high dimensions by subset simulation, *Probabilistic Eng. Mechanics*, Vol. 16, No. 4, pp. 263–277 (2001).
- [7] Au, S. K., Ching, J. and Beck, J. L.: Application of subset simulation methods to reliability benchmark problems, *Structural Safety*, Vol. 29, No. 3, pp. 183–193 (2007).
- [8] Chen, Y.-L., Wu, W., Liu, C.-N. and He, L.: Incremental Latin hypercube sampling for lifetime stochastic behavioral modeling of analog circuits, *Asia and South Pacific Design Automation Conf.*, pp. 556–561 (2015).
- [9] Au, S. K.: Reliability-based design sensitivity by efficient simulation, *Computers & Structures*, Vol. 83, No. 14, pp. 1048–1061 (2005).
- [10] Wang, W., Yang, S., Bhardwaj, S., Vrudhula, S., Liu, F. and Cao, Y.: The Impact of NBTI Effect on Combinational Circuit: Modeling, Simulation, and Analysis, *IEEE Trans. VLSI Syst.*, Vol. 18, No. 2, pp. 173–183 (2010).
- [11] S. K. Au and J. L. Beck: Subset Simulation and its Application to Seismic Risk Based on Dynamic Analysis, *J. of Eng. Mechanics*, Vol. 129, No. 8, pp. 901–917 (2003).