

65nmFD-SOIプロセスにおける非冗長化耐ソフトエラー フリップフロップのエラー耐性評価

山口 潤己¹ 古田 潤¹ 小林 和淑¹

概要: 集積回路の微細化・高集積化に伴い、一過性の故障であるソフトエラーの影響が深刻化してきている。本研究では 65nmSOTB (Silicon On Thin BOX) プロセスにおいて、非冗長化耐ソフトエラーフリップフロップである SLCCFF (Stacked Leveling Critical Charge Flip-Flop) を提案し、中性子照射試験によりソフトエラー耐性を評価した。SLCCFF は SOI プロセスにおけるソフトエラーを抑制するためインバータが縦積みとなっている。同様の構造をとる stacked FF よりも遅延時間と消費電力のオーバーヘッドが小さい。中性子照射試験の結果、SOTB プロセスでは電源電圧 0.4V において、SLCCFF は D-FF に比べ約 27 倍、bulk プロセスの DFF と比較すると、約 1080 倍高いソフトエラー耐性を示した。

Evaluation of Soft Error Tolerance of a Radiation-Hardened Non-redundant Flip-Flop in a 65nm FD-SOI Process

JUNKI YAMAGUCHI¹ JUN FURUTA¹ KAZUTOSHI KOBAYASHI¹

Abstract: With the miniaturization of integrated circuits in recent years, the impact of soft errors has been serious. We propose SLCCFF which is a radiation hardened non-redundant flip-flop in 65 nm SOTB (Silicon On Thin BOX) process. We measured its soft error reliance by neutron irradiation. SLCCFF has the stacked structure to prevent soft errors on SOI processes while maintaining smaller delay and power overhead than conventional stacked FFs. Experimental results show that the SLCCFF is about 27x stronger than the standard DFF at 0.4V power supply in the SOTB process. It is about 1080x stronger compared with the standard DFF in the bulk process.

1. 序論

集積回路は微細化・高集積化により高性能になり、それによって計算機の性能が上がりまた微細化が進むというサイクルを歩んできた。近年、微細化が進むことで、今までは過酷な宇宙線にさらされる宇宙においての問題であったソフトエラーの影響が、地上でも無視できなくなっている。1980年代は1チップあたりのSERは1000FIT以下に抑え込むことが一般的に要求された。1FITとは、1チップが平均 10^9 時間に1回の確率で不良が発生することを示す。1000FITとは、約114年間に1回の確率でソフトエラーが発生することを意味する。1000FITのチップを1つ使用する場合には大きな問題ではないかのように見える。

しかし、多くのチップを搭載する場合や高い信頼性が求められる航空機や医療機器などでは、1つのエラーが重大な問題となる。これからのLSIはソフトエラー対策が必須となる[1]。ソフトエラー対策として、デバイスレベルでの対策と回路レベルでの対策が考えられている。デバイスレベルではSOI (Silicon On Insulator) 技術を用いることがある。回路レベルでは冗長化などがあげられる。冗長化フリップフロップとして、TMR[2]やDICE[3]、BCDMR[4]などがあるが、これらの冗長化フリップフロップは消費電力や面積のオーバーヘッドが大変大きい。そのため冗長化によらないソフトエラー対策が重要である。

本稿では65nmFD-SOIプロセスにおいて、提案する非冗長化フリップフロップが搭載されたテストチップを設計し、そのソフトエラー耐性を評価した。第2節ではソフトエラーの発生起因とその対策技術について述べる。第3節

¹ 京都工芸繊維大学 電子システム工学専攻
Department of Electronics, Kyoto Institute of Technology

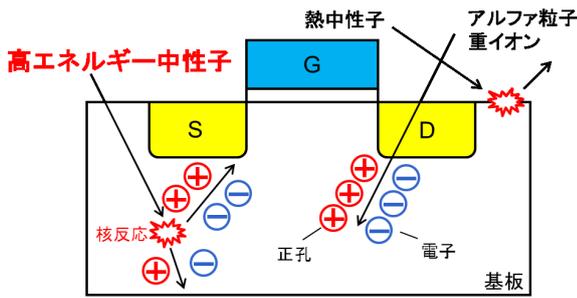


図 1 ソフトエラー発生機構

では提案する非冗長化フリップフロップの回路構造について述べる。第 4 節では中性子線起因の SEU について、実測方法と結果を述べる。第 5 節では本稿の結論を述べる。

2. ソフトエラー

2.1 ソフトエラーとは

ソフトエラーとは、集積回路 (LSI) に粒子線が通過、または衝突することにより電子正孔対が生成され、一時的にメモリの保持値やフリップフロップの論理値が反転するエラーのことである。粒子線によるソフトエラー発生機構を図 1 に示す。半導体チップや電子回路に物理的な損傷が生じるハードエラーとは異なり一過性のエラーであるので、コンピュータの再起動やデータの書き換えによって正常な動作が回復する。近年の集積回路の微細化にともなう集積化や電源電圧の低下によって、ソフトエラーの影響が顕在化してきた。これからの集積回路にとってソフトエラー対策は不可欠であるといえる。

2.2 SEE (Single Event Effect)

SEE (Single Event Effect) は粒子線の衝突または突入により発生する一時的もしくは定常的な故障を指す。SEE は大きく分けてソフトエラーとハードエラーに大別される。ソフトエラーには SEU (Single Event Upset) と SET (Single Event Transient) などがある。SEU はラッチなどのデータを保持している部分に電子正孔対が収集されることによって、データが反転するものであり、ラッチなどのデータ保持部以外の組み合わせ回路に電荷が生じパルスを発生するものを SET (Single Event Transient) と呼ぶ。一方でハードエラーには SEL (Single Event Latch-up) があり、粒子線の衝突が原因で電源と GND が短絡状態となり、その結果大電流が流れデバイスが故障してしまうことを指す。

ソフトエラーは 1bit エラーの SBU (Single Bit Upset) と複数 bit エラーの MBU (Multiple Bit Upset) に大別される。MBU とは一度の粒子の通過、衝突により複数のデータ保持部が反転するエラーである。発生機構としては電荷共有や寄生バイポーラ効果などがあり、いずれも素子間の

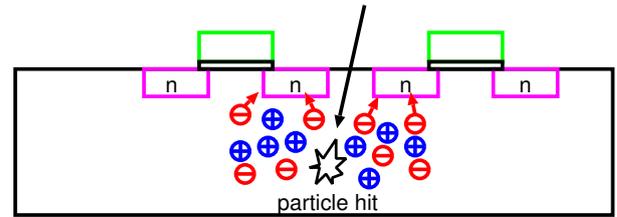


図 2 電荷共有

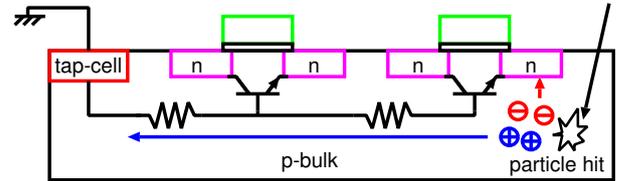


図 3 寄生バイポーラ効果

[D. Kobayashi, ECS Transaction, 2011]

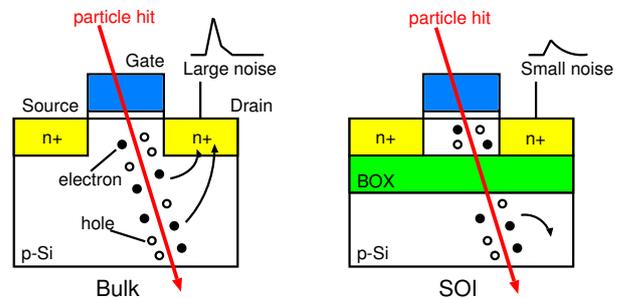


図 4 バルクと SOI に粒子線が突入した様子

距離に強く依存し、素子が隣接していると発生しやすくなる。nMOS では電子起因、pMOS では正孔起因であり、電子の移動度は正孔に比べ大きいので、nMOS のほうがソフトエラーが発生しやすくなっている。よって本稿では電子起因のものについてのみ考える。

2.3 ソフトエラー対策

SOI (Silicon On Insulator) はプレーナ型の CMOS 回路構造の一種である。チャンネルに不純物を添加しないので特性のばらつきを抑えやすく、22 nm 世代以降のトランジスタ技術の有力候補となっている。シリコン基板とトランジスタ (表面シリコン) の間に、絶縁物の層 (BOX 層, Buried Oxide) を挿入する。絶縁物としては主に SiO_2 が用いられる。SOI に粒子線が突入した様子を図 4 に示す。SOI は BOX 層を挿入することにより、トランジスタの寄生容量を小さくすることができる。高速または低消費電力動作が可能であり、ソフトエラー耐性も強い。粒子線の衝突により発生した電荷は、従来のバルク構造ではドレイン領域に収集されてしまう。対して SOI 構造では、SOI 層で発生した電荷はドレイン領域に収集されてしまうものの、基板で発生した電荷は BOX 層により遮られるため、収集されることなく基板へ逃げる。[5]

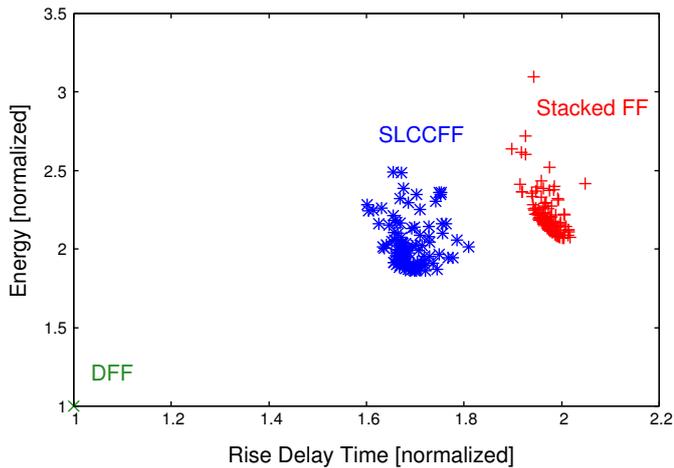


図 9 遅延時間ならびに消費エネルギーの評価 (DFF を 1 とし規格化)

表 1 Energy, Delay and Area Comparison

	Energy	Delay	Area	Power
Stacked FF	2.13	2.00	1.12	1.07
SLCCFF	1.89	1.67	1.24	1.13

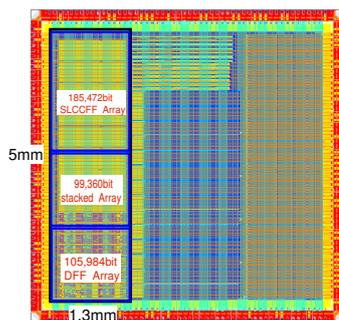


図 10 テストチップのフロアプラン

4. 中性子照射試験によるソフトエラー耐性評価

本節では作成したテストチップの概要と実験方法、中性子起因 SEU の実験結果について述べる。

4.1 テストチップ

非冗長化フリップフロップのソフトエラー耐性を評価するため、テストチップを設計し、中性子照射試験を行った。テストチップは 65 nm bulk および SOTB プロセスで、全く同様のレイアウトパターンで試作した。図 10 にテストチップの詳細を示す。テストチップの FFARRAY 部は 1.3 mm×5 mm であり、計 390,816 個のフリップフロップが搭載されている。内訳は DFF が 105,984bit、stacked FF が 99,360bit、SLCCFF が 185,472bit となっている。各フリップフロップはアレイ状に配置されており、全てのフリップフロップをシフトレジスタとして接続した。

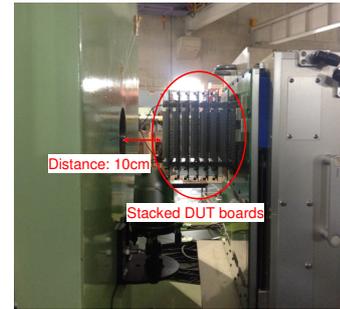


図 11 Radiation test by neutron

4.2 中性子照射試験

中性子照射試験は大阪大学 RCNP (Research Center for Nuclear Physics) で行った。図 11 に試験の様子を示す。中性子線によるソフトエラーは、中性子線が Si 原子と核反応を起こすことによって発生した荷電粒子が電子正孔対を生成することにより発生するため、 α 線に比べソフトエラーが発生しにくい。限られた実験時間内でより多くのソフトエラーを観測するため、複数ボードをスタックすることで測定を行った。1 ボードに 4 チップが搭載された DUT (Device Under Tests) ボードを 6 枚積層した。SLCCFF は stacked FF のマスターラッチの接続を変更した構造になっているため、マスターラッチがラッチ状態となる (DATA, CLK)=(0, 1)、(1, 1) の条件下で測定を行った。(DATA, CLK)=(0, 1) では N_{T1} の NMOS トランジスタ、(DATA, CLK)=(1, 1) では N_{I50} で起こると考えられるエラーを観測する。本稿では NMOS トランジスタの方が PMOS よりも放射線に脆弱であることを前提としている [9]。

4.3 中性子照射試験結果

図 12 と図 13 に bulk プロセスにおける中性子起因 SERs (Soft Error Rates) を示す。(DATA,CLK)=(0, 1) がマスターラッチのインバータ部、(DATA, CLK)=(1, 1) がマスターラッチのトライステートインバータで発生する可能性のあるエラーである。電源電圧を 1.2 V から 0.6 V に下げると、SER は約 3 倍となっていることがわかる。bulk プロセスでは stacked FF と SLCCFF の SER は DFF と同等もしくは低い結果となった。(DATA,CLK)=(0, 1) の条件下では顕著な差はみられなかった。一方で (DATA, CLK)=(1, 1)、VDD=0.6 V の条件下で DFF と比較すると、stacked FF で約 12%、SLCCFF で約 33% 低いことがわかる。

図 14 と図 15 に SOTB プロセスの試験結果を示す。bulk プロセスの DFF に比べ、SOI プロセスにおける stacked FF と SLCCFF の SER ははるかに低いことがわかる。特に (DATA, CLK)=(1, 1) における SLCCFF の SER はいずれの電源電圧においても非常に低く 3FIT/Mbit であり、VDD=0.4 V では DFF の SER の約 1/27 であった。stacked FF と比較しても同等あるいは低い SER を示した。

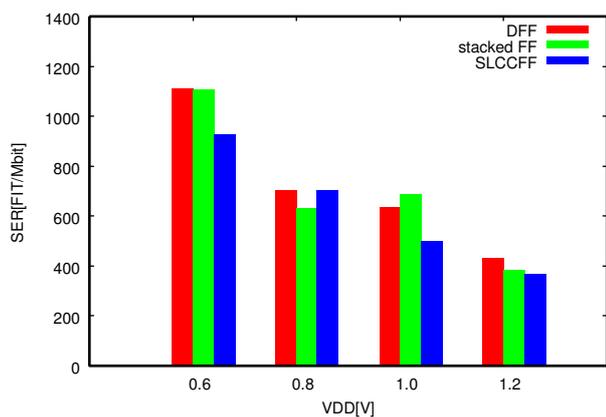


図 12 bulk (DATA, CLK)=(0, 1)

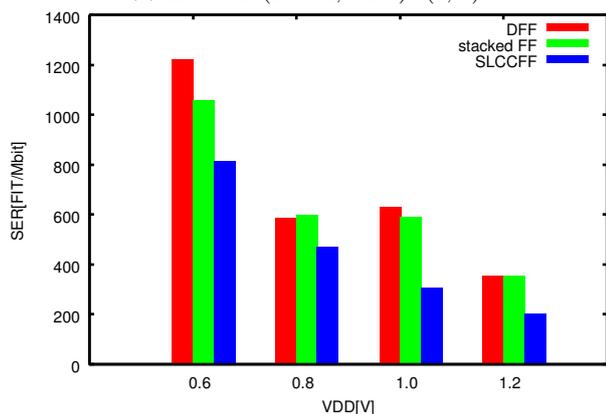


図 13 bulk (DATA, CLK)=(1, 1)

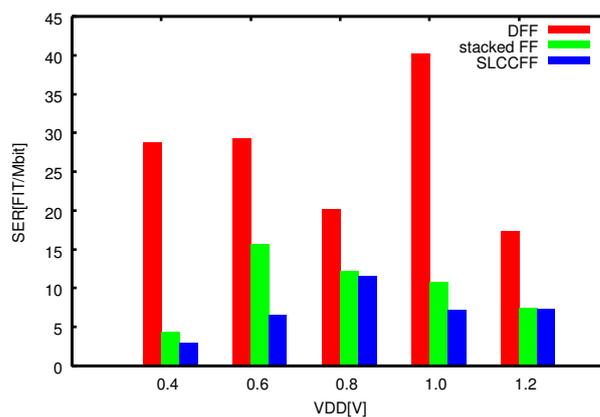


図 14 SOTB (DATA, CLK)=(0, 1)

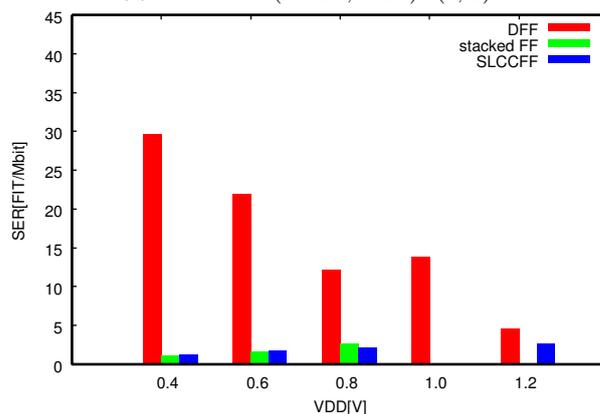


図 15 SOTB (DATA, CLK)=(1, 1)

しかし (DATA, CLK)=(0, 1) では stacked FF と SLCCFF に顕著な差はみられなかった。設計した SLCCFF はインバータ部のみ縦積み構造としたが、トライステートインバータも縦積みにすることで面積、遅延時間、消費電力のオーバーヘッドはあるものの、よりソフトエラー耐性を高めることができる。

5. 結論

本稿では完全空乏型 SOI (FD-SOI) の一種である 65 nm SOTB プロセスを用いた非冗長化フリップフロップを設計し、中性子照射試験によりソフトエラー耐性を評価した。回路の冗長化により高いソフトエラー耐性を得ることができるが、面積、遅延時間、消費エネルギーのオーバーヘッドが大きくなってしまふ。本稿では FD-SOI プロセスにおいて、提案する非冗長化耐ソフトエラーフリップフロップである SLCCFF の各特性を評価した。シミュレーションから SLCCFF の遅延時間、消費エネルギーはラッチ部分のインバータのみ縦積み構造にした stacked FF よりも、遅延時間は約 16%、消費エネルギーは約 11% 小さいことがわかった。ソフトエラー耐性評価にあたっては、白色中性子ビームを用いた。試験結果から SOTB プロセスにおいて SLCCFF は通常の DFF に比べ SER が約 1/27 であり、ソフトエラーに対し強靱であった。SOTB プロセスに

おける DFF の SER は bulk プロセスの約 1/40 であったことから、SOTB プロセスの SLCCFF は bulk プロセスの DFF よりも 1080 倍高いソフトエラー耐性を有することがわかった。

謝辞

本研究は JSPS 科研費 15H02677、26889037、STARC 共同研究の助成を受けて実施したものである。本研究に用いた TEG 設計は東京大学大規模集積システム設計教育センターを通して行われ、シノプシス株式会社、日本ケイデンス株式会社とメンター株式会社の協力で行われたものである。

参考文献

- [1] 戸坂義春, “知っておきたいソフトエラーの実態”, 日経エレクトロニクス, 2005 年 7 月 24 日号, (2005).
- [2] L. Anghel, D. Alexandrescu, and M. Nicolaidis, “Evaluation of a Soft Error Tolerance Technique Based on Time and/or Space Redundancy”, *SBCCI '00*, p. 237, (2000).
- [3] D. Krueger, E. Francom, and J. Langsdorf, “Circuit design for voltage scaling and SER immunity on a quad-core Itanium processor”, *ISSCC*, (2008), pp. 94–95.
- [4] R. Yamamoto, C. Hamanaka, J. Furuta, K. Kobayashi, and H. Onodera, “An Area-efficient 65 nm Radiation-Hard Dual-Modular Flip-Flop to Avoid Multiple Cell Upsets”, *IEEE Trans. Nucl. Sci.*, Vol. 58, No. 6, pp. 3053–3059, (2011).

- [5] D. Kobayashi et al., “Radiation-Induced Pulse Noise in SOI CMOS Logic”, *ECS Transactions vol.35*, (2011).
- [6] Neil H.E. Weste and David Harris, “CMOS VLSI DESIGN A circuits and systems perspective Forth Edition”, *Addison Wesley*, (2010), pp. 120, 360 –365.
- [7] A. Makihara, M. Midorikawa, T. Yamaguchi, Y. Iide, T. Yokose, Y. Tsuchiya, T. Arimitsu, H. Asai, H. Shindou, S. Kuboyama, and S. Matsuda, “Hardness-by-design approach for 0.15 μm fully depleted CMOS/SOI digital logic devices with enhanced SEU/SET immunity”, *IEEE Trans. Nucl. Sci.*, Vol. 52, No. 6, pp. 2524 – 2530, (2005).
- [8] R. John Koshel, “Enhancement of the downhill simplex method of optimization”, *Breault Research Organization, Inc., Suite 350, 6400 East Grant Road, Tucson, AZ 85715*, (2002).
- [9] P. Hazucha, T. Karnik, J. Maiz, S. Wal-STRA, B. Bloechel, J. Tschanz, G. Dermer, S. Harelend, P. Armstrong, and S. Borkar, “Neutron soft error rate measurements in a 90-nm CMOS process and scaling trends in SRAM from 0.25 μm to 90-nm generation”, *IEDM*, (2003), pp. 523–526.