

タイミング制約を緩和するクロッキング方式の提案

喜多 貴信†

塩谷 亮太‡

五島 正裕†

坂井 修一†

† 東京大学大学院 情報理工学系研究科

‡ 日本学術振興会特別研究員 DC

1 背景

近年の微細化に伴って、回路遅延のばらつき増加が、プロセッサ設計において大きな問題となっている。回路遅延がばらつくと、回路が同期した動作をするための**タイミング制約**を満たすことが難しくなる。回路遅延の動的な変化によって信号のタイミングに齟齬が生じ、設計者の想定外の動作 (**タイミング・フォールト**) が生じることがあるからである。従来は最悪ケースでも動作するようなマージンをとることで対処してきたが、ばらつきが増大していくと非常に大きなマージンを要し悲観的になりすぎる。

動的タイミング・フォールト検出・回復

最悪ケースとは、「経路上のトランジスタ・配線 (Process) が全て最悪で、かつ電圧 (Voltage) や温度 (Temperature) も動作範囲ギリギリ、かつクリティカル・パスが活性化するような入力 (Input) が来た場合」のことである。しかし、このようなケースが実際に発生する確率は極めて低い。

タイミング・フォールトが起きたら検出・回復できる手段を用意してやれば、タイミング・フォールトが発生するギリギリまで、動的にプロセッサの電圧を下げたり、周波数を上げたりすることができる (DVFS: Dynamic Voltage and Frequency Scaling)。Razor[1] は、特殊なフリップ・フロップ (FF) を用いてタイミング・フォールトを検出し、エラーを起こした命令を再実行して回復する。カナリア FF[2] は、タイミング・フォールトの発生を予報し、電圧を上げたり、周波数を下げることによって未然に防ぐ。

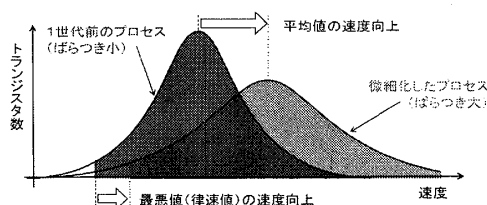


図 1: 製造ばらつきが引き起こす微細化の効果の減少

2 提案手法

提案手法は、ロジックの出力が早く確定することが多い性質を利用して、高クロック・低電圧でプロセッサを動作させる。タイム・ボローイングの強化と、ロジックの出力予測、の2つを利用して、ロジックの出力が早く確定する確率をさらに高めている。万一タイミング・フォールトが発生したら、Razor を用いて検出・回復することで、正常動作を保証する。

入力ばらつき

ロジックの遅延は入力によって異なる。図 2 は 64bit 桁上げ先見加算器において、ある桁の出力が確定する時刻の分布を示している。製造ばらつきがなければ、「遅延 40ps (桁上がりなし) が確率 20% で発生」というように離散的な分布 (左上) となる。これに左下の各パスの製造ばらつきを掛け合わせると、右のような分布を得る。出力確定時刻は早いことが多いのが分かる。時刻 0 は、出力が前サイクルから変化しなかった場合で、これも含めて考えれば遅延が 100ps を超える確率は 15% に満たない。製造ばらつきによる遅延の変動は $\pm 30ps$ 程度であるのに対して、入力ばらつきによる変動 (桁上がりなしとありの差) は 100ps 以上と大きい。類似の性質が多くのロジックに当てはまる。

動的なタイム・ボローイング

図 3 は、前述の桁上げ先見加算器が 2 ステージ連続している時、ステージ間が FF で区切られている場合 (上) と何もなく単に連結されている場合 (下) の、出力確定時刻の分布を表している。FF は 1 ステージ目で出力が早く確定するのに関わらず、1 サイクル終了まで待つ

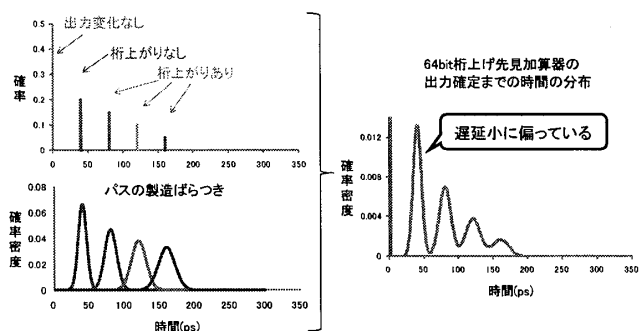


図 2: 64bit 桁上げ先見加算器の入力ばらつき

†Takanobu KITA ‡Ryota SHIOYA †Masahiro GOSHIMA

†Syuichi SAKAI

†Dept. of Information and Communication Eng, the Univ. of Tokyo

‡Research Fellowship for Young Scientists DC

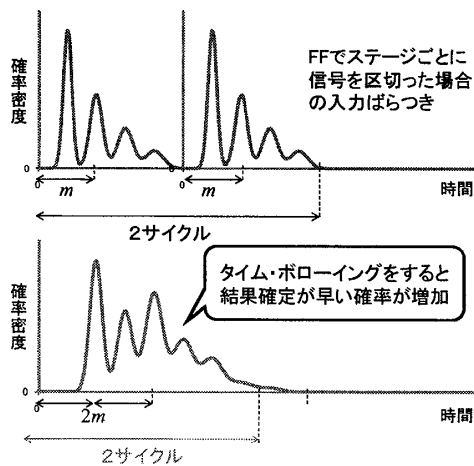


図 3: タイム・ボローイングをした場合の入力ばらつき

てから次のステージへ出力を伝える。一方後者は、1 ステージ目を早く通過した信号は「時間の貯金」を持った状態で 2 ステージ目を開始するため、トータルで 2 ステージ通過に要する時間は短くなる。同様に、仮に 1 ステージ目で桁上がりがあって遅れても（「時間の借金」を負っていても）、2 ステージ目を早く通過すれば、トータルの遅延は短くなる。このように前後のステージ間で時間を融通する（タイム・ボローイング）と、タイミング制約が緩和される。これを利用したクロッキング方式として 2 相ラッチがある。

回路構成と動作

提案手法の回路には、ロジックの出力を予測する回路（Pred）が付加されており、これをセレクタで切り替えながら次段に流す。予測のヒット率が高ければ、入力ばらつきはさらに遅延小に偏る。

タイミング・チャート（図 5）は縦軸が時間、横軸が回路内の信号の伝達方向を示している。入力の違いによってロジックの出力確定までの時間は異なる様子を多数の線で重ねて表している。大部分の線は傾きが緩やか、つまり早期に出力が確定しているが、稀に遅いケースもある。いくつかのステージでクリティカルパスが活性化して「時間の借金」が累積しても、予測が成功すれば借金を大幅に返済できる。万一、借金が嵩んで破綻しても、すなわちタイミング故障が発生しても、前述のように検出・回復することができる。

2 相ラッチでは半 FF ロジック区間あたりの遅延の上限は 1 サイクルであったが、提案手法ではショート・パスに遅延素子を挿入することにより 1.5 サイクルまで拡大している。これによって遅延（借金）が累積してもタイミング・フォールトが発生しにくくなると同時に、予測回路による借金返済のチャンスも増えている。

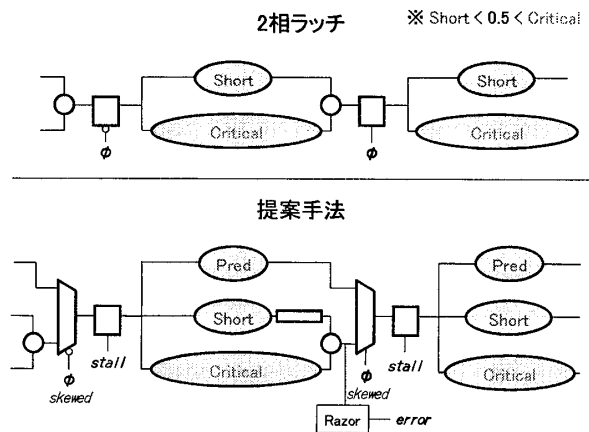


図 4: 提案手法（下）と 2 相ラッチ（上）

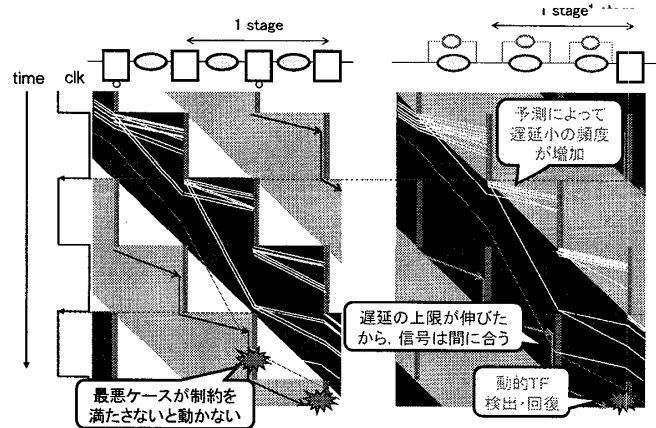


図 5: 提案手法（右）と二相ラッチ（左）の動作

まとめ

製造ばらつき対策手法は数多く提案されているが、実は製造ばらつきによる遅延の変動は、入力ばらつきのそれに比べればとても小さい。提案手法は遅延が大きくばらつくこと前提として、逆に変動を利用する手法となっているため、ばらつきを吸収して高クロック化や低電圧化を達成できる。

参考文献

- [1] D. Blaauw, S. Kalaiselvan, K. Lai, Wei-Hsiang Ma, S. Pant, C. Tokunaga, S. Das, and D Bull. Razor II: In Situ Error Detection and Correction for PVT and SER Tolerance. In *Int'l Symp. on Solid-State Circuits Conference (ISSCC)*, 2008.
- [2] 佐藤寿倫, 国武勇次. ばらつき耐性を持つカナリア FF を利用したデザインマージン削減による省電力化. 情報処理学会論文誌, pp. 2029–2042, 2008.