

プロセッサ性能に対する主記憶バンド幅の影響の評価

江口 修平†

塩谷 亮太†

五島 正裕†

坂井 修一†

† 東京大学大学院情報理工学系研究科

1 概要

近年、プロセッサの処理速度の向上に伴い、新たな主記憶モジュールの規格が出る度に広いバンド幅を持つ主記憶モジュールが登場している。また、複数のチャネル上の主記憶モジュールに同時にアクセスすることによりバンド幅を広げる技術も存在する。しかし、主記憶のバンド幅の変化が、実際にどのような影響を与えるかについては、詳細な評価がなされて来なかった。そこで、今回我々は実機とシミュレーションを用いて、主記憶バンド幅がプロセッサ性能に与える影響を評価した。今回は、プロセッサの性能評価に一般的に用いられる SPEC2006[1] 及び姫野ベンチマーク [2] を用いた。その結果、バンド幅を変化させても、多くのベンチマークでプロセッサの動作速度に与える影響は少ないという結果が得られた。

2 評価環境

2.1 ベンチマーク

ベンチマークとしては SPEC2006 及び姫野ベンチマークを主に用いた。その他、より基本的な性質を把握するために、主記憶リード (連続アドレスの読み込み)、主記憶コピー (連続アドレスのコピー)、行列積の 3 種マイクロ・ベンチマークを合わせて用いた。

2.2 実機

実機として、intel Core i7[3]965 Extreme Edition (動作周波数 3.2GHz) を搭載 PC を使用した。OS は、CentOS 5.1 である。

主記憶は、DDR3-1066 2GB モジュールを 3 枚用いた。メモリ・モジュール単体で 8.53GB/s のバンド幅を持つ。これをデュアル・チャネル、トリプル・チャネルで動作させることにより、バンド幅はそれぞれ 2 倍、3 倍となる。

intel Core i7 の主記憶、および、キャッシュに関するパラメータは表 2 の通りである。intel Core i7 はクアッド・コアであり、表 2 の L1I, L1D, L2 キャッシュのパラメータは、1 コア分のものである。L3 キャッシュは各コアで共用である。

2.3 シミュレータ

シミュレータには、本研究室で開発した cycle-accurate なシミュレータである「鬼斬式[4],[5]」を用いた。

主記憶、および、キャッシュに関するパラメータは実機に合わせてある (表 2)。命令セットやプロセッサ内部の演算器の個数など、その他のパラメータは表 1 の通りである。

2.4 評価方法

実機では、実行時間を測定した。実機での測定では、OS などの影響のため、ときおり異常に遅い結果が出ることもある。

表 2 主記憶、および、キャッシュに関するパラメータ

パラメータ	値
L1I	64Bytes line, 2Way, 32kB 3cycles Access latency
L1D	64Bytes line, 2Way, 32kB 3cycles Access latency
L2	64Bytes line, 16Way, 256kB 8cycles Access latency
L3	64Bytes line, 16Way, 8MB 36cycles Access latency
主記憶	DDR3-1066 × 2 6GB, 129 cycles Access Latency 8.53GB/s (シングル・チャネル) 17.6GB/s (デュアル・チャネル) 25.59GB/s (トリプル・チャネル)

表 3 シミュレータのパラメータ

パラメータ	値
ISA	Alpha
Fetch Width	4
Issue Width	INT:2, FP:2, MEM:2
Integer Units	ALU:2, iMUL:1, iDIV:1
FP Units	fADD:1, fMUL:1, fDIV:1
Register Files	INT:192, FP:128
Insn Windows	INT:32, FP:32, Mem:32

そのため、1 つのベンチマークにつき 5 回ずつ実行し、良いほうの 3 つの結果の平均値をとった。

シミュレータでは、主に、実行サイクル数を測定した。ベンチマーク全体を実行することは時間的に困難であるので、先頭の 1G 命令をスキップして後の 100M 命令を実行した。

3 評価結果

3.1 主記憶バンド幅を変化させた場合の相対実行速度

表 1 に、デュアル・チャネルかシングル・チャネルへと、主記憶バンド幅を変化させた時の、各ベンチマークの相対実行速度の、をまとめた。

マイクロ・ベンチマークのうち、主記憶リード、主記憶コピーでの、シミュレータでの測定結果では、主記憶バンド幅に比例した実行速度が出ている。シミュレータより実機での速度向上率が少ないのは、チャネル間のコンフリクト等のため、デュアル・チャネルやトリプル・チャネルにしても、バンド幅が理想的には 2 倍、3 倍にはなっていないためであると考えられる。

一方、数値計算の典型のような行列積では、主記憶バンド幅

表 1 相対実行速度

ベンチマーク	シミュレータ		実 機	
	デュアル・チャネル	トリプル・チャネル	デュアル・チャネル	トリプル・チャネル
SPEC2006INT 平均	100.4%	100.5%	100.2%	100.3%
SPEC2006FP 平均	104.5%	106.4%	102.4%	103.1%
姫野ベンチマーク	100.0%	100.0%	100.0%	100.1%
行列積	100.0%	100.0%	100.0%	100.0%
主記憶リード	200.0%	300.0%	159.6%	179.8%
主記憶コピー	200.0%	300.0%	144.2%	148.2%

の変化による実行速度の変化はシミュレータでも実機でもほとんどない。

SPEC2006int では、バンド幅を半減させても、全てのベンチマークで速度の低下は 10% 以内にとどまった。SPEC2006fp では、バンド幅を広げることにより、実行速度が大幅に向上したベンチマークもあったが、ほとんどのベンチマークで速度の低下は少なかった。

3.2 推定相対実行速度

シングル・チャネルでの主記憶バンド幅が 8.53GB/s であるということは、コアの動作周波数が 2.6GHz であるので、64B のキャッシュ・ラインを転送するのに 24 サイクルかかることになる。

このことから、主記憶へのアクセス間隔の統計を取れば、バンド幅の影響により、どれだけ実行時間が増加するか推定することができる。すなわち、前回から今回までの主記憶アクセスの間隔が n サイクルであるとすれば、 $n \geq 24$ (シングル・チャネル) であれば、コアは待たされることがない。 $n < 24$ であれば、 $(24 - n)$ サイクルだけ余計に待たされることになる。

図 1 は推定相対実行速度から求めた相対速度の予測値と、シミュレータで測定した相対速度の実測値の相関を表したものである。同図中横軸が予測値を、縦軸が実測値で、シングル・チャネルに対する相対値である。各点は 1 つのベンチマークに対応する。同図では、全ての点がほぼ一直線上に並んでおり、このような単純な計算によって、相対実行速度が高精度に推定できることを示している。

このことから、主記憶消費量が大きく、キャッシュ・ミス率が高いベンチマークであっても、短い間隔での主記憶へのアクセスが少なければ、バンド幅の影響を受けにくいと言える。行列積はこのようなベンチマークにあたる。

4 まとめ

主記憶バンド幅がプロセッサに与える影響を明らかにするため、シミュレータと実機で主記憶バンド幅を変化させて、相対実行速度を測定した。その結果、主記憶バンド幅を変化させても、相対実行速度の変化はわずかであった。行列積のような、主記憶を大量に消費する数値処理の典型のようなプログラムであっても、主記憶バンド幅に対する要求は厳しくはない場合もあることを述べ、その原因も明らかにした。

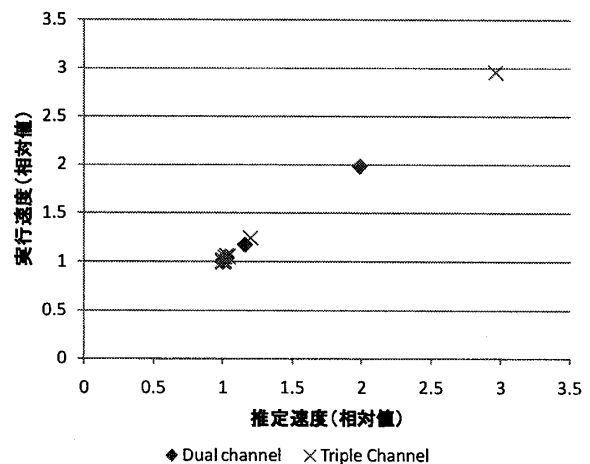


図 1 相対速度の予測値と実測値の相関

参考文献

- [1] Standard performance evaluation corporation. <http://www.spec.org>.
- [2] Himeno benchmark xp - 姫野ベンチとは. <http://accc.riken.jp/HPC/HimenoBMT/>.
- [3] Intel core i7 processor extreme edition - technical documents. <http://www.intel.com/design/corei7ee/documentation.htm>.
- [4] 渡辺憲一, 一林宏憲, 五島正裕, 坂井修一. プロセッサ・シミュレータ「鬼斬」の設計. 先進的計算基盤システムシンポジウム SACSIS, pp. 194–195, 2007.
- [5] 塩谷亮太, 五島正裕, 坂井修一. プロセッサ・シミュレータ「鬼斬」の設計. 先進的計算基盤システムシンポジウム SACSIS, pp. 120–121, 2009.