

FA ネットワークにおけるマスタ内データ処理高速化方式

尾形 幸亮†

三菱電機株式会社 情報技術総合研究所

1. 概要

FA (Factory Automation) 分野で、機器の制御に広く利用されているFAネットワークは、精密な制御やタクトタイムの短縮を目指す上で、通信の高速性が求められることが多い。一般的に、FAネットワークでは、マスタ機器とスレーブ機器が制御データを通信する周期が短いほど、高速な通信とされる。

FAネットワークの通信周期を短縮するためには、一般的に通信周期に占める割合の大きい、マスタの処理時間を短縮することが有効である。マスタの処理時間は、応答を格納したパケットの受信 (以下、パケット受信)、応答に基づく次の指令の演算 (以下、指令演算)、指令をパケットに格納し送信 (以下、パケット送信) の、3種類の処理の時間で決定される。一般的に、各処理は逐次実施されるが、これを並行に実施することで、マスタの処理時間を短縮できると考えられる。

そこで、本稿では、マスタがパケットの受信完了を待たずに、受信中の応答を随時演算していくことで、パケット受信と指令演算を並行に実施し、マスタの処理時間を短縮する方式を提案する。

2. マスタ

本章では、一般的なマスタの構成およびデータ処理タイミングを説明する。

2.1. 構成

一般的なマスタは、図 2-1に示すように、大きくNIC(Network Interface Controller)、メモリ、CPU(Central Processing Unit)で構成される。以下、提案方式の構成と差分が発生するNICについて、その詳細な構成を説明する。

NIC は、応答の格納されたパケットをスレーブから受信してメモリに書き込む受信制御部、受信制御部が受信したパケットに対してCRC 検査を実施するCRC 検査部、受信制御部が受信したパケット内の応答をバッファリングする受信バッファ、メモリから指令を読み出しバッファリングする送信バッファ、送信バッファが読み出

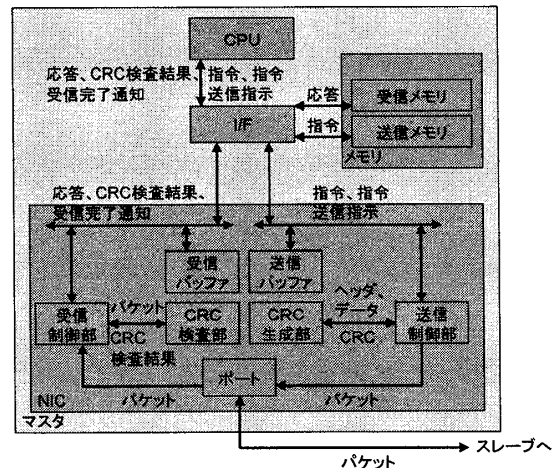
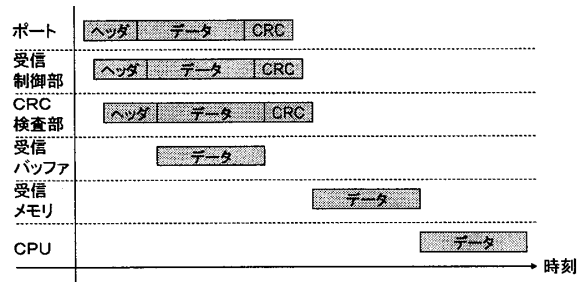


図 2-1 一般的なマスタの構成

した指令をパケットに格納してスレーブに送信する送信制御部、送信制御部の生成したパケットにCRCを付加するCRC生成部から構成される。

2.2. データ処理タイミング

一般的なマスタにおけるパケット受信と指令演算 (スレーブからパケットを受信開始後、パケットに格納された応答を演算完了するまで) のタイミングチャートを図 2-2に示す。なお、パケットの構成は図 2-3を想定する。



※指令の送信については、本稿の議論の対象ではないため省略する。
理由は3章冒頭を参照

図 2-2 一般的なマスタのデータ処理タイミング

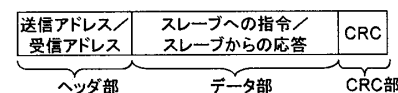


図 2-3 想定するパケットの構成

図 2-2のように、マスタでは受信制御部がポートから受信したパケットをCRC検査部へ転送すると共に、パケット内の応答を受信バッファに

† Kosuke Ogata

書き込む。CRC検査部は、パケットの受信完了と共にパケット全体のCRC検査を完了し、受信制御部に通知する。そして、受信制御部は、応答とCRC検査結果を受信バッファから受信メモリに転送し、その完了時にCPUに受信完了を通知する。CPUは、CRC検査結果がデータ破損なしを示す場合、受信メモリから応答を読み出して次の指令を演算し、送信メモリに書き込む。

3. 提案方式

本章では、マスタの処理時間を短縮する手法を説明し、これを実現するマスタの構成とデータ処理タイミングを説明する。

一般的なマスタでは、2.2節の図 2-2のように、受信バッファによる応答のバッファリング、受信メモリによる応答の記憶、およびCPUによる応答の演算が逐次実施されるが、本章では、これらを並行に実施することで、マスタの処理時間を短縮する手法を提案する。

なお、指令演算とパケット送信の並行実施も考えられるが、本稿では、より実装が容易と考えられる、パケット受信と指令演算の並行実施について説明する。

3.1. マスタの構成

提案方式を実現するマスタの構成を図 3-1に示す。

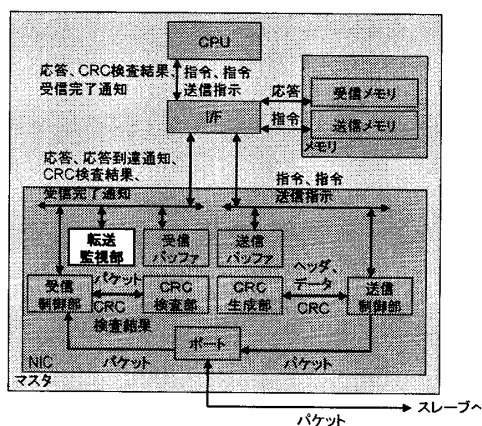
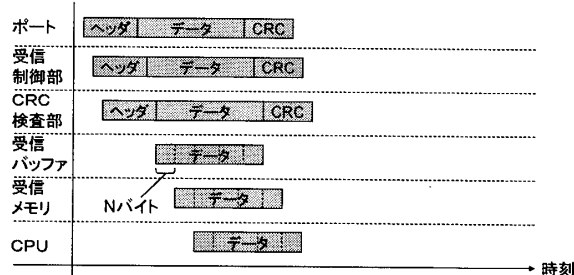


図 3-1 提案方式でのマスタの構成

2.1節に示した従来のマスタに対し、NICに転送監視部が追加されている。転送監視部は、受信バッファが応答を一定量(Nバイトとする)受信メモリに書き込むたび、そのことをCPUに通知する。Nは、CPUが通信開始前に転送監視部に通知しておく。

3.2. データ処理タイミング

提案方式における、マスタの packets 受信と指令演算のタイミングチャートを図 3-2 に示す。



CPUは、応答が受信バッファから受信メモリへ
Nバイトずつ転送されるたび、随時演算を実施する

図 3-2 提案方式でのマスタのデータ処理タイミング

図 3-2のように、CPUは、応答のNバイト分が受信メモリに書き込まれたことを転送監視部から通知されるたび、このNバイト分を受信メモリから読み出して演算する。受信制御部は、受信制御部は、応答全体とCRC検査結果を受信バッファから受信メモリに転送完了すると、これをCPUに通知する。ここで、CPUは、CRC検査結果がデータ破損を示す場合、応答の演算を中止し、生成した指令も送信メモリから送信制御部に転送しない。以上の方式により、従来に比べパケット受信と指令演算を並行に実施でき、マスタの処理時間を短縮できる。

本方式は、多軸ロボットの軌跡制御等、マスターが複数のスレーブを独立に制御する場合において広く適用できる。

4. 評価

従来方式と提案方式で、マスタのパケット受信と指令演算の所要時間 Tr_c を比較する。簡単のため、スレーブは1台とし、パケットの各部の受信時間について、ヘッダ部 Th 、応答 Tr 、CRC 部 Tc とし、また受信バッファから受信メモリへの応答の転送時間を Ttr 、応答の演算時間を $Tcal$ と想定する。従来方式では $Tr_c = Th + Tr + Tc + Ttr + Tcal$ となる。一方、提案方式において、CPUが応答を N バイトずつ演算し、 k 回で演算完了したとすると、 $Tr_c = Th + Tr/k + Ttr/k + Tcal$ となり、従来方式より $\{(k-1)/k\}Tr + \{(k-1)/k\}Ttr + Tc$ だけ高速である。

5. まとめ

本稿では、マスタが受信中の応答を随時演算していくことで、パケット受信と指令演算を並行に実施し、マスタの処理時間を短縮する方式を提案した。