

システム LSI における各種電源方式による消費電力の比較

花見智

渡辺重佳

湘南工科大学大学院 電気情報工学専攻

1. はじめに

今日、システム L S I の高速、高集積化による高機能化とともに、消費電力の増大が問題になっている。この問題を解決するため多電源方式[1]やダイナミック電源方式[2]等の低消費電力化の手法が提案されてきた。今回、この2方式を簡単な積和演算と C D F G (コントロールデータフローグラフ) を用いて消費電力を比較し、それぞれの特徴を調べた。

2. 多電源方式とダイナミック電源方式

今回検討した多電源方式とダイナミック電源方式を図 1 に示す。多電源方式は処理量に応じて多数の一定電源電圧を用いて低電力化する(図 1 は 2 電源を用いる 2 電源方式)。一方、ダイナミック電源方式は時間ごとにシステム L S I の処理量に応じて電源電圧を時間的に変化させ低電力化する。

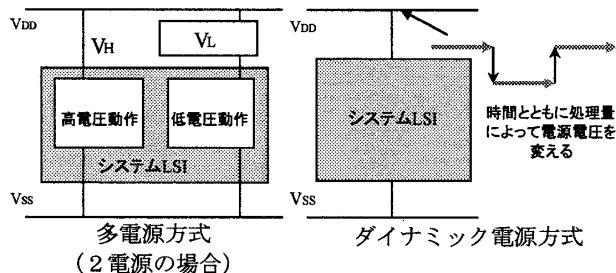


図 1. 各電源方式

今回、2方式の消費エネルギーの比較を行うために用いた演算は処理量の多い演算 (8 行 8 列の積和演算) と少ない演算 (4 行 4 列の積和演算) である。両方の演算処理を同時に開始し、処理量の少ない演算の電源電圧を下げてゆっくり処理を行い (サイクルを遅らせ)、処理量の多い演算と少ない演算が同時に終了するように低電力化した C D F G を作成する。

3. 2方式の消費電力の比較方法

処理路量の少ない演算の低電力化後の C D F G の例を図 2 に示す。2方式を比較するときの条件は、

Power comparison between multi supply voltage scheme and dynamic supply voltage scheme for System LSI.

†Satoshi Hanami, Shigeyoshi Watanabe

‡Department of Information science, Shonan Institute of Technology

- ① 低電力化前の最短の C D F G は加算器が 1 サイクル、乗算器は 2 サイクルで動作する
- ② 演算 B を処理する演算器数の組み合わせは
加算器 4 個 乗算器 4 個
加算器 2 個 乗算器 2 個
加算器 1 個 乗算器 1 個
- ③ 低電力化した演算器の演算時間は低電力化前の C D F G の整数倍になると仮定する

とした。

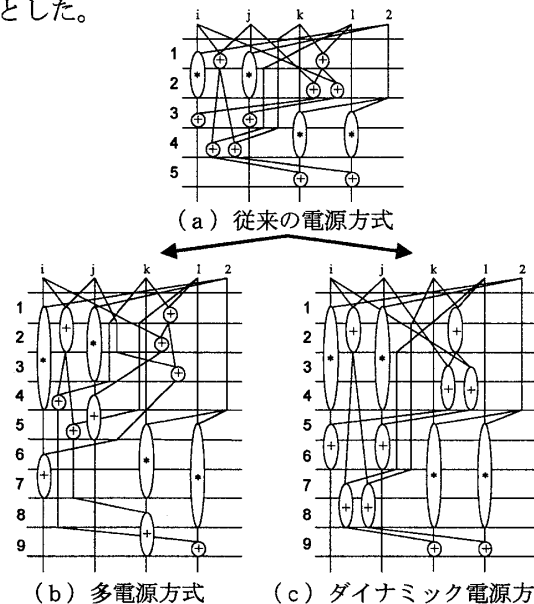


図 2. 低電力化前の C D F G と低電力化後の 2 方式での C D F G の例

次に (1) 式を用いて 2 方式での消費エネルギー E を比較した。

$$E = P_{dy} + P_{Sleak} + P_{Gleak} \quad (1)$$

$$P_{dy} = \sum C_i V_i^2$$

$$P_{Sleak} = I_0 t \sum V_i \times 10^{-V_i/S}$$

$$P_{Gleak} = A t \sum V_i \times \exp(5.6 V_i)$$

E は、充放電電流 P_{dy} とサブスレッショルドドリーク電流 P_{Sleak} 、ゲートリーク電流 P_{Gleak} による消費エネルギーの合計である。 P_{dy} での C_i 、 V_i は各演算の電源電圧と負荷容量である。次に P_{Sleak} の I_0 は比例定数、 V_t はしきい値電圧、 S は MOS FET の S ファクターである。 P_{Gleak} の t は演算時間、 A は比例定数である。低電力化前の電源電圧は 1V、トランジスタのしきい値は 0.2V とする。

前述の計算式を用いて各消費エネルギーを求

め、次に各消費エネルギーの比率を決める。比率を決める理由はプロセスルールの世代により全体の消費エネルギーに占める各消費エネルギーの比率が異なるためである。プロセスルールの世代が進むにつれまずサブスレッショルドリークが増加し、更に微細化が進むとゲートリークが増加する傾向になると考え、各世代の消費エネルギーの比率をまとめたものを図4に示す。

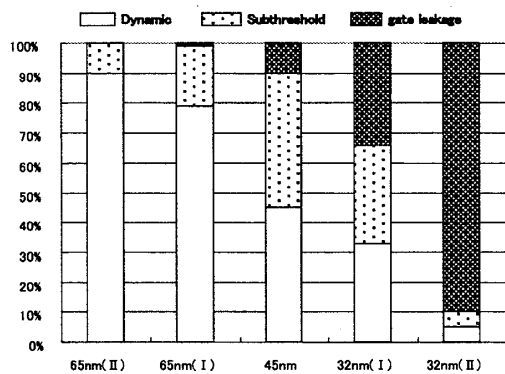
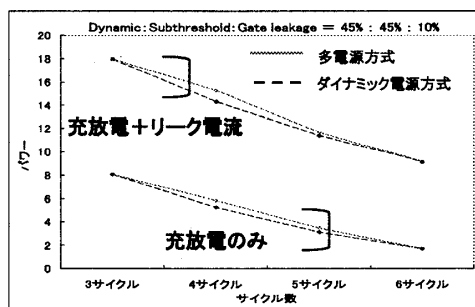
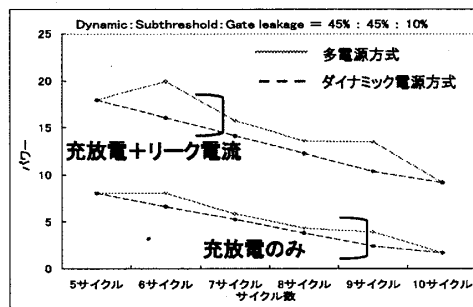


図4. 各世代での消費電力の推移

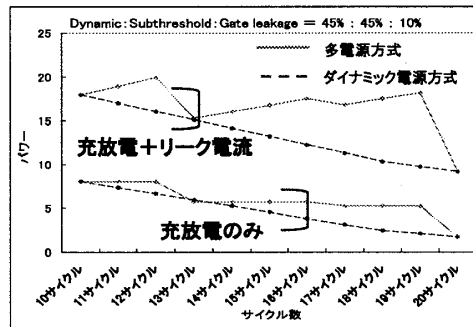
計算した消費エネルギーにより作成したグラフの傾向は、どの世代においても基本的に同じであったため、ここでは図5で示す45nmのグラフをもとに2方式の消費エネルギーの比較を行った。ダイナミック電源方式は(a)~(c)においてサイクルを遅らせた場合に低電力化している。それに対して多電源方式は演算器数が多い(a)ではダイナミック電源方式と同様に低電力化できているのに対して、(b), (c)ではサイクルを遅らせた場合でも低電力化できていないときがあり、演算器数が減るとダイナミック電源方式の消費エネルギーの差も大きくなっている。これはダイナミック電源方式が演算器全体の電源電圧を変化させるため低電力化したCDFG作成の自由度が大きいのに対して、多電源方式は演算器毎に電源電圧が固定されているため、演算器数が多い(a)では低電力化したCDFG作成の自由度が大きいのに対して、演算器数が少なくなる(b)~(c)では自由度が小さくなり効率的に低電力化できなかったと考えられる。



(a) 加算器4個 乗算器4個



(b) 加算器2個 乗算器2個



(c) 加算器1個 乗算器1個

図5. 2方式の消費エネルギーの比較

4. 終わりに

システムLSIに用いる代表的な演算の消費エネルギーを、多電源方式とダイナミック電源方式で比較検討した。2方式とも、電源電圧を下げサイクル数を大きくすると基本的に低電力化できるが、演算器の個数によってダイナミック電源方式と多電源方式で低減効果に差が出ることがわかった。今回検討した演算器数の場合では、ダイナミック電源方式は安定して低電力化しているのに対して、多電源方式は演算器数によって低電力化がうまく行えない結果が出た。演算器数が2方式の低電力化と関係があると考えられるため、今後、ほかの演算器数の場合に2方式にどういった特徴が現れるのか検討する予定である。

参考文献

- [1] 桜井、宇佐見他:低消費電力・高速LSI技術、リアライズ社
- [2] 北庄、藤吉、白武、西川、濱田、原、藤田、羽鳥、島澤、村方、南、河邊、北原、高橋、大脇:モジュールの電圧/周波数を動的に制御したH.264/MPEG-4 Audio/Visual Code LSI, 信学技法ICD-22, pp.13-18, 2005.
- [3] 渡辺、金井、永澤、花見、小林、高島:微細MOSFETのリーク電流を考慮した2電源型システムLSIの低消費電力設計法、信学技法ICD-132, pp.31-36, 2006.