

細粒度並列計算向け階層型相互結合網のハードウェア実装法に関する検討

†金子 昌弘 ‡三浦 康之

湘南工科大学 工学部情報工学科

1. はじめに

LSI の高集積化に伴い、低コストのプロセッサを並列に組んで処理を行う「オンチップマルチプロセッサ」が実現できるようになった。そのような中、階層型相互結合網 TESH[1]が提案され、TESH に関する固定型ルーティング[2]や適応型ルーティング[3]が提案された。

階層型相互結合網のような複雑な結合網でルーティングアルゴリズムを実装すると、遅延の増大やハードウェアコストの増加が問題化するおそれがある。このような問題が考えられたため従来、結合網を簡単なものにし、複雑なものを避けてきた。

本稿では、ルータ回路を VHDL で設計し、異なるルーティングアルゴリズムによる遅延やハードウェアコストの増加について評価し、改善方法について議論する。

2. ルータの仕様

本稿の目的は、異なるルーティングアルゴリズムによる遅延やハードウェアコストの増加について評価することであるため、既存のワームホールルータを参考にした。[4][5]

チップ内の並列処理においては、ルータ間の配線の制約が緩いため、データ線の他にラベル線（データの転送先アドレスを送る線）をつけた。また、ハードウェア量は過剰に増やすことができないため、ルータ中のバッファは少なくした。

図 1 で示すようにルータは、デマルチプレクサ、FIFO_IN、クロスバスイッチ、FIFO_OUT、マルチプレクサ、制御回路で構成している。データ線を 16 ビット、4096PE に対応できるようにラベル線を 12 ビットとしている。FIFO のバッファの数は 4 個、次数 4+ノードの 2 チャンネルなので、クロスバスイッチは 10×10 となっている。

図 2 は制御回路の構成図で、リンク選択、チャンネル選択、デコーダ、アービター、バッファ状況

判定で構成している。結合網は、64×64 のトーラス網と 4096PE の 3 レベルの TESH の固定型ルーティングアルゴリズムを作成した。

FIFO_IN は、ラベルを保存しておく専用のバッファを設ける。FIFO_OUT は、バッファの使用が 3 個以上になるとバッファ状況判定に対し、データ送信を停止する信号を送る。

リンク選択は、ラベルを元に次の行き先を決定する。チャンネル選択は、2 つのどちらのチャンネルを使用するか決定する。アービターは、中に 5 進カウンタがあり、この値の入力を優先的に出力する。バッファ状況判定は、FIFO_OUT から送られてきた値を元に出力の停止を判定し、この状況を FIFO_IN に送る。

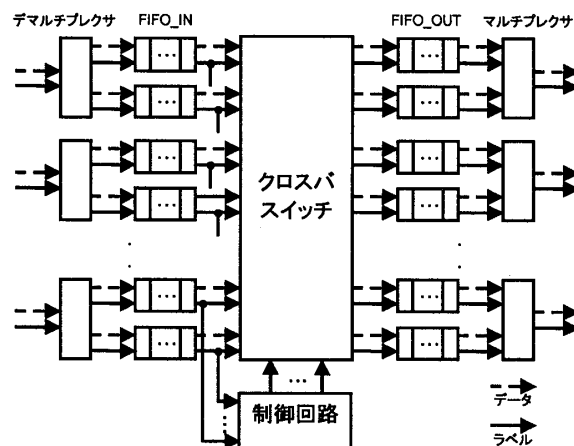


図 1. ルータの構成図

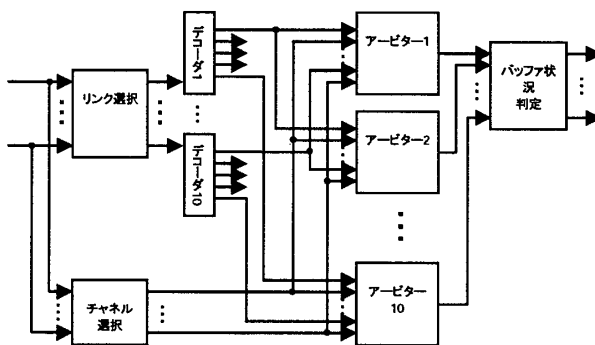


図 2. 制御回路の構成図

Hardware Implementation Method of the Hierarchical Interconnection Network for Finegraded Parallel Computing

† Masahiro Kaneko, Department of Information Science, Shonan Institute of Technology

‡ Yasuyuki Miura, Department of Information Science, Shonan Institute of Technology

3. ハードウェア量の評価

FPGA 用の論理合成ツール Xilinx ISE WebPACK でルータ、及び制御回路の実装を行い、ハードウェア量の評価を行った。評価は、ルックアップテーブル(LUT)とフリップフロップ(F-F)について行った。その結果を図3に示す。

LUTの内訳について見ると、トーラスでは全体の約3.3%をリンク・チャンネル選択が占め、TESHでは全体の約5.6%をリンク・チャンネル選択が占めている。

以上の結果から回路全体に対するルーティングアルゴリズムの回路の割合が小さいことがわかる。複雑なアルゴリズムを実装することによるハードウェア量の影響は少ないと考えられる。よってハードウェア量が大きく速度重視の回路を作成する。

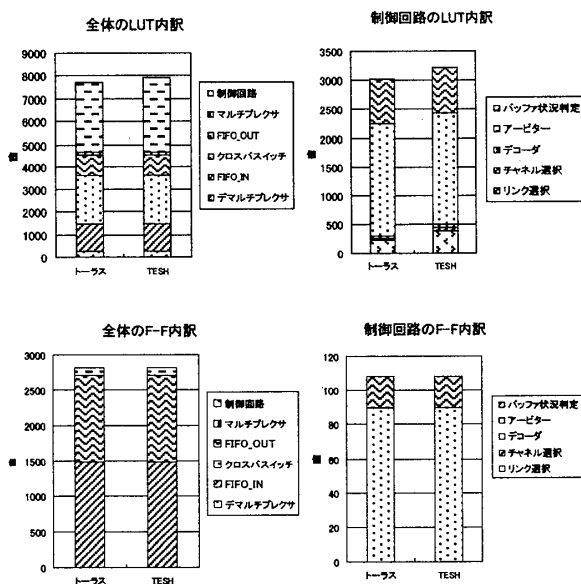


図3. LUTとF-Fの内訳

4. 遅延の評価

図2から、リンク選択とチャンネル選択部分の遅延が全体の遅延に直接影響することがわかる。従って、選択部分の遅延を評価し、最小に抑える必要がある。

リンク選択の実装を行い、遅延の評価を行った。まず、図5(a)のように通常の書き方での遅延の評価をする。その結果を表1に示す。

トーラスの遅延は7.091ns logic、LUTは230個である。TESH(通常)の遅延は8.738ns logic、LUTは378個である。この結果からTESHの方がやや遅延が大きいことがわかる。

次に、このTESHの遅延を少なくするため図5(b)に示す改善法で遅延の評価をする。この方法で行うとif文を並列に処理することができる。結

果を表1に示す。

TESH(改善)の遅延は6.975ns logic、LUTは759個である。LUTの数は約倍になったが、遅延時間はトーラスに近づけることができた。

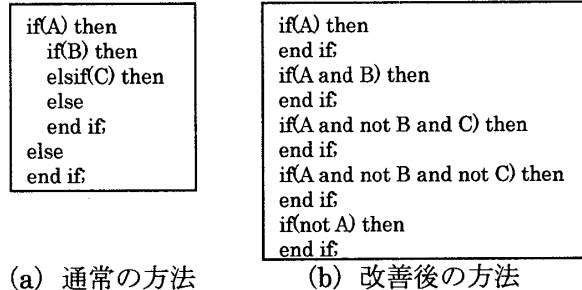


図5. プログラムの通常と改善後

表1. 遅延時間

	遅延時間(ns)	LUT(個)
トーラス	7.091	230
TESH(通常)	8.738	378
TESH(改善)	6.975	759

5. まとめ

本稿では、固定型ルーティングアルゴリズムのトーラス網とTESHのハードウェア量と遅延の評価を行った。ハードウェア量の評価では、複雑なアルゴリズムを実装することによるハードウェア量の影響は少ないことがわかった。遅延の評価では、if文を並列に処理することで遅延時間を少なくすることができた。

今後は、適応型ルーティングアルゴリズムについての評価を進める。

文献

- [1] V.K.Jain, T.Ghirmai and S.Horiguchi, "TESH:A New Hierarchical Interconnection Network for Massively Parallel Computing", IEICE Transactions, vol.E80D, No.9, pp.837-846, 1997
- [2] 三浦康之, V.K.Jain, 堀口進, 「階層型ネットワーク TESH におけるデッドロックフリー・ルーティング」, 情報処理学会論文誌, vol.41, No.5, pp.1370-1378, 2000
- [3] Y.Miura and S.Horiguchi, "An Adaptive Routing for Hierarchical Interconnection Network TESH", Proc. of the Third International Conference on Parallel And Distributed Computing, Applications and Technologies, pp.335~342, 2002.9.
- [4] M.Koibuchi, K.Anjo, Y.Yamada, A.Jouraku and H.Amano, "A Simple Data Transfer Technique Using Local Address for Networks-on-Chips", IEEE Transaction on Parallel and Distributed Systems, vol.17, No.12, pp.1425-1437, 2006
- [5] 深山正幸, 北川章夫, 秋田純一, 鈴木正國, 「HDLによるVLSI設計 第2版」, 共立出版株式会社